

高性能電力変換器に向けた
SiC MOSFET 応用に関する研究

A Study on SiC MOSFET Applications for
High Performance Power Converter

2018 年 3 月

March, 2018

七森 公碩

Kimihiro Nanamori

島根大学大学院総合理工学研究科

Interdisciplinary Graduate School of

Science and Engineering, Shimane University

目次

第 1 章	序論.....	1
1.1	パワーエレクトロニクス分野の定義と要求.....	1
1.2	研究背景.....	2
1.3	研究目的.....	3
1.4	論文構成.....	5
	参考文献.....	6
第 2 章	SiC MOSFET の諸特性.....	10
2.1	SiC の物性.....	10
2.2	ダイオードの構造と特性.....	11
2.3	MOSFET の構造と特性.....	15
2.4	SiC MOSFET の特徴.....	16
2.5	ゲートドライブ回路.....	17
	参考文献.....	22
第 3 章	SiC SBD の並列接続.....	24
3.1	SiC MOSFET のボディダイオードの問題.....	24

目次

3.2	SiC SBD 並列接続手法のリカバリ特性評価	25
3.2.1	ダブルパルス評価回路	26
3.2.2	評価回路定数の設定	29
3.2.3	リカバリ特性の各変数定義	30
3.2.4	リカバリ電流ピーク値 I_{tr_pk}	31
3.2.5	初期リカバリ時間 Δt	36
3.2.6	リカバリ損失 P_{Loss}	36
3.2.7	リカバリ特性に関する考察	38
3.3	降圧型 DC/DC コンバータにおける効率比較	40
3.3.1	降圧型 DC/DC コンバータの動作モード	41
3.3.2	降圧型 DC/DC コンバータ評価	42
3.4	まとめ	44
第 4 章	SiC MOSFET の並列接続	46
4.1	半導体デバイスの並列化	46
4.2	並列接続時における電流振動モデルの構築	47
4.2.1	電流振動モデル構築準備	48
4.2.2	電流振動モデル構築の提案	49
4.2.3	実験回路製作と対称レイアウト基板上の電流不平衡	51

目次

4.2.4	実験回路の寄生インダクタンス抽出.....	54
4.2.5	電流振動モデルの整合性確認.....	56
4.3	寄生インダクタと電流振動の関係性.....	60
4.3.1	ドレインインダクタンスの影響.....	60
4.3.2	ゲートインダクタンスの影響.....	61
4.3.3	ソースインダクタンスの影響.....	63
4.3.4	寄生インダクタンスが与える影響の実機検証.....	64
4.4	連成振動の発生と抑制.....	67
4.4.1	共通寄生インダクタンスの影響調査.....	67
4.4.2	合成電流ピーク値の低減.....	69
4.5	まとめ.....	70
	参考文献.....	72
第 5 章	結論.....	75
付録	電流振動モデル構築.....	77
A.1	電流経路別電圧方程式の構築.....	77
A.2	各電圧方程式のラプラス変換.....	78
A.3	電圧方程式(4-1)-(4-6)の導出.....	79
A.4	ドレイン電流式 i_{Ld1} の導出.....	81

目次

A.5 ドレイン電流式 i_{Ld2} の導出.....	86
研究業績.....	88
謝辞.....	95

第 1 章 序論

1.1 パワーエレクトロニクス分野の定義と要求

パワーエレクトロニクス分野が明確に示されたのは 1973 年にアメリカの Newell 氏が図 1.1 のように、電力工学 (Power), 電子工学 (Electronics), 制御工学 (Control) の 3 つの分野から構成される総合的な分野と説明されたのが始まりである⁽¹⁾。パワーエレクトロニクスは半導体デバイスを制御することによって、電気の形状や周波数などの変換や制御を可能とする。このように電力を変換及び制御する機器を電力変換器と呼び、主に DC/DC (直流/直流) 変換器, AC/DC (交流/直流) 変換器, DC/AC (直流/交流) 変換器, AC/AC (交流/交流) 変換器の 4 つに分類される。これらの電力変換器はテレビやエアコンなどの家電製品から電気自動車といった運輸機器, 太陽光, 風力発電等の発電機周辺機器などの様々な製品に使用されている。近年では省エネルギー化による CO₂ 削減効果が世界的にも注目されており, 地球温暖化抑制の観点から電力変換器の高効率化が求められている。世界の CO₂ 削減への取り組みは積極化し, 2015 年 11 月 30 日から 12 月 12 日にフランス・パリにて開催された国連気候変動枠組み条約第 21 回締約国会議 (COP21) においてパリ協定が採択され, 世界共通の長期目標として世界的な平均気温上昇を産業革命以前に比べ

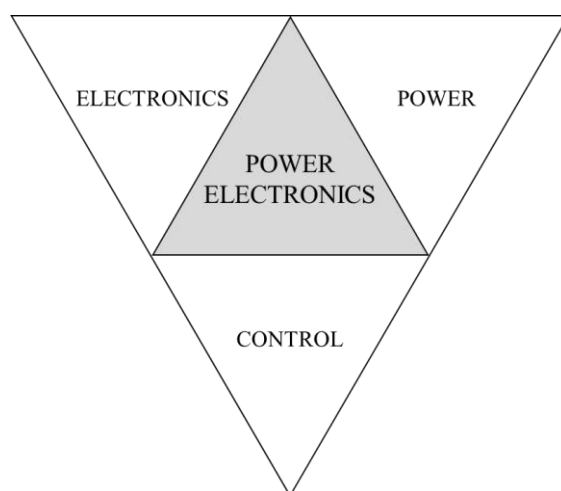


図 1.1 パワーエレクトロニクスの構成分野

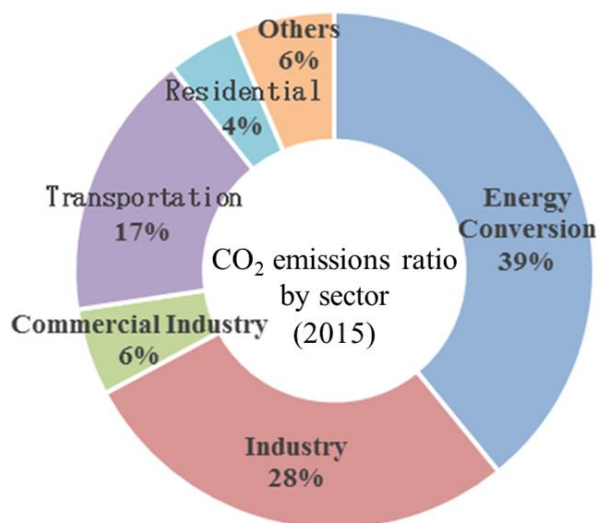


図 1.2 2015 年度部門別二酸化炭素排出割合

(「日本の温室効果ガス排出量データ 2017 年公開版」のデータをもとに作成)

て 2°C より十分低く保つとともに、1.5°C へ抑える努力を追及されている⁽²⁾。これに対して、現在までに公表された情報の中で最新データである 2015 年度の日本における CO₂ 総排出量は 13 億 2500 万トンと膨大な量となっている⁽³⁾。また、CO₂ 総排出量の部門別割合を示したものが図 1.2 となる⁽⁴⁾。CO₂ 排出量の大部分を占めているのがエネルギー転換部門になっており、まさに電力変換器を対象とするパワーエレクトロニクスが必要とされている。続いて大きな割合を占めている産業部門、それに続く運輸部門においても高効率モータドライブ、電気自動車といったパワーエレクトロニクスの応用技術によって CO₂ 削減に貢献することが可能である。以上のような CO₂ 排出における大部分を占める領域を主体にパワーエレクトロニクス技術は高性能な電力変換器の実現が求められている。

1.2 研究背景

電力変換器にはパワー半導体デバイスが用いられており、従来まで大きな進化を遂げている。パワー半導体デバイスは、非可制御デバイス、オン制御デバイス、オンオフ制御デバイスに分けられる⁽⁵⁾。代表的な非可制御デバイスとしてダイオード

序論

が挙げられる⁽⁶⁾。ダイオードは p 層と n 層からなり、n 層から p 層に向かって電圧を印加したときのみ電流が流れ、逆方向は流れないという特性を有している。オン制御デバイスとしてはサイリスタが挙げられる⁽⁷⁾。サイリスタはゲートに電流を流すことでオン状態となるが、オフ状態にするためには電流を外部で切るか、アノードに逆電圧を印加しなければならない。オンオフ制御デバイスには、さらに電流制御型と電圧制御型デバイスに分けられる。電流制御型は GTO⁽⁸⁾ (Gate Turn-Off Thyristor) やバイポーラトランジスタ⁽⁹⁾ (BJT : Bipolar Junction Transistor) が挙げられ、ゲートまたはベース電流によってデバイスに流れる主電流を制御し、オンオフ制御が可能である。一方で電圧制御型は MOSFET⁽¹⁰⁾⁻⁽¹¹⁾ (Metal Oxide Semiconductor Field Effect Transistor) や IGBT⁽¹²⁾⁻⁽¹³⁾ (Insulated Gate Bipolar Transistor) が挙げられ、ゲート電圧によってデバイスに流れる主電流を制御し、オンオフ制御を可能とする。また、複数の MOSFET や IGBT をゲートドライバーと共にパッケージ化した IPM⁽¹⁴⁾⁻⁽¹⁵⁾ (Intelligent Power Module) も登場し、パワー半導体デバイスの小型・高密度化に向けた開発が進んでいる。これらパワー半導体デバイスの多くは従来までシリコンが用いられていた。しかしながら、シリコンの物性性能の限界により高度化するアプリケーションの要求実現に限界を迎えつつある。そこで近年注目されているのが、新素材半導体デバイスと呼ばれる SiC⁽¹⁶⁾⁻⁽¹⁸⁾ (Silicon Carbide) や GaN⁽¹⁹⁾⁻⁽²¹⁾ (Gallium Nitride) といった素材を用いたデバイスである。これらのデバイスは材料の特性でシリコンよりも優位性があり、高性能な電力変換器実現が可能となる。一方で、シリコン半導体と置き換えるだけでは様々な問題を誘発し、優れた特性を十分に引き出すことができないため、SiC や GaN に適応した回路設計が必要となる。

1.3 研究目的

GaN デバイスに比べ SiC MOSFET は既に電気自動車搭載へ向けた開発⁽²²⁾や電車の実用化⁽²³⁾と産業へ浸透しつつあり、従来までのシリコン半導体デバイスのよう

序論

な産業化が有望視されている。さらに SiC MOSFET の持つ優位性から多分野で高性能電力変換器の開発が期待されている。

ここで、シリコン半導体が産業化し、一般化した理由の背景の一つに IPM やディスクリート半導体の並列接続手法がある。並列接続手法は回路の高効率化⁽²⁴⁾⁻⁽²⁶⁾や電流定格の増加⁽²⁷⁾⁻⁽²⁸⁾、熱分散⁽²⁹⁾⁻⁽³⁰⁾などの観点から用いられてきた。SiC MOSFET による電力変換器の高性能化とその産業化促進を果たすためには並列接続手法が必要不可欠である。そこで、SiC MOSFET の並列接続手法についての研究が必要となる。また、並列接続手法には主に他種のデバイスを並列化させる手法と同種類のデバイスを並列化させる手法の2つがある。そこで、本論文では以下の2種類の並列接続手法の対象とする。

1. SiC MOSFET と SiC SBD (Schottky Barrier Diode) の並列接続

2. SiC MOSFET 同士の並列接続

それぞれについての研究目的を以下に示す。

□ 1. SiC MOSFET と SiC SBD の並列接続

高性能電力変換器を実現するために、SiC MOSFET の持つボディダイオードの高い順方向電圧は無視できない⁽³¹⁾。そのため、SiC MOSFET を搭載した電力変換器には SBD の並列接続手法は必要不可欠な技術となる。しかしながら、並列化することにより発生する問題についての検討が行われていない。そのため、並列化に関する問題抽出と有効性確認を行う必要がある。

□ 2. SiC MOSFET 同士の並列接続

SiC MOSFET は Si MOSFET に比べ、回路の寄生パラメータの影響を大きく受けやすく波形が振動する⁽³²⁾。この振動は損失やノイズとなる不必要なものである。よって、振動の起因となる要素の特定と振動抑制のために、回路の寄生パラメータを考慮に入れたモデルの構築と検証が必要である。

以上を目的として、論文は以下のように構成される。

1.4 論文構成

本論文は 5 章で構成されており、各章の内容は以下の通りである。

第 1 章では、パワーエレクトロニクス分野の定義と要求について示し、新素材半導体デバイスの電力変換器への応用化のための設計の必要性を述べた。また、SiC MOSFET の並列接続手法の研究がさらなる電力変換器の高性能化と産業化促進を実現するために必要であることを述べ、2 種類の SiC MOSFET の並列接続手法と、それぞれに対する研究目的を示した。第 2 章では SiC の材料の持つ諸特性と SiC MOSFET の基本特性と問題点を示す。第 3 章では、SiC MOSFET の抱える問題点を払拭する方法としての SiC MOSFET に SiC SBD を並列接続した際の実機評価を行う。実験結果より並列接続手法の問題点の抽出と考察を行い、降圧 DC/DC コンバータでの効率比較により並列接続手法の有効性を示す。第 4 章では SiC MOSFET 同士の並列接続手法について取り上げ、並列化した際に発生するスイッチング波形の振動のモデリングを行う。また、実機検証を行い提案モデルとの整合性を確認する。提案モデルの整合性を示した後、提案モデルにより SiC MOSFET の振動ループの特定と回路寄生パラメータの影響を確認する。影響が大きなパラメータを設計することで各経路に発生する振動を互いに打ち消す方法を提案する。第 5 章では、本論文の成果と並列接続手法を採用する上での検討事項の総括を述べる。

参考文献

- (1) E. W. Newell, "Power electronics-Emerging from Limbo," *IEEE Trans. Indus. Appl.*, Vol. IA-10, Issue 1, pp. 7-11, Jan. 1974.
- (2) United Nations Framework Convention on Climate Change, "ADOPTION OF THE PARIS AGREEMENT,"
http://unfccc.int/paris_agreement/items/9485.php .
- (3) 国立開発研究法人 国立環境研究所 「2015 年度（平成 27 年度）の温室効果ガス排出量（確報値）について」,
<http://www.nies.go.jp/whatsnew/20170413/20170413.html#pagetop2> .
- (4) 国立開発研究法人 国立環境研究所 「日本の温室効果ガス排出量データ 2017 年公開版（確報値：1990～2015 年度）」,
<http://www-gio.nies.go.jp/aboutghg/nir/nir-j.html> .
- (5) 電気学会・半導体電力変換 システム調査専門委員会, 「パワーエレクトロニクス回路」, オーム社, 2000 年 11 月.
- (6) W. Shockley, "The Theory of p-n Junctions in Semiconductors and p-n Junction Transistors," *Bell System Tech. Journal*, Vol. 28, Issue 3, pp. 435-489, Jul. 1949.
- (7) J. L. Moll, M. Tanenbaum, J. M. Goldey and N. Holonyak, "P-N-P-N Transistor Switches," *Proc. IRE*, Vol. 44, Issue 9, pp. 1174-1182, Sep. 1956.
- (8) E. D. Wolley, "Gate turn-off in p-n-p-n devices," *IEEE Trans. Electron Devices*, Vol. ED-13, Issue 7, pp. 590-597, Jul. 1966.
- (9) W. Shockley, M. Sparks and G. K. Teal, "p-n Junction Transistors," *Phys. Rev.*, Vol. 83, No. 1, pp. 151-162, Jul. 1951.
- (10) J. P. Russell, A. M. Goodman, L. A. Goodman and J. M. Neilson, "The COMFET - A new high conductance MOS-gated device," *IEEE Electron Devices Lett.*, Vol. 4, Issue 3, pp. 63-65, Mar. 1983.
- (11) B. J. Baliga, M. S. Adler, R. P. Love, P. V. Gray and N. D. Zommer, "The insulated gate

- transistor: A new three-terminal MOS-controlled bipolar power device,” *IEEE Trans. Electron Devices*, Vol. 31, Issue 6, pp. 821–828, Jun. 1984.
- (12) S. R. Hoffstein and F. P. Heiman, “The Silicon Insulated-Gate Field Effect Transistor,” *Proc. IEEE*, Vol. 51, Issue 9, pp. 1190–1202, Sep. 1963.
- (13) H. G. Dill, “A New Insulated Gate Tetrode with High Drain Breakdown Potential and Low Miller Feedback Capacitance,” *IEEE Trans. Electron Devices*, Vol. 15, Issue 10, pp. 717–728, Oct. 1968.
- (14) G. Majumdar, D. Medaule, “A New Generation of Intelligent Power Devices for Motor Drive Applications,” *Proc. Power Electronics and Variable Speed Drives*, London, UK, pp. 35-41, 26-28 Oct. 1994.
- (15) J. Harper, “Improvement of system level power density of 15A/600V intelligent power modules,” *Proc. PCIM Europe 2016*, 10 – 12 May 2016, Nuremberg, Germany.
- (16) M. Bhatnagar and B. J. Baliga, “Comparison of 6H-SiC, 3C-SiC, and Si for Power Devices,” *IEEE Trans. Electron Devices*, Vol. 40, Issue 3, pp. 645–655, Mar. 1993.
- (17) M. Ruff, H. Mitlehner, R. Helbig, “SiC devices: physics and numerical simulation,” *IEEE Trans. Electron Devices*, Vol. 41, Issue 6, pp. 1040–1054, June 1994.
- (18) J. Tan, J. A. Cooper, Jr., M. R. Melloch, “High-Voltage Accumulation-Layer UMOSFETs in 4H-SiC,” *Proc. Device Resear. Conf. Digest*, pp. 88–89, Jun. 1998.
- (19) M. A. Khan, J. N. Kuznia, A. R. Bhattarai and D. T. Olson, “Metal semiconductor field effect transistor based on single crystal GaN,” *Appl. Phys. Lett.*, 62, 1786, 1993.
- (20) Y. F. Wu, B. P. Keller, S. Keller, D. Kapolnek, P. Kozodoy, S. P. Denbaars and U. K. Mishra, “Very high breakdown voltage and large transconductance realized on GaN heterojunction field effect transistors,” *Appl. Phys. Lett.*, 64, 1438, 1996.
- (21) E. T. Yu, G. J. Sullivan, P. M. Asbeck, C. D. Wang, D. Qiao and S. S. Lau, “Measurement of piezoelectrically induced charge in GaN/AlGaN heterostructure field-effect transistors,” *Appl. Phys. Lett.*, 71, 2794, 1997.

序論

- (22) NEDO 国立研究開発法人 新エネルギー・産業技術総合開発機構 「低炭素化社会を実現する次世代パワーエレクトロニクスプロジェクト」,
<http://www.nedo.go.jp/content/100749248.pdf> .
- (23) NEDO NEDO PROJECT SUCCESS STORIES 「次世代の電力社会を担う「SiC パワー半導体」が、鉄道車両用インバータで実用化」,
<http://www.nedo.go.jp/hyoukabu/articles/201706sic/pdf/201706sic.pdf> .
- (24) X. Huang, H. Yu, J.-S. Lai, A. R. Hefner, D. W. Berning, “Characterization of paralleled super junction MOSFET devices under hard and soft-switching conditions”, *Proc. 32nd IEEE Power Electron. Spec. Conf.*, Vancouver, BC, Canada, pp. 2145-2150, Jun. 2001.
- (25) K. F. Hoffmann, J. P. Karst, “High frequency power switch - improved performance by MOSFETs and IGBTs connected in parallel,” *Proc. Eur. Conf. Power Electron. Appl.*, Dresden, Germany, pp. 1-11, Sept. 2005.
- (26) J. F. Donlon, E. R. Motto, M. Kato, M. Shimizu, T. Tanaka, “New high efficiency transfer mold module with parallel IGBT and Super Junction MOSFET,” *Proc. Applied Power Electronics Conference and Exposition (APEC)*, Charlotte, NC, USA, pp.2464-2468, Mar. 2015.
- (27) D. Pefitsis, R. Baburske, J. Rabkowski, J. Lutz, G. Tolstoy, H. -P. Nee, “Challenges Regarding Parallel Connection of SiC JFETs,” *IEEE Trans. Power Electron.*, vol. 28, no. 3, pp. 1449-1463, Mar. 2013.
- (28) U. Schlapbach, "Dynamic paralleling problems in IGBT module construction and application," *Proc. 6th Int. Integrated Power Electronics Systems (CIPS)*, pp. 1-7, Mar. 2010.
- (29) F. Chimento, F. Nicosia, S. Musumeci, A. Raciti, M. Melito, G. Sorrentino, “Simulation and Behavior Evaluation of PT-IGBT Connections in Parallel Strings,” *Proc. IEEE ISIE*, Vigo, Spain, pp. 931-936, Jun. 2007.

序論

- (30) X. Wang, Z. Zhao, L. Yuan, "Current sharing of IGBT modules in parallel with thermal imbalance," *Proc. Energy Conversion Congress and Exposition (ECCE)*, Atlanta, GA, USA, pp.2101-2108, Sept. 2010.
- (31) Fairchild, H. Choi, "Overview of Silicon Carbide Power Devices,"
<https://www.fairchildsemi.com/technical-articles/Overview-of-Silicon-Carbide-Power-Devices.pdf> .
- (32) H. Sayed, A. Zurfi, J. Zhang, "Investigation of the effects of load parasitic inductance on SiC MOSFETs switching performance," *Proc. Industrial Technology (ICIT)*, Toronto, ON, Canada, pp.125-129, Mar. 2017.

第 2 章 SiC MOSFET の諸特性

2.1 SiC の物性

SiC の結晶は、各々の電子の周りに異なる 4 つの最近接原子が正四面体配置をした構造をしており、その配列及び積層構造の違いで性能に大きな違いが発生する。この数ある積層構造の中で、発生率が高く応用上重要なものが図 2.1 に示す 3C-SiC、4H-SiC、6H-SiC である⁽¹⁾⁻⁽²⁾。先頭の数字は原子配列の繰り返し周期を示し、その後のアルファベットはそれぞれ C：立法晶、H：六方晶を表わしている。3 種類の積層構造の違いにより、物理的性質が異なる。これらの物理的性質を表 2.1 に示す。これより、4H-SiC が他の 2 種類の積層構造に比べて、バンドギャップ幅も大きく、電子移動度、正孔移動度共に早いことから、優れた積層構造だと言える。この 4H-SiC を Si と GaAs と比較したものを表 2.2 に示す⁽³⁾。表より、4H-SiC は Si と GaAs に対して絶縁破壊電界が約 10 倍、電子の飽和ドリフト速度が約 2 倍、熱伝導率が Si の約 2-3 倍、GaAs の約 10 倍と大きい。この特性より、SiC は高耐圧特性に優れ、高温特性についても優れていることがわかる。したがって、Si や GaAs では実現不可能なアプリケーションにおいて SiC は大きなアドバンテージを持っていると言える。

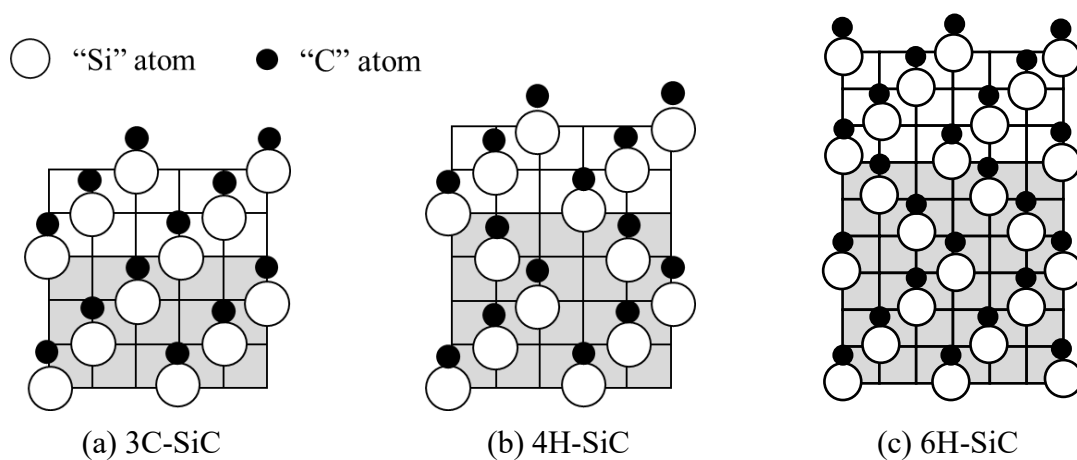


図 2.1 SiC 積層構造の違い

表 2.1 各積層構造における特性

	3C-SiC	4H-SiC	6H-SiC
Band gap [eV]	2.36	3.26	3.02
Electron mobility [cm ² / Vs]	1000	1020	450
Hole mobility [cm ² / Vs]	100	120	100
Breakdown field [MV / cm]	1.4	2.8	3.0
Saturated velocity [cm / s]	$\sim 2 \times 10^7$	2.2×10^7	1.9×10^7
Thermal conductivity [W / cmK]	3.3-4.9	3.3-4.9	3.3-4.9
Relative permittivity	9.72	9.76	9.66

表 2.2 各素材における特性

	Si	GaAs	4H-SiC
Band gap [eV]	1.11	1.43	3.26
Electron mobility [cm ² / Vs]	1350	6000	1020
Hole mobility [cm ² / Vs]	450	330	120
Breakdown field [MV / cm]	0.3	0.4	2.8
Saturated velocity [cm / s]	1.0×10^7	1.0×10^7	2.2×10^7
Thermal conductivity [W / cmK]	1.5	0.46	3.3-4.9

2.2 ダイオードの構造と特性

SiC MOSFET の特性について言及する前に重要となるダイオードの構造と特性について述べる。半導体技術を用いた最も簡単な構造を有しているのが、ダイオードである。本節では2種類のダイオードについて触れる。1つめのダイオードが図 2.2 に示す PN ダイオードと呼ばれるダイオードで、n 型半導体と p 型半導体を用いることで整流作用を実現したダイオードである⁽⁴⁾。図の PN ダイオードは高耐圧用に n ドリフト層を設けている。n ドリフト層を設けることで、キャリア濃度を下げる代わりに耐電圧を増加させている。PN ダイオードの動作を図 2.3 に示す。図 2.3(a)は PN ダイオードの平衡状態を示している。p 層には正孔（ホール）が存在しており、n 層は電子が存在している。p 層と n 層の接合近傍はそれぞれのキャリアが拡散・再結合しており、空乏層が生成されている。この PN ダイオードに順バイアスを印加すると、図 2.3 (b)のように電子は正電圧を印加した電極側に、正孔は逆側の電極側に引き寄せられ、電流が流れる。その後、電圧印加を止めるとキャリア

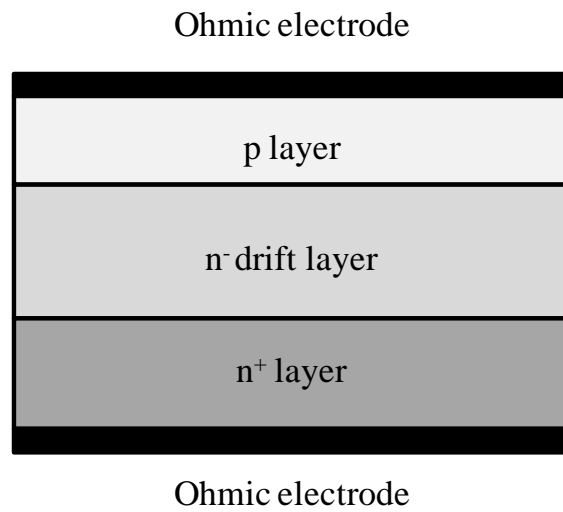


図 2.2 PN ダイオード

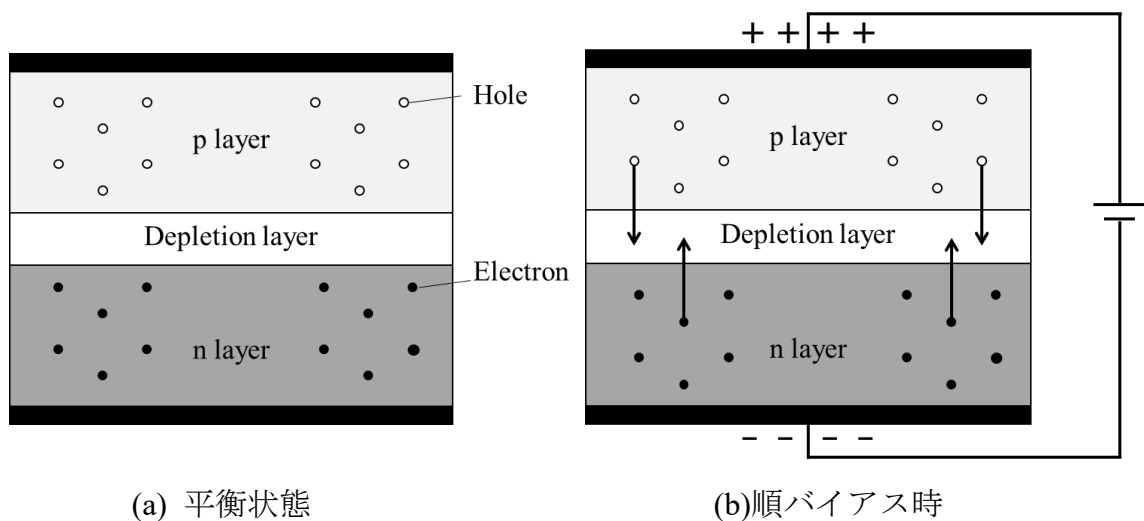


図 2.3 PN ダイオードの動作

の移動が止まり、流れていた少数キャリアは平衡状態へと戻ろうとする。この時、PN ダイオードに逆バイアスが印加されていると、リカバリ電流と呼ばれる大電流が流れる。図 2.4 はダイオードターンオフ時のダイオード電流 I_d の波形である。電流が一度負に流れてからゼロに収束するような動作となっている。これがリカバリ電流である。もう 1 種類のダイオードがショットキーバリアダイオード (SBD) と呼ばれるダイオードである⁽⁵⁾⁽⁶⁾。このダイオードはショットキー接合を用いたダイオードである。ショットキーバリアダイオードを図 2.5 に示す。

SiC MOSFET の諸特性

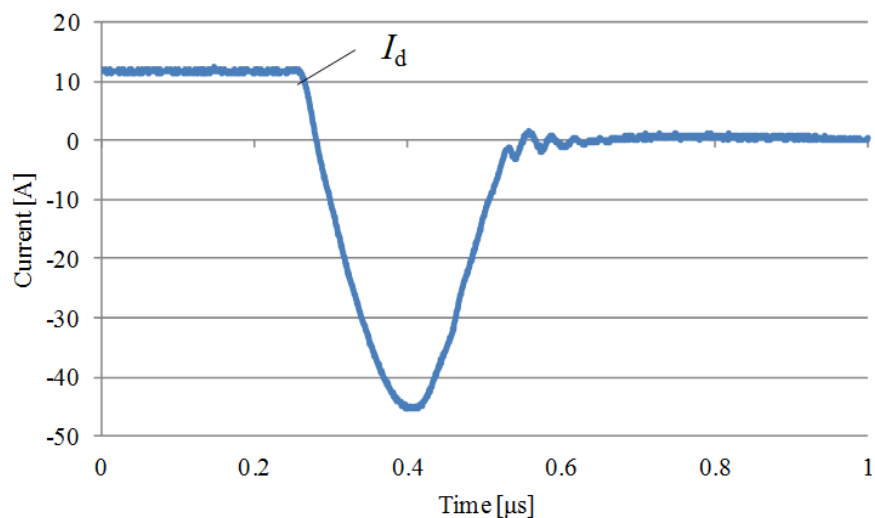


図 2.4 リカバリ電流

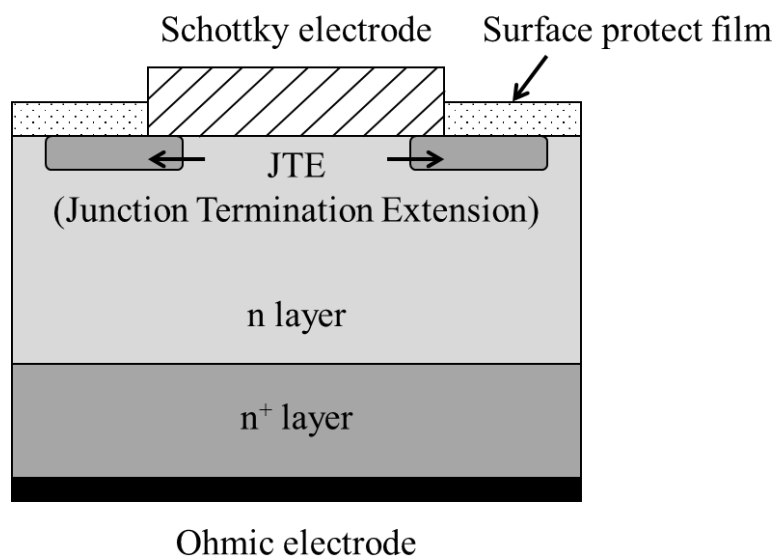


図 2.5 ショットキーバリアダイオード

ショットキーバリアダイオードは金属電極と接合しており、多数キャリアデバイスであるので、少数キャリアの蓄積が無い。したがって、リカバリ電流が発生しない。また、ショットキーダイオードは電流阻止特性を高めるためにエッジ終端（edge termination）が重要である。図のショットキーバリアダイオードは JTE（junction termination extension）と呼ばれる終端構造を有している⁽⁷⁾。この終端構造により、金属電極の端部で電界集中が起こり、絶縁破壊電圧以下で起こる絶縁破壊を防ぐ効

SiC MOSFET の諸特性

果がある。また、ダイオードのドリフト層（n⁻層）が持つ順方向抵抗を固有オン抵抗と呼ぶ。この固有オン抵抗を R_{on} とすると、 R_{on} は空乏層の厚さ w 、電荷 q およびドナー密度 N_d に関係し、次の式となる⁽⁸⁾。

$$R_{on} = \frac{w}{q\mu N_d} = \frac{4V_b^2}{\epsilon_s \mu E_b^3} \dots\dots\dots (2-1)$$

ここで、 V_b は絶縁破壊電圧、 E_b は絶縁破壊電界、 μ は電子の移動度、 ϵ_s は半導体の誘電率である。この式により絶縁破壊電界 E_b の高いワイドギャップ半導体のような素材を用いることで、低オン抵抗を実現できることが分かる。ここで、SiC ショットキーバリアダイオードと Si ダイオードを同条件で駆動させた際のリカバリ電流波形の違いを図 2.6 に示す。これにより、SiC ショットキーバリアダイオードはリカバリ電流が発生せず、Si ダイオードよりも優れていることが分かる。したがって、ショットキーダイオードは低オン抵抗による導通時の損失も小さいだけでなく、ダイオードターンオフ時に発生する損失も小さくなることから、様々なアプリケーションで採用されている。

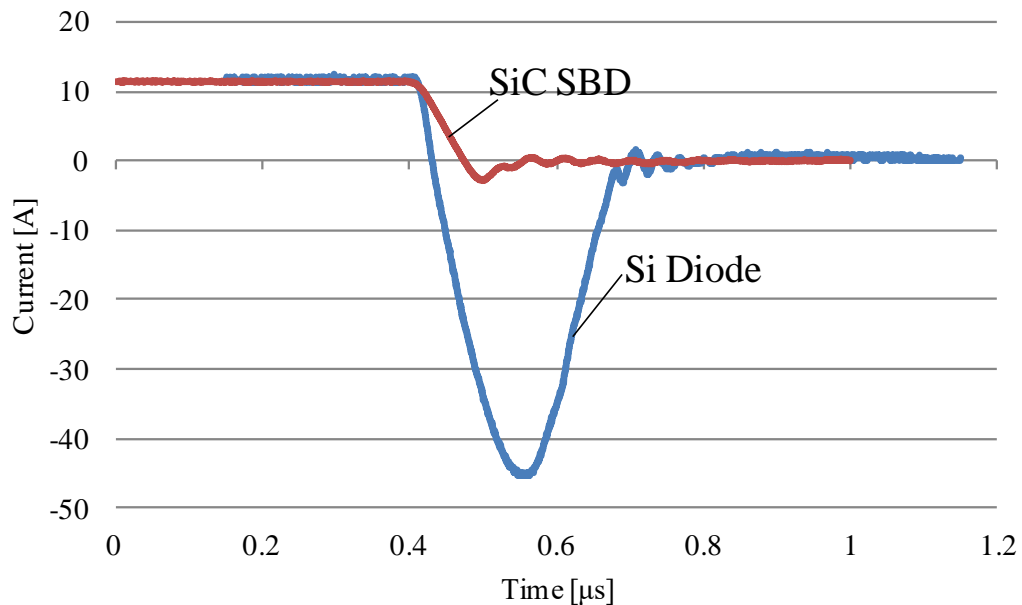


図 2.6 リカバリ電流比較

2.3 MOSFET の構造と特性

続いて MOSFET の基本的な構造と特性について取り上げる。MOSFET はゲート、ドレイン、ソースの三端子からなる半導体デバイスである。その構造は MIS (metal insulator semiconductor) 構造と呼ばれ、金属と半導体で絶縁体を挟んだ構造となっている。MOSFET は電流を流す方向の違いで、縦型と横型に分けられる。ここでは縦型 MOSFET の構造を図 2.7 に示す。図 2.7 (a) の MOSFET は DIMOSFET (double implanted MOSFET) と呼ばれる縦型 MOSFET である⁹⁾。また、縦型 MOSFET は大きく分けて 2 種類あり、DIMOSFET の構造はプレーナ構造と呼ばれる構造である。一方で図 2.7 (b) に示すような縦型 MOSFET はトレンチ構造と呼ばれる。MOSFET の動作原理をプレーナ構造の MOSFET を用いて説明する。図 2.8 に示すようにゲート・ソース間に閾値電圧以上の電圧を印加すると、ゲート直下の p 層表面部分に電子が誘起される。電子誘起により、n⁺層とドリフト層 (n 層) が繋がるようにチャンネルが形成される。チャンネルの形成により、電子が流れ出す。したがって、素子のドレイン・ソース間に電流が流れる。この際に電子は、ドリフト層を流れ、MOSFET のドレイン・ソース間にはオン電圧が発生する。ドリフト層は膜厚を厚くすることで、素子の耐圧を大きくすることが出来る。一方で、オン電圧が上昇し、

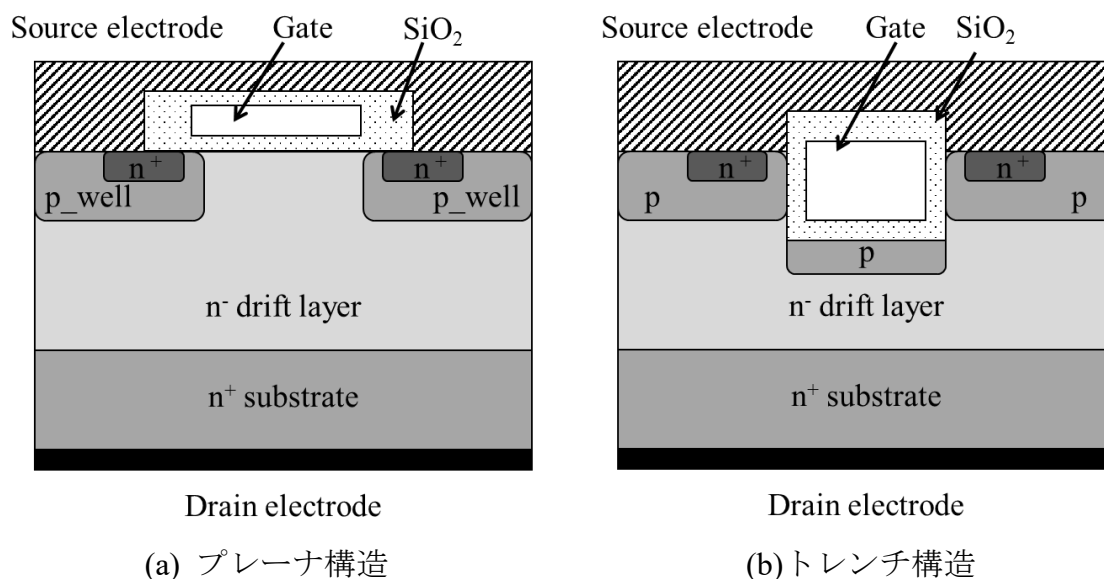


図 2.7 MOSFET 構造

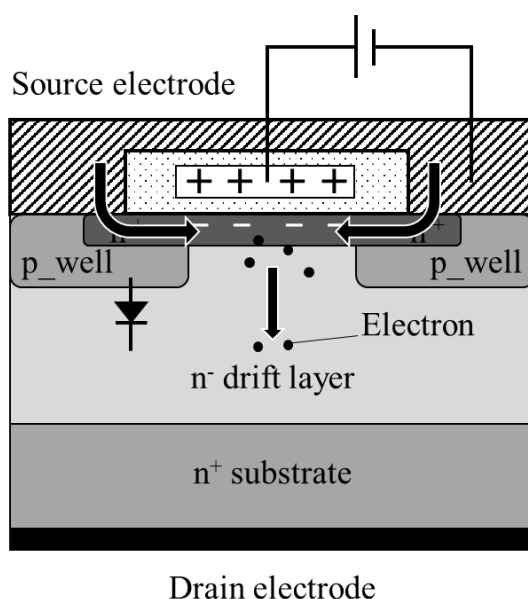


図 2.8 MOSFET 動作

MOSFET 導通時の導通損失を増大させてしまう問題がある。また、このゲート・ソース間電圧の印加を止めると、チャンネルが無くなり電子の流出が無くなることによって電流を止めることが出来る。この動作により MOSFET は電圧駆動型半導体と呼ばれる。加えて、MOSFET にはソース側からドレイン側に向かって PN ダイオード構造が存在する。このダイオードをボディダイオードと言う。

2.4 SiC MOSFET の特徴

現在に至るまで、MOSFET を高耐圧にするためにはの図 2.9(a)のように n 層（ドリフト層）を厚くする必要があった。このドリフト層のキャリア濃度は一般に、小さいものを挿入することで高耐圧を実現する。よって、ドリフト層が厚ければ厚いほど、オン抵抗が大きくなってしまふ。しかしながら、SiC デバイスの登場により、その高絶縁破壊電圧特性を生かし、図 2.9(b)のようにドリフト層を厚くすることなく、高耐圧の素子を製造することが可能となった。つまり、SiC MOSFET はオン抵抗が小さく、高耐圧を実現可能な素子である。一方で SiC MOSFET のボディダイオードの順方向電圧は Si MOSFET と比べて大きく、Si MOSFET のボディダイオード

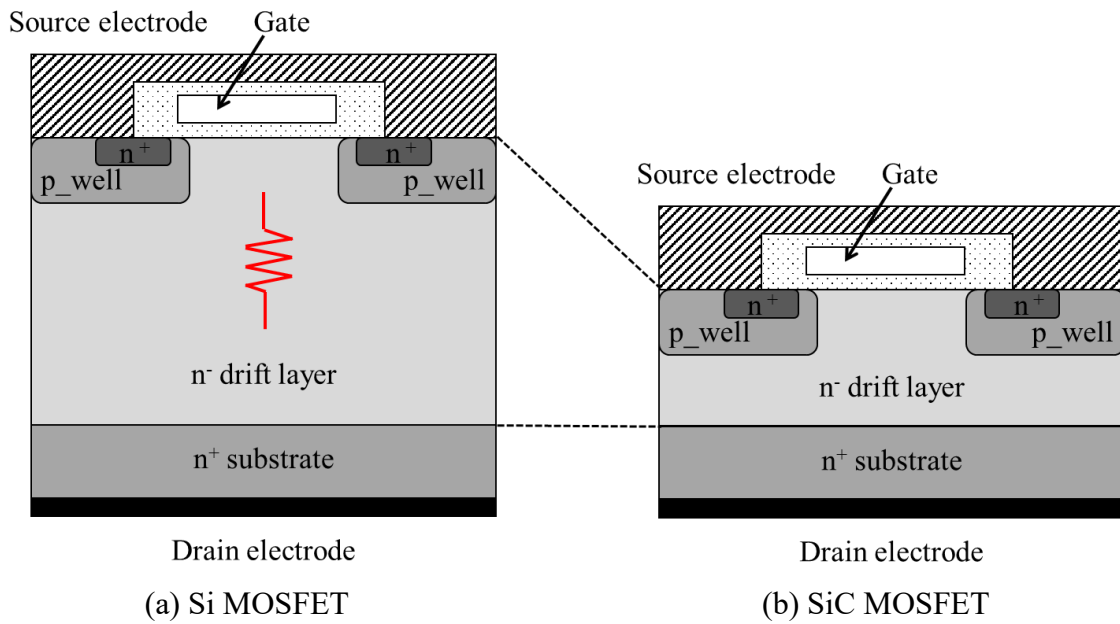


図 2.9 SiC によるドリフト層の薄膜化

ドの順方向電圧が約 0.7V に対し、SiC MOSFET のボディダイオードの順方向電圧は 3-5V 発生してしまう⁽¹⁰⁾⁻⁽¹¹⁾。この順方向電圧の増加により、逆導通時（ダイオード導通時）の損失が大きくなってしまふといった問題を抱えている。降圧 DC/DC コンバータやインバータなどの還流モードのあるアプリケーションにおいて、ダイオードの逆導通損失の増加は回路全体の効率に著しく影響する⁽¹²⁾。その問題を払拭すべく、SiC MOSFET に SiC SBD を並列接続することで、逆導通時の特性を向上している素子も登場している⁽¹³⁾。

2.5 ゲートドライブ回路

半導体デバイスをスイッチとして動作させるためにはゲートドライブ回路が必要不可欠である。ゲートドライブ回路により半導体デバイスのゲート電圧を制御し、スイッチとして動作させる。ゲートドライブ回路を理解するために、図 2.10 に電圧駆動型半導体デバイス等価回路を示す。ここで、それぞれ入力容量 C_{iss} 、出力容量 C_{oss} 、帰還容量 C_{rss} は、ドレイン・ゲート間容量 C_{dg} 、ゲート・ソース間容量 C_{gs} 、ドレイン・ソース間容量 C_{ds} を用いて次式で表わすことができる。

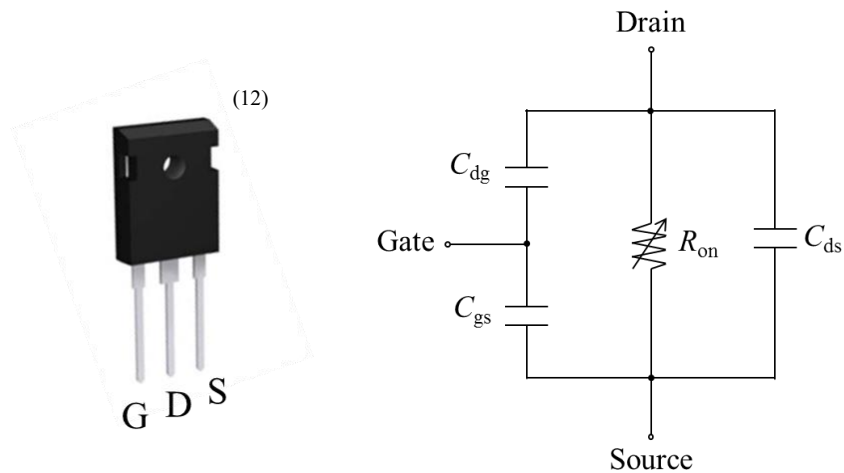


図 2.10 電圧駆動型半導体デバイスの等価回路

$$C_{iss} = C_{dg} + C_{gs} \dots\dots\dots (2-2)$$

$$C_{oss} = C_{ds} + C_{dg} \dots\dots\dots (2-3)$$

$$C_{rss} = C_{dg} \dots\dots\dots (2-4)$$

この等価回路におけるゲート・ソース間容量 C_{gs} に正電圧を印加することにより、電圧駆動型半導体デバイスがオン状態となる。一般に、突入電流を防ぐためにゲートドライブ回路にはゲート抵抗が用いられている。ここで、帰還容量が無視できると仮定すると、ゲート・ソース間容量に印加される電圧 V_{gs} はゲート抵抗 R_g とゲート・ソース間容量 C_{gs} 、制御電圧 V_{cc} を用いて次式で表される。

$$V_{gs}(t) = V_{cc} \left(1 - e^{-\frac{t}{R_g C_{gs}}} \right) \dots\dots\dots (2-5)$$

図 2.11 に簡単なゲートドライブ回路とその動作を示す。Mode 1 は制御電圧を印加していない状態で、スイッチにはオフ状態であり、電流は流れていない。続いて、Mode 2 は制御電圧を印加した状態であり、ゲート・ソース間容量に電荷が蓄積され、徐々に電圧がかかり始め、スイッチがオン状態へと遷移している。一方でドレイン・ソース間容量はスイッチの導通に伴い放電を始め、同時にドレイン・ソース

SiC MOSFET の諸特性

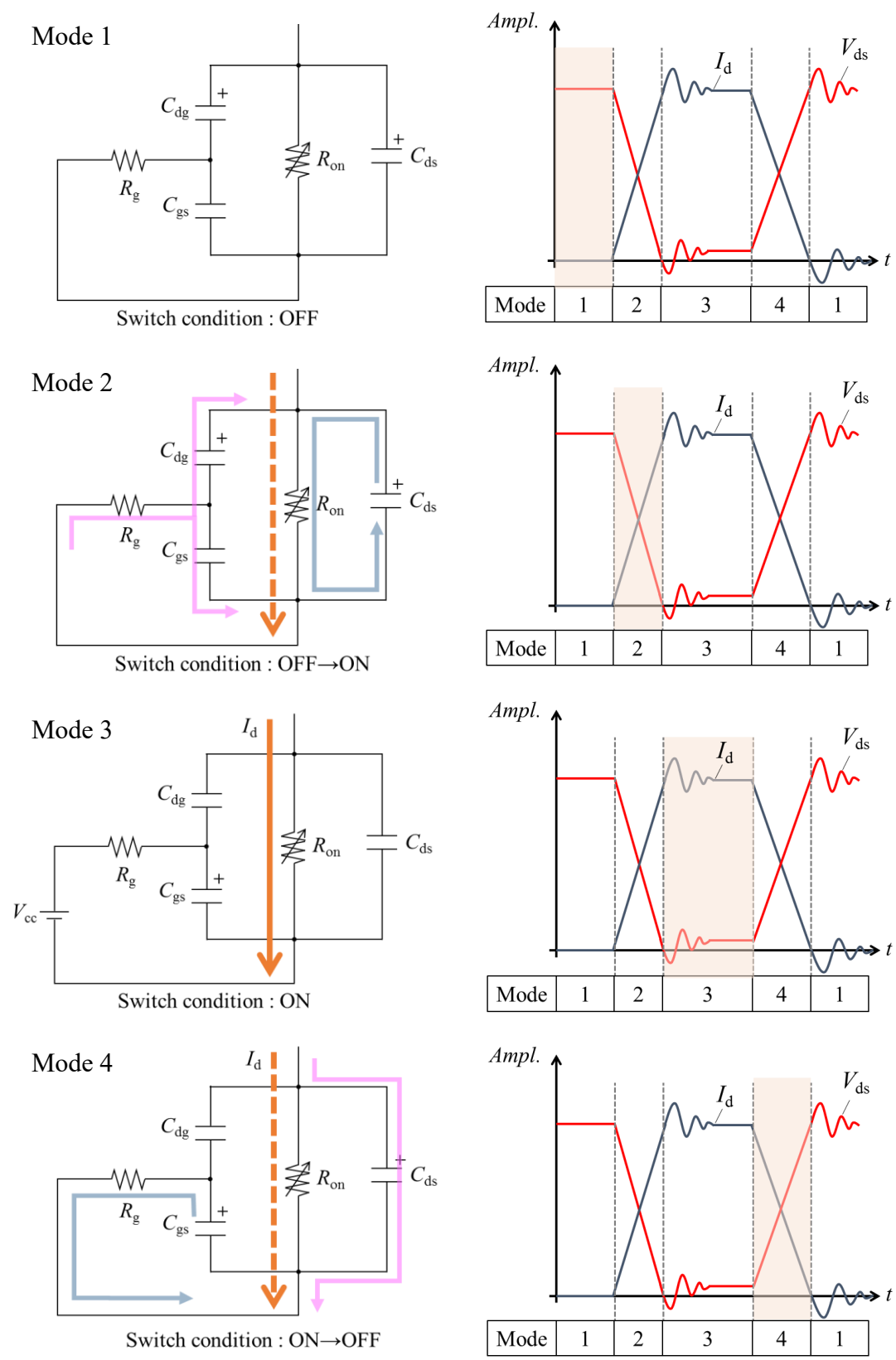


図 2.11 ゲートドライブ回路動作モード

SiC MOSFET の諸特性

間電圧は減少する。Mode 3 は常にゲート・ソース間容量に電圧が印加されておりスイッチはオン状態となっている。この時ドレイン・ソース間容量の電荷は放電しており、ドレイン・ソース間電圧はほぼ 0V となる。Mode 4 では制御電圧が 0V となり、ゲート・ソース間容量の電荷が放電し、スイッチがオフ状態へと遷移している。この時ドレイン・ソース間容量は電源によって充電され、ドレイン・ソース間電圧は上昇する。その後、Mode 1 へと遷移し、スイッチはオフ状態となる。半導体デバイスを動作させるにあたって、スイッチング動作切り替え時に Mode 2 および Mode 4 のようなスイッチング遷移時間が発生する。この時、図 2.12 に示すように電流波形と電圧波形が重なる部分が発生し、この重なり部分は熱となる。この熱は損失となるため、ジュールの法則により、ジュール熱 Q_{Loss} は次式で表わされる。

$$Q_{Loss} = \int V \times I \, dt \dots\dots\dots (2-6)$$

ここで、図 2.12 (a)の損失をスイッチング損失と呼び、図 2.12(b)に示される損失を導通損失と呼ぶ。導通損失とはスイッチがオン状態の際に発生するオン抵抗による損失である。この 2 種類の損失がスイッチング動作に発生する損失である。

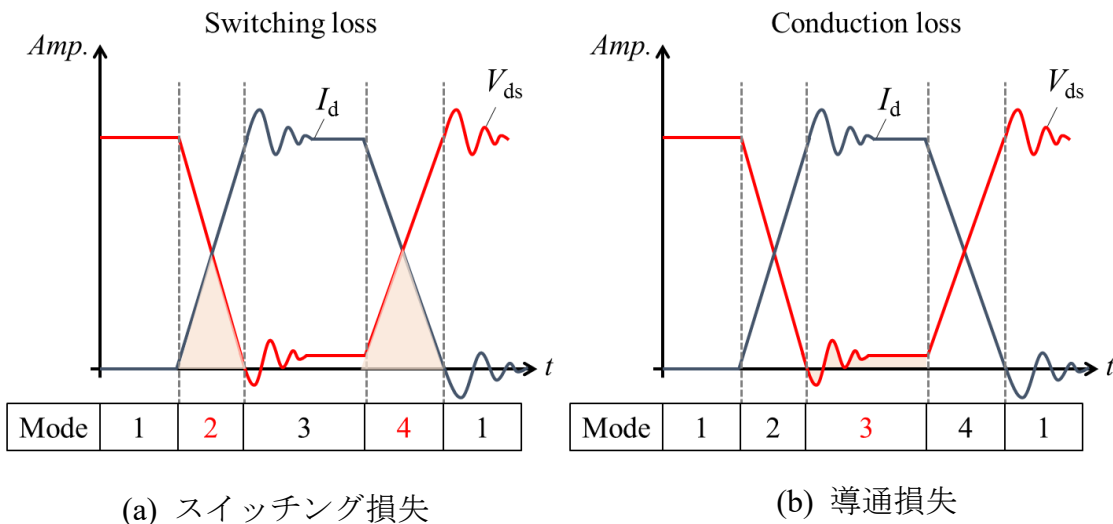


図 2.12 半導体デバイスの損失

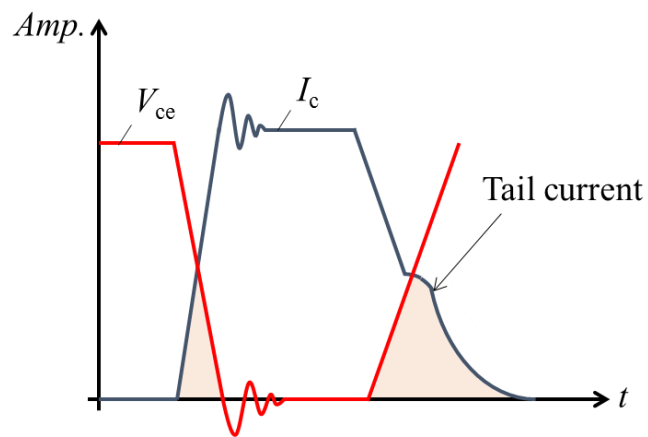


図 2.13 テール電流による損失増加

また、IGBT はテール電流が発生するため、図 2.13 のように MOSFET に比べて大きなスイッチング損失となってしまうことが問題とされている。このスイッチング損失や、導通損失を低減出来る素子が前節で述べた SiC MOSFET である。Si デバイスに比べ高速で、低オン抵抗を実現できるため、スイッチング時における損失が低損失となることから、注目を集めている⁽¹⁴⁾。

参考文献

- (1) T. Kimoto, J. A. Cooper, “Physical Properties of Silicon Carbide,” *Fundamentals of Silicon Carbide Technology: Growth, Characterization, Devices and Applications*, pp. 11–37, 2014.
- (2) T. Kimoto, J. A. Cooper, “Appendix C: Major Physical Properties of Common SiC Polytypes,” *Fundamentals of Silicon Carbide Technology: Growth, Characterization, Devices and Applications*, pp. 521–524, 2014.
- (3) C. E. Weitzel, J. W. Palmour, C.H. Carter, K. K. Nordquist, S. Allen, C. Thero, M. Bhatnagar, “Silicon carbide high-power devices,” *IEEE Trans. Electron Devices*, Vol. 43, Issue 10, pp. 1732-1741, Oct. 1996.
- (4) 大野 榮一, 小山 正人, 「パワーエレクトロニクス入門 改訂5版」, オーム社, 平成26年1月.
- (5) 日本学術振興会 ワイドギャップ半導体 光・電子デバイス第162委員会 編, 吉川明彦 監修, 赤崎 勇, 松波 弘之 編著, 「ワイドギャップ半導体 あげぼのから最前線へ」, 培風館, 平成25年1月.
- (6) 松波弘之, 尾江邦成, 「半導体材料とデバイス」, 岩波書店, 平成7年5月.
- (7) V. A. K Temple, W. Tantraporn, “Junction termination extension for near-ideal breakdown voltage in p-n junctions,” *IEEE Transactions on Electron Devices*, Vol. 33, Issue 10, pp. 1601-1608, Oct. 1986.
- (8) K. Shenai, R. S. Scott, B. J. Baliga, “Optimum semiconductors for high-power electronics,” *IEEE Transactions on Electron Devices*, Vol. 36, Issue 9, pp. 1811-1823, Sep. 1989.
- (9) J. Tihanyi, D. Widmann, “DIMOS - A novel IC technology with submicron effective channel MOSFETs,” *Proc. IEDM Electron Devices Meeting*, pp. 399-401, Dec. 1977.
- (10) Wolfspeed, “C2M0025120D Silicon Carbide Power MOSFET,”
<https://www.wolfspeed.com/downloads/dl/file/id/161/product/8/c2m0025120d.pdf>.

SiC MOSFET の諸特性

(11) Wolfspeed, “C3M0120090D Silicon Carbide Power MOSFET,”

<https://www.wolfspeed.com/downloads/dl/file/id/824/product/194/c3m0120090d.pdf>

.

(12) F. Blaabjerg, J. K. Pedersen, S. Sigurjonsson, A. Elkjaer, “An extended model of power losses in hard-switched IGBT-inverters,” *Proc. Thirty-First IAS Annual Meeting, IAS '96*, San Diego, CA, USA, pp.1454-1463, Oct. 1996.

(13) ROHM CO., Ltd., “SCH2080KE Datasheet,”

<http://www.rohm.com/web/global/datasheet/SCH2080KE/sch2080ke-e> .

(14) J. Kondoh, T. Yatsuo, I. Ishii, K. Arai, “Estimation of Converters with SiC Devices for Distribution Networks,” *IEEJ Trans. IA*, Vol. 126, No. 4, pp. 480-488, Jul. 2006.

第 3 章 SiC SBD の並列接続

3.1 SiC MOSFET のボディダイオードの問題

SiC MOSFET は多くのメリットを持つ半導体デバイスであることを前章で述べた。一方、デメリットとしてボディダイオードの高い順方向電圧が挙げられる。式 (2-1) に示したように、絶縁破壊電界の高さによるドリフト層のオン抵抗を下げる事が可能であるが、そのバンドギャップ幅により PN 接合の空乏層領域内の電界に発生する電位差が大きくなってしまふ。この電位のことをビルトイン・ポテンシャルまたはビルトイン電圧と呼ぶ。ビルトイン・ポテンシャルを ϕ_{bi} とすると次の式で与えられる⁽¹⁾。

$$\phi_{bi} = \frac{kT}{q} \ln \frac{N_D N_A}{n_i^2} \dots\dots\dots (3-1)$$

ここで、 k は波数、 T は温度、 q はキャリアの電荷、 N_D はドナー密度、 N_A はアクセプタ密度、 n_i は真性キャリア密度を示す。図 3.1 に平衡状態の PN 接合のエネルギーバンド図を示す。図 3.1 (a) に示すように、式(3-1)で求まるビルトイン・ポテンシャルはエネルギー障壁の高さを意味している。そのため、高いビルトイン・ポテンシャルを持つ半導体にキャリアを流すためには高い順バイアスが必要になる。その電圧がダイオードの順方向電圧 V_F となり、エネルギーバンド図は図 3.1 (b) のようになる。そのため、SiC MOSFET のボディダイオードの順方向電圧は高くなる。高い順方向電圧は、ダイオードを導通するような還流ループのあるアプリケーションにおいて損失増加を招く。この問題に対し、SiC SBD を SiC MOSFET に並列接続してダイオードの導通損失低減を実現する手法が用いられている。SiC SBD は 2.2 節で述べたように、リカバリ電流が理想上発生しないため、リカバリ損失低減も同時に実現可能な半導体デバイスである⁽²⁾⁽³⁾。しかしながら、並列接続手法の有効性及び有効使用領域に関する定量的な検討が行われていない。そこで、本章では様々

SiC SBD の並列接続

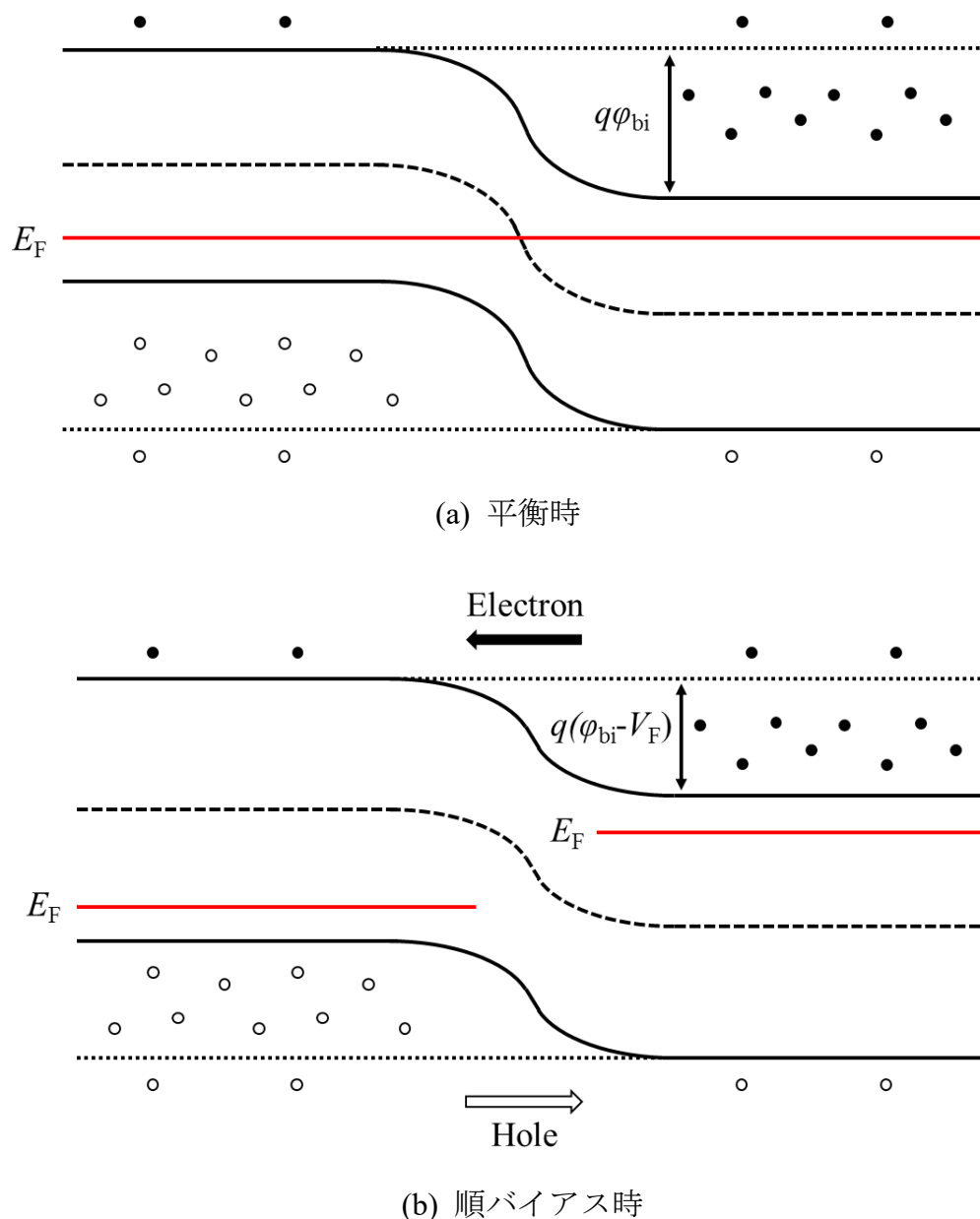


図 3.1 PN 接合半導体のエネルギーバンド図

な条件の半導体デバイスの並列接続における、並列接続手法の有効性及び有効使用領域について実機評価・検討を行う。

3.2 SiC SBD 並列接続手法のリカバリ特性評価

並列接続手法の有効性を、表に示す4つの条件下でリカバリ特性を評価する。評価に使用する半導体デバイスは3種類とし、それぞれ ROHM 社製 SiC MOSFET の

表 3.1 評価条件一覧

	Device	Product number	Note
1	SiC MOSFET	SCT2080KE (ROHM)	-
2	SiC MOSFET	SCH2080KE (ROHM)	Bult-in SiC SBD
3	SiC SBD	C3D08060A (CREE)	-
4	SiC MOSFET SiC SBD	SCT2080KE (ROHM) C3D08060A (CREE)	Parallel connection

SCT2080KE⁽⁴⁾, SCH2080KE⁽⁵⁾及び CREE (Wolfspeed) 社製 SiC SBD の C3D08060A⁽⁶⁾ である。条件 1 では SCT2080KE を用いて SiC MOSFET のリカバリ特性を評価する。条件 2 で用いる SCH2080KE は SCT2080KE に SiC SBD を並列接続させてパッケージングした製品となっており、パッケージ内での並列接続した場合の特性を評価する。条件 3 は C3D08060A を用いて SiC SBD の特性を評価する。条件 4 では、パッケージ内に SiC SBD を持たない SCT2080KE に並列に C3D08060A を接続することにより、パッケージ外部で並列接続をした場合の特性を評価する。また、SCT2080KE のボディダイオードの順方向電圧は 4.6V(Typ.)に対し、SCH2080KE の内部 SiC SBD の順方向電圧は 1.3V(Typ.)であり、C3D08060A の順方向電圧は 1.5V(Typ.)である。よって、本評価で使用する全ての SiC SBD は SiC MOSFET のボディダイオードの持つ順方向電圧よりも低い電圧で導通するため、逆導通時に電流が SiC SBD を流れる。

3.2.1 ダブルパルス評価回路

それぞれの条件におけるリカバリ特性を測定するために、図 3.2 のダブルパルス評価回路を用いる。ダブルパルス評価回路はスイッチ Q_1 , Q_2 を直列に接続し、そのうちハイサイド側に並列に負荷インダクタ L_{out} を接続した構成になっている。電源は直流電圧源 V_{in} とし、入力インピーダンスを考慮して入力キャパシタ C_{in} を直流電圧源と並列に接続する。また、リカバリ特性評価対象デバイス (D.U.T.: Device Under Test) は Q_1 となる。この回路の動作を図 3.3 と図 3.4 に示す。ここで、 v_c はゲート・ソース間に印加される制御電圧、 i_{d1} はスイッチ Q_1 のボディダイオード電

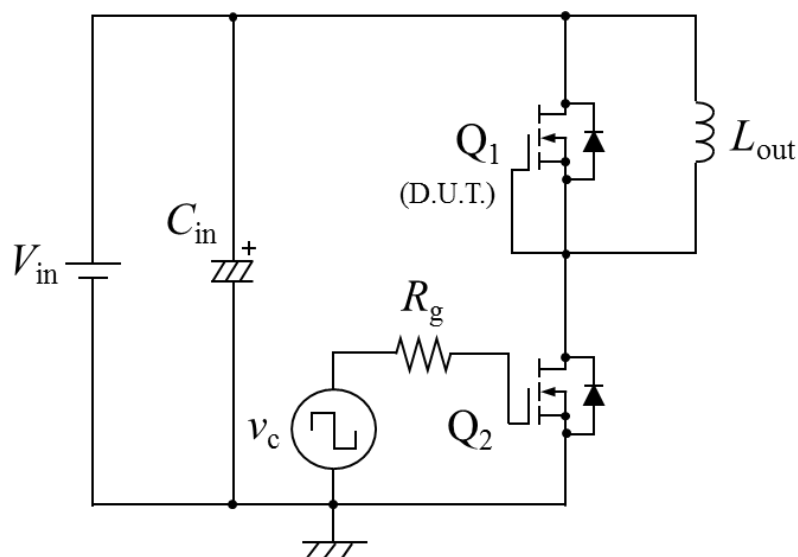


図 3.2 ダブルパルス評価回路

流, i_{Q2} は $Q2$ に流れる電流を示す。電流の向きは, ダイオードはアノードからカソードの向き, MOSFET はドレインからソースの向きを正とする。 $Q2$ のゲートに 2 回矩形波を入力することで 2 度だけスイッチングさせる。これにより, スイッチに電流が流れていた直後のターンオン及びターンオフ動作を観測することができるため, インバータなどの連続動作する回路のスイッチング動作を模擬することが可能である。ダブルパルス評価回路は大きく 4 つのモードで表すことが可能である。

< Mode 1 >

ローサイドスイッチのゲート信号がオン状態となり, スイッチが導通する。電流が負荷インダクタとローサイドスイッチを流れ, 線形的に増加する。電流の傾斜は負荷インダクタンス値によって決定される。

< Mode 2 >

ローサイドスイッチのゲート信号がオフ状態となり, ローサイドスイッチに流れていた電流が徐々に減少する。同時にハイサイドスイッチのボディダイオードへ転流を始め, ボディダイオードの電圧が順方向電圧を超えたら Mode 3 へ移行する。

SiC SBD の並列接続

< Mode 3 >

ローサイドスイッチのゲート信号はオフ状態であり、負荷インダクタに蓄積されたエネルギーがハイサイドスイッチのボディダイオードを通り還流する。この時ボディダイオードの内部抵抗によりインダクタの蓄積エネルギーは熱となり消費される。そのため、ボディダイオードを流れる電流は僅かながら減少する。

< Mode 4 >

ローサイドスイッチのゲート信号がオン状態になり、スイッチに流れる電流が増加する。同時にハイサイドスイッチのボディダイオードに蓄積されていた少数キャリアによってリカバリ電流が流れる。その後、Mode 1 へ移行する。

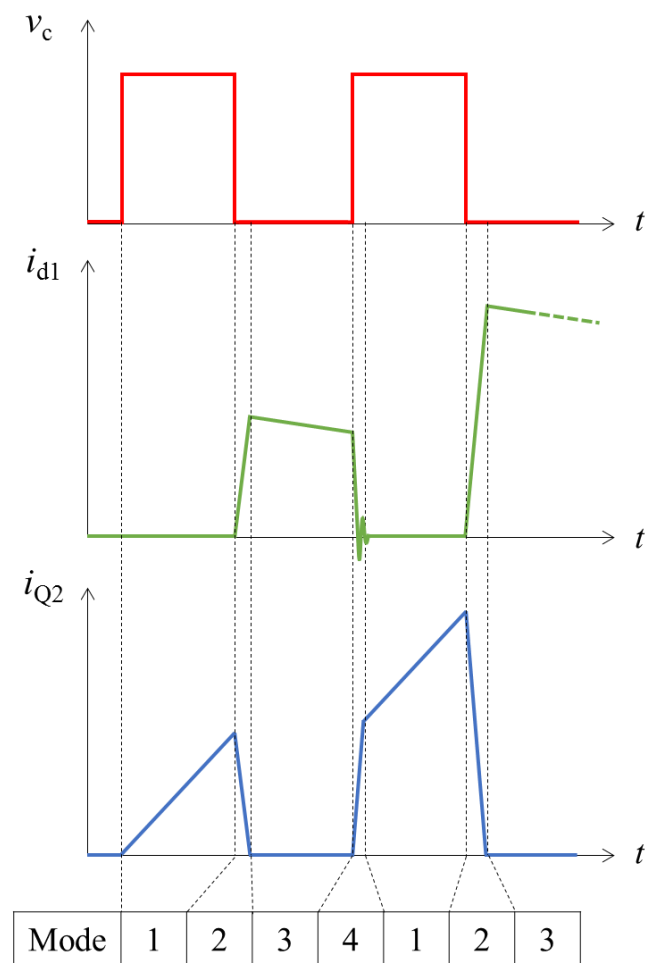


図 3.3 ダブルパルス動作モード図

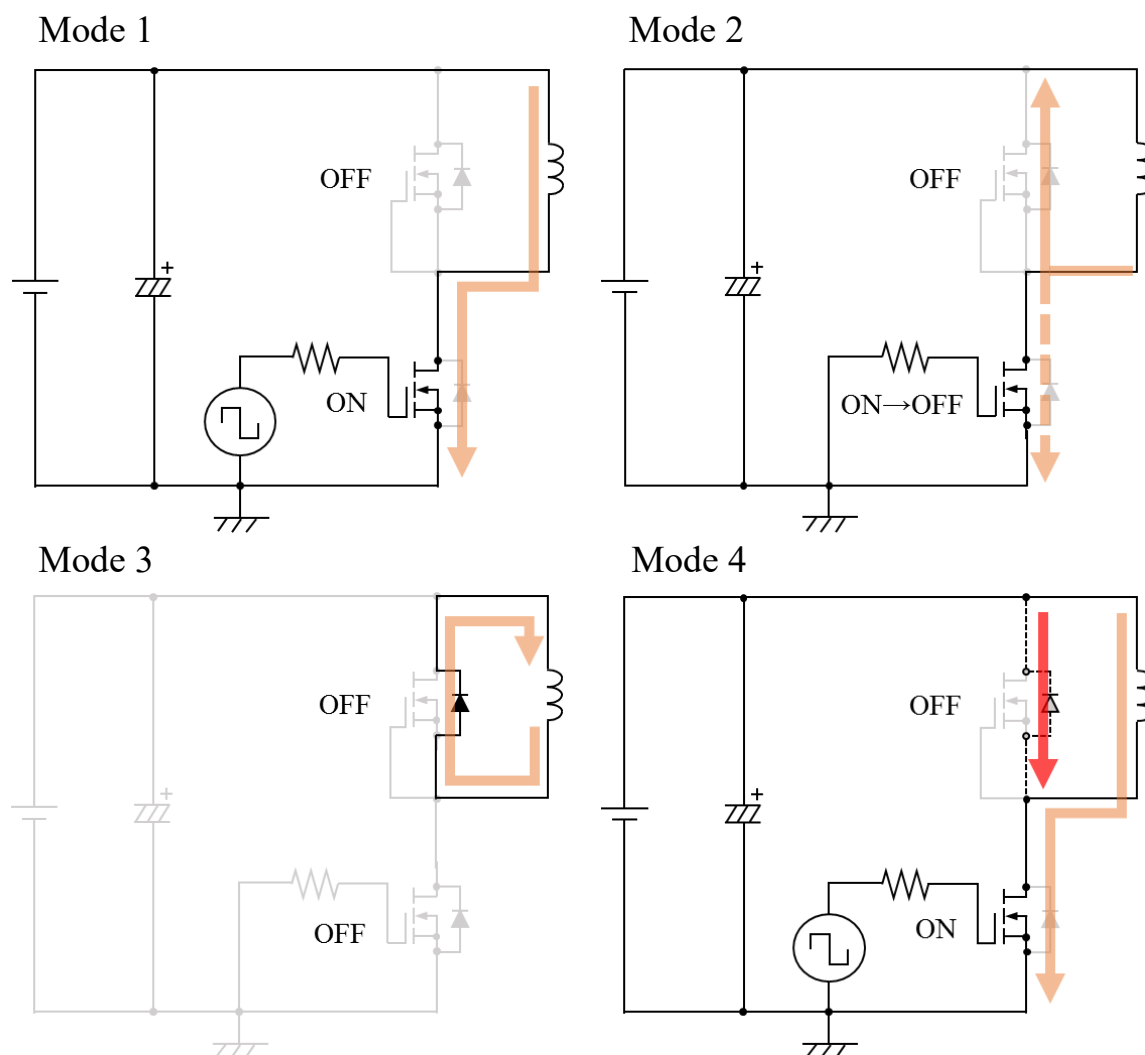


図 3.4 モード遷移図

3.2.2 評価回路定数の設定

D.U.T.の評価範囲は条件3のSiC SBD : C3D08060Aの許容電流値が8Aであることから、1-8Aでの評価とする。リカバリ電流はMode4で発生するため、Mode3からMode4に切り替わるときのダイオード電流を1-8Aに調整する必要がある。そのためにMode1の負荷インダクタ導通時間でインダクタ電流を調整し、負荷インダクタのエネルギーがダイオードの損失になって電流が減少するMode2は極力短い時間に設計する。本評価では Q_2 はSCT2080KE、負荷インダクタは $50\mu\text{H}$ の空芯インダクタを使用した。評価回路及び回路定数をそれぞれ図3.5と表3.2に示す。

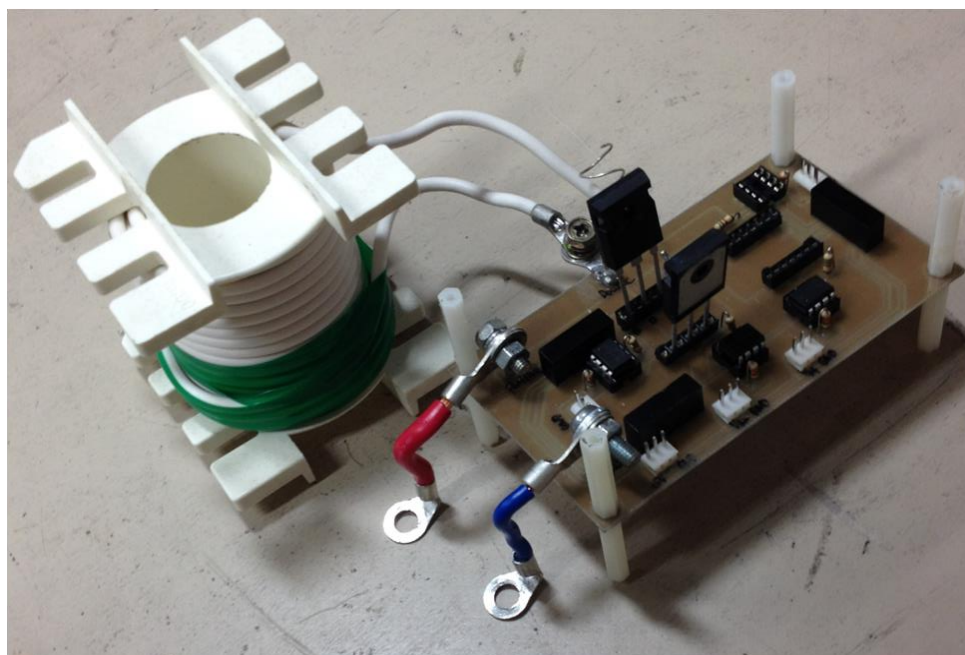


図 3.5 実験回路

表 3.2 回路定数

Input voltage	V_{in}	400V
Input capacitance	C_{in}	2200 μ F
Load inductance	L_{out}	50 μ H
Control voltage	v_c	0-15V
Gate on-time	t_{on}	0.34-2.39 μ s
Gate resistance	R_g	5 Ω

3.2.3 リカバリ特性の各変数定義

ダイオードのカソードからアノード方向を正として評価を行う。図 3.6 にリカバリ特性評価における各変数を示す。図 3.6 に示すのはリカバリ電流が発生する Mode 4 とその前後を拡大した波形である。 t_1 までは Mode 3 であり、インダクタが電流源となり、ダイオードに還流している状態である。この時、ダイオード両端には順方向電圧 V_F がかかっている。その後スイッチがオフし、ダイオードのリカバリ電流が流れる。このリカバリ電流のピーク値を I_{r_pk} とする。また、このリカバリ電流ピーク時の時間を t_2 とし、 t_2-t_1 を初期リカバリ時間 Δt と定義する。その後ダイオード電流 I_d が 0A に収束し始めると同時にダイオードに逆電圧が印加され始める。この時、ローサイドスイッチは寄生容量に蓄積されていた電荷が放電し、ス

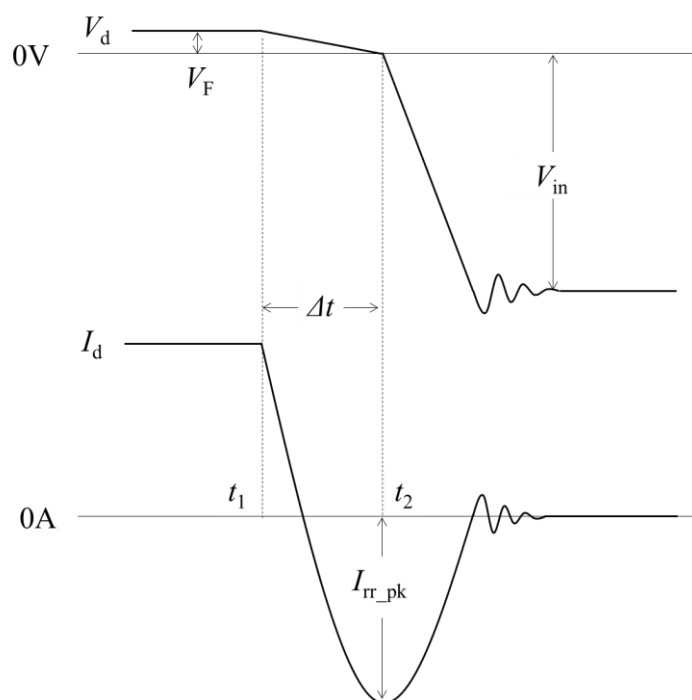


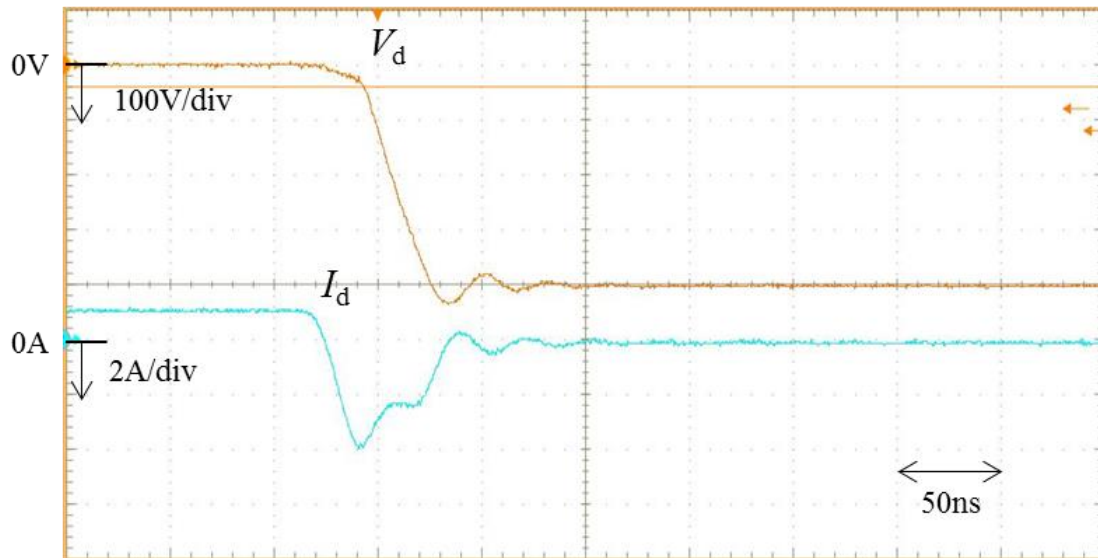
図 3.6 リカバリ特性評価における各変数定義

スイッチが導通状態へと遷移しているモードである。すなわち、 t_2 後のダイオード電流はリカバリ電流のみではなく、リカバリ電流によって励起された回路の寄生インダクタによる振動と寄生容量の充放電による電流を含んでいる。本検討では、純粋なリカバリ電流による損失に着目し、リカバリ特性は Δt を基準として評価する。

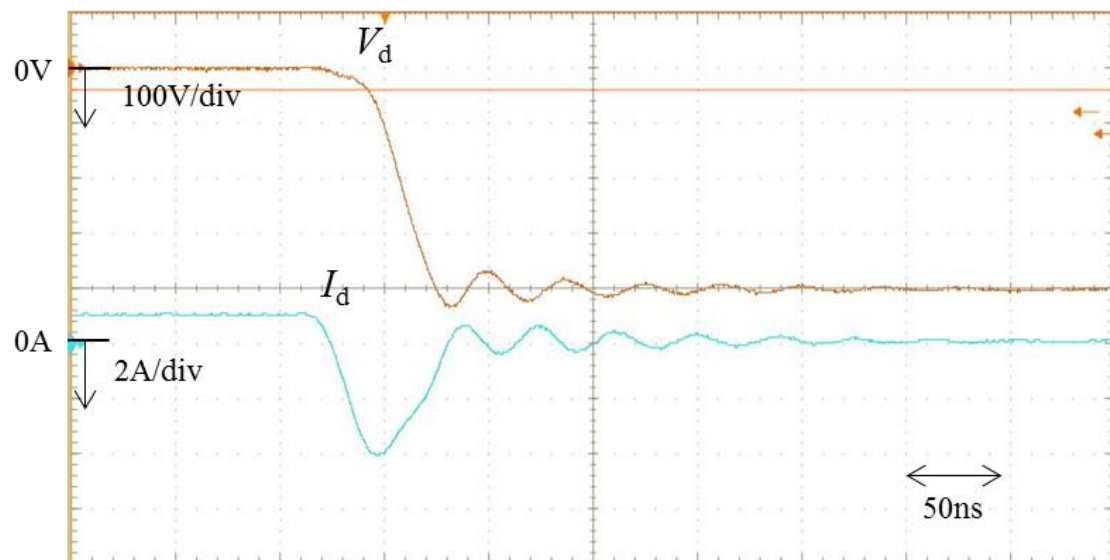
3.2.4 リカバリ電流ピーク値 I_{rr_pk}

まず初めにリカバリ電流ピーク値に着目して評価を行う。ダイオード電流 1A 時のそれぞれの条件におけるダイオードのターンオフ波形を図 3.7 に示す。条件 1 及び条件 2 については SCH2080KE は SiC SBD を内蔵しているにも関わらず、リカバリ電流ピーク値はほぼ同程度である。一方、条件 3 は SiC SBD の性能を十分に発揮し、すべての条件の中で一番リカバリ電流ピーク値が小さいことが確認された。しかしながら、条件 4 は条件 3 と同じ型番の SiC SBD を使用しているのにも関わらず、ダイオード電流波形は条件 3 のものと乖離しており、リカバリ電流ピーク値も大きい。図 3.8(a) に示すようにダイオード電流が 1A の時の C3D08060A の順方向電圧値はデータシートより、約 1V となっている。

SiC SBD の並列接続

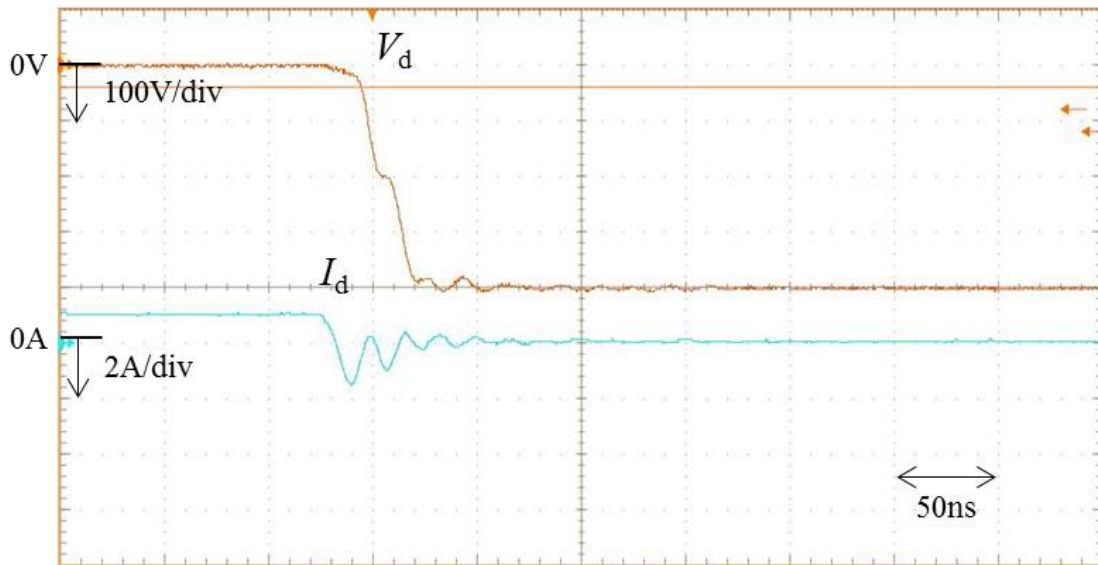


(a) Condition 1: SiC MOSFET (SCT2080KE)

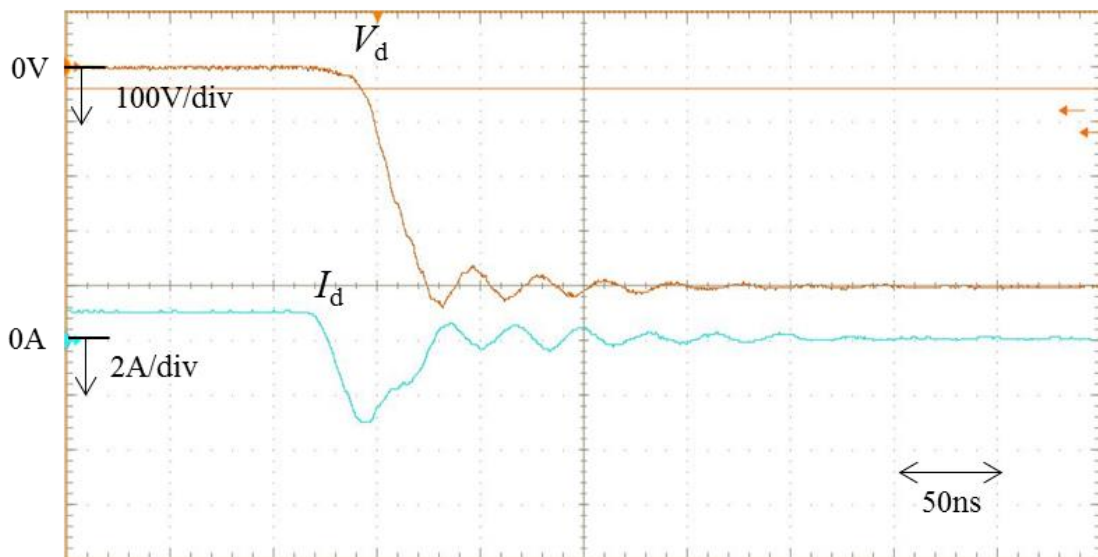


(b) Condition 2: SiC MOSFET (SCH2080KE)
※ Built-in SiC SBD

SiC SBD の並列接続



(c) Condition 3: SiCSBD (C3D08060A)



(d) Condition 4: SiC MOSFET
(SCT2080KE & C3D080060A)

図 3.7 1A 時の各条件におけるダイオードターンオフ波形

SiC SBD の並列接続

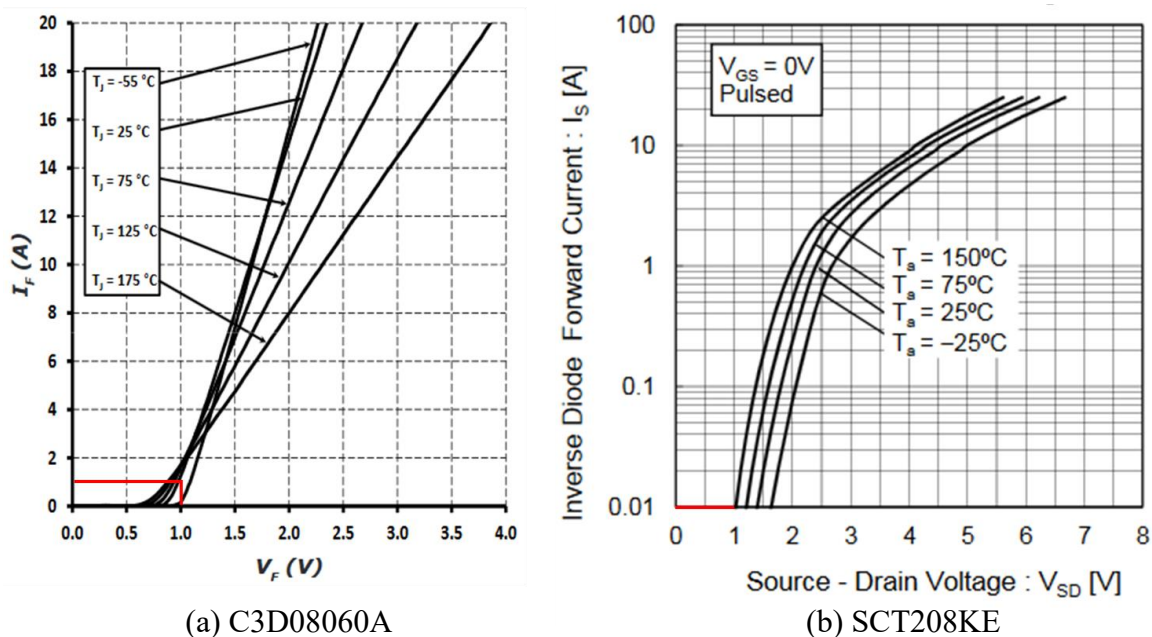


図 3.8 ダイオード I_F - V_F 特性 ⁽⁵⁾⁻⁽⁶⁾

図 3.8(b)の SCT2080KE データ上ではボディダイオードの順方向電圧が 1V 時のダイオード電流は 0.01A となっており、電流がボディダイオードを流れているとは考え難い。実際にダイオードの順方向電圧を測定した結果を図 3.9 に示す。条件 4 における並列接続された SiC SBD は条件 3 の SiC SBD の順方向電圧と一致している。さらに、条件 4 で使用している SiC MOSFET は条件 1 のものと同じものであるため、条件 1 の順方向電圧と比べても十分小さくなっている。よって、実験結果からも条件 4 の SiC SBD に電流が流れていることが確認できる。したがって、SiC SBD に電流が流れているにも関わらず、SiC SBD が本来の性能を発揮できていないことが分かる。また、各電流値における条件 1—条件 4 のリカバリ電流ピーク値をまとめたものを図 3.10 に示す。この結果からも 8A までの低電流時において SiC SBD は並列接続することにより、性能劣化を招いていることが確認された。1A 時では並列接続を用いた条件 4 は条件 1 及び条件 2 と同等のリカバリ電流ピーク値だったのに対し、条件 3 のリカバリ電流ピーク値を SiC SBD の性能の 100% とすると、8A 時では約 50% 程度の性能を発揮できている。しかし、評価領域の全領域に当たって、SiC SBD は並列接続した際にはその性能を発揮できていない。また、すべて

SiC SBD の並列接続

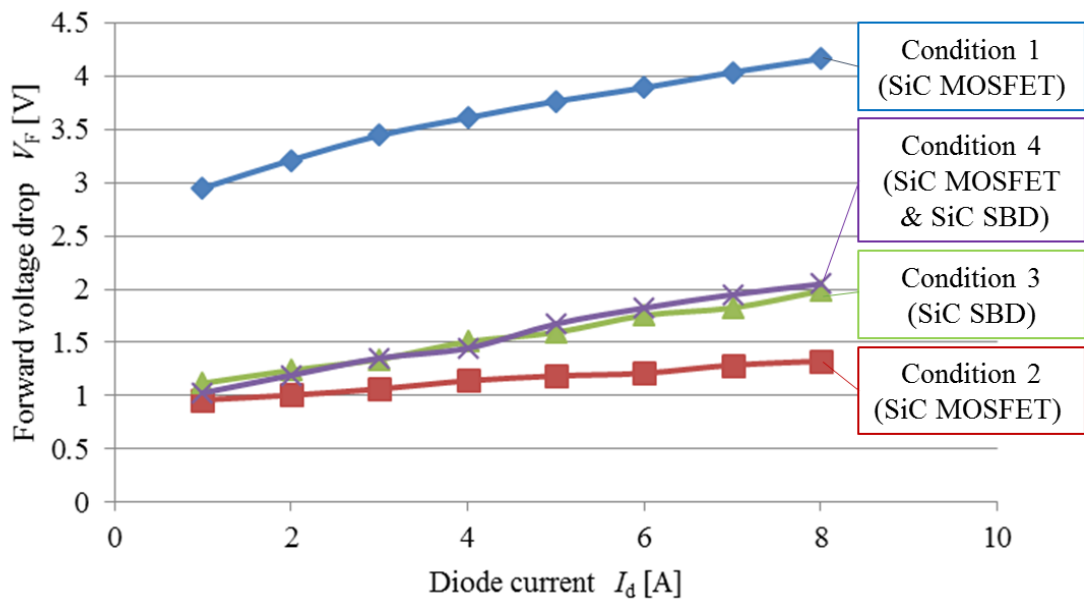


図 3.9 ダイオード順方向電圧

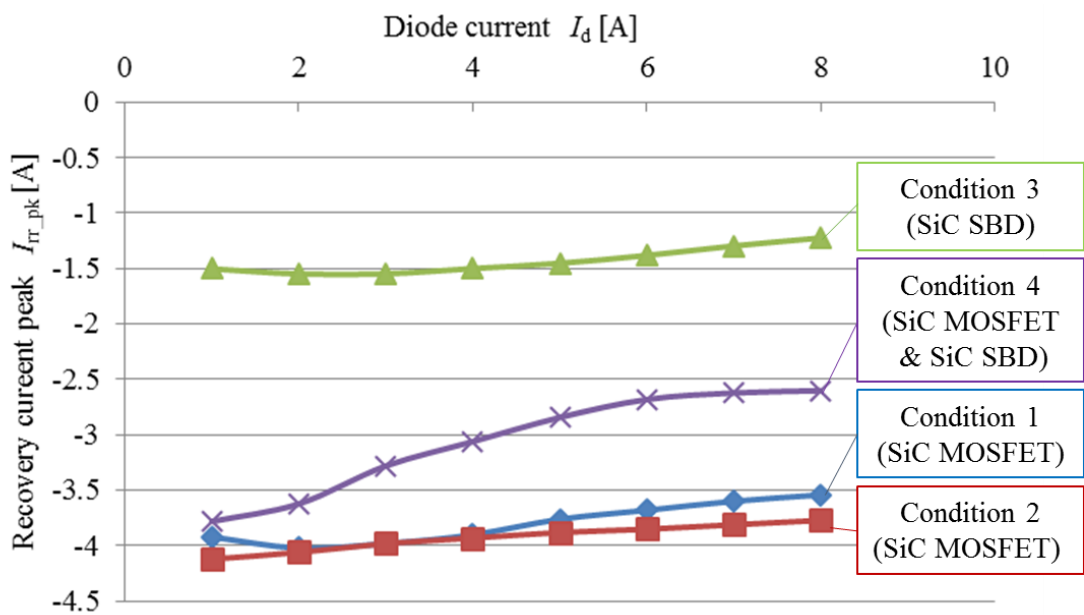


図 3.10 リカバリ電流ピーク値

の条件で電流を増加させるとリカバリ電流ピーク値が減少する傾向にあった。これは電流増加に伴い di/dt が変化し、回路内の寄生成分に励起されるエネルギーが増加したことによる影響であると考えられる。

3.2.5 初期リカバリ時間 Δt

リカバリ電流が発生し、ピーク値に至るまでの初期リカバリ時間 Δt はリカバリ損失に関わる非常に重要なパラメータである。各電流値におけるリカバリ時間を図 3.11 に示す。電流ピーク値の最も小さな条件 3 の SiC SBD が初期リカバリ時間も短くなっている。一方、条件 2 が最も長く、最大 22ns となっている。原因としては、図 3.10 において、条件 3 を除くリカバリ電流ピーク値が「条件 2 > 条件 1 > 条件 4」の順に大きくなっており、さらに素子間の di/dt の差が小さかったことにより、初期リカバリ時間が伸びてしまったと考えられる。また、条件 4 はダイオード電流が 1A の時は条件 1 よりも初期リカバリ時間が長いものの、ダイオード電流が 8A 時には条件 1 に比べて短くなっている。これも同様に、条件 4 はダイオード電流の増加に伴いリカバリ電流ピーク値が減少しているため、初期リカバリ時間も減少している。

3.2.6 リカバリ損失 P_{Loss}

「3.2.4 リカバリ電流ピーク値 I_{r_pk} 」及び「3.2.5 初期リカバリ時間 Δt 」の結果より、リカバリ電流による損失 P_{Loss} を算出する。リカバリ損失は次の式を用いて算出する。

$$P_{Loss} = \int_{t_1}^{t_2} V_d \times i_d dt \dots\dots\dots (3-2)$$

算出結果を図 3.12 に示す。最も注目すべき点は、ダイオードの電流値に応じて条件 1 と条件 4 の大小関係が入れ替わる点である。条件 1 と条件 4 は同じ SiC MOSFET を使用していることから、並列接続手法は低電流時にはかえって損失を増加させてしまうことが確認された。今回の条件においてはダイオード電流が 5A 以上の時が並列接続手法の有効な領域である。また、条件 1 に関しては、リカバリ電流ピーク値は減少傾向にあるが、減少幅が条件 4 と比べて小さいことと、初期リカバリ時

SiC SBD の並列接続

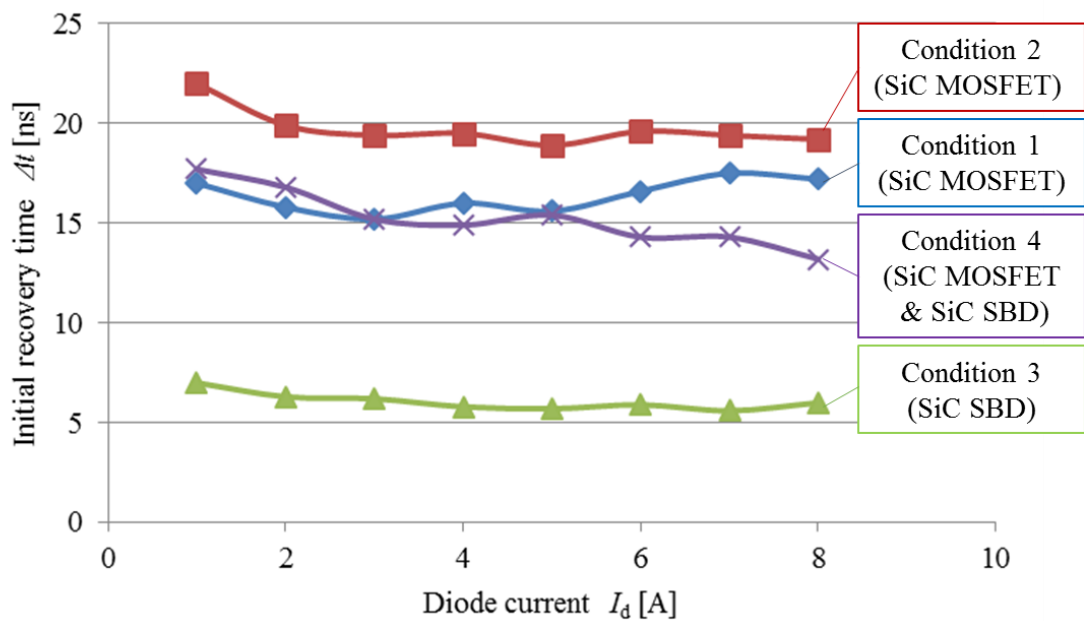


図 3.11 初期リカバリ時間

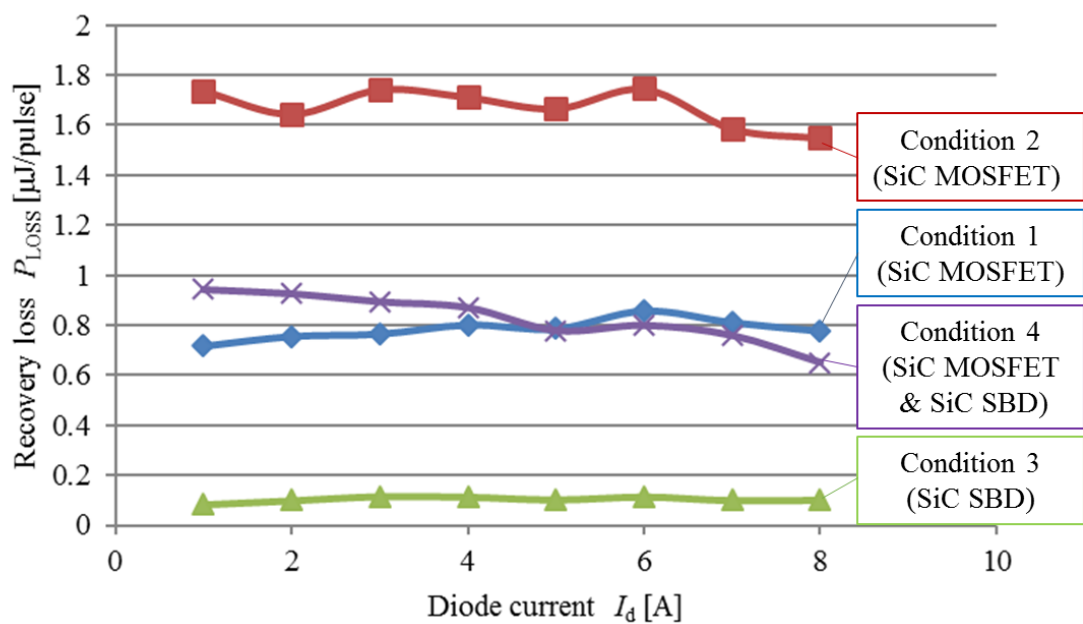


図 3.12 リカバリ損失

間もダイオード電流が増加した際に伸びたため、ダイオード電流が 5A 以上の領域で損失が大きくなっている。条件 2 はリカバリ電流ピークが最も大きく、初期リカバリ時間が最も長かったことから損失も最も大きい結果となった。

3.2.7 リカバリ特性に関する考察

上述の結果より、SiC MOSFET に SiC SBD を並列接続する場合、SiC SBD のリカバリ特性よりも劣った特性を示すことが確認された。リカバリ電流ピーク値と初期リカバリ時間の増加がリカバリ損失増加を招いている。また通常ダイオードは、アノードからカソードに電流が流れることにより順方向電圧が発生し、その後逆バイアスを印加することにより、リカバリ電流が発生する。さらに、リカバリ電流は閾値電圧を超えてダイオードが導通しないと発生しないことから、SiC MOSFET のボディダイオードのリカバリ電流による特性劣化は考え難い。よって SiC SBD の特性劣化は、ボディダイオードの閾値電圧よりも低い閾値電圧の SiC SBD を並列を接続した場合において、SiC MOSFET との合成寄生容量が増加し、その寄生容量に蓄積された電荷による放電電流が発生しているのではないかと考える。この仮定を検証するため、シミュレーションソフト LTSpice⁽⁷⁾を用いて実機を再現し、並列接続時に発生するであろう 0pF-300pF のキャパシタを SiC MOSFET に並列接続し、リカバリ電流ピーク値を確認する。回路定数は実機と同様に設定し、条件は条件 1 と同様の SCT2080KE に理想キャパシタンスを並列接続し、シミュレーションを行った。シミュレーション結果を図 3.13 に示す。

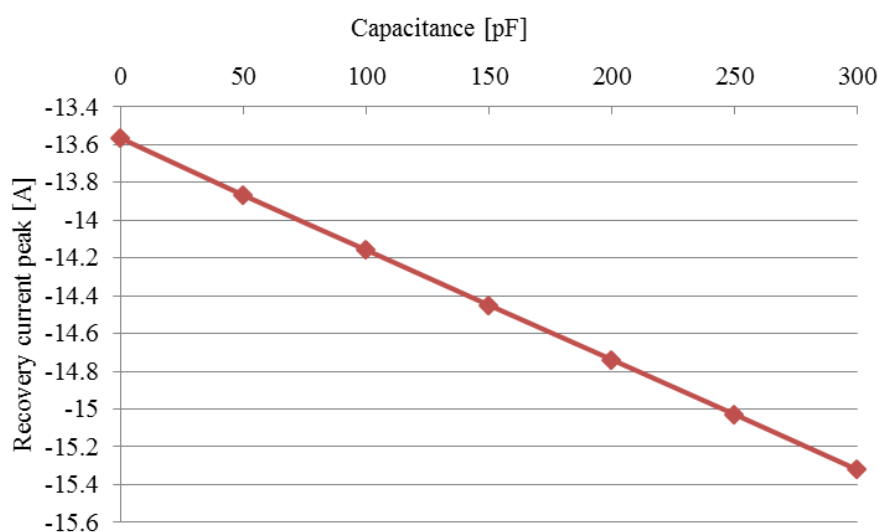


図 3.13 寄生キャパシタンス増加に伴うリカバリ電流ピーク値の変化

SiC SBD の並列接続

並列接続したキャパシタがリカバリ電流ピーク値を増加させていることが確認された。したがって、SiC SBD の並列接続における容量がリカバリ特性劣化を引き起こしている可能性が高い。そのため、新たに SiC SBD に 250pF のキャパシタを並列接続し、SiC MOSFET に SiC SBD を並列接続させた状態を再現する。その評価で得られたダイオード波形を図 3.14 に示す。キャパシタの影響により、SiC SBD の波形に比べダイオードのリカバリ電流の波形面積が大きくなっている。また、本条件におけるリカバリ損失を含んだ全条件のリカバリ損失比較を図 3.15 に示す。図より、SiC MOSFET に SiC SBD を並列接続した際の波形と同様に減少傾向が得られた。以上より、SiC SBD の並列接続時の要領増加がリカバリ電流ピーク値及び初期リカバリ時間の劣化を引き起こし、結果として低電流時においてリカバリ損失が増加することを示した。また、本実験においてはダイオード電流 5A 時に並列接続手法のリカバリ損失低減効果が現れる境界線があることを確認した。

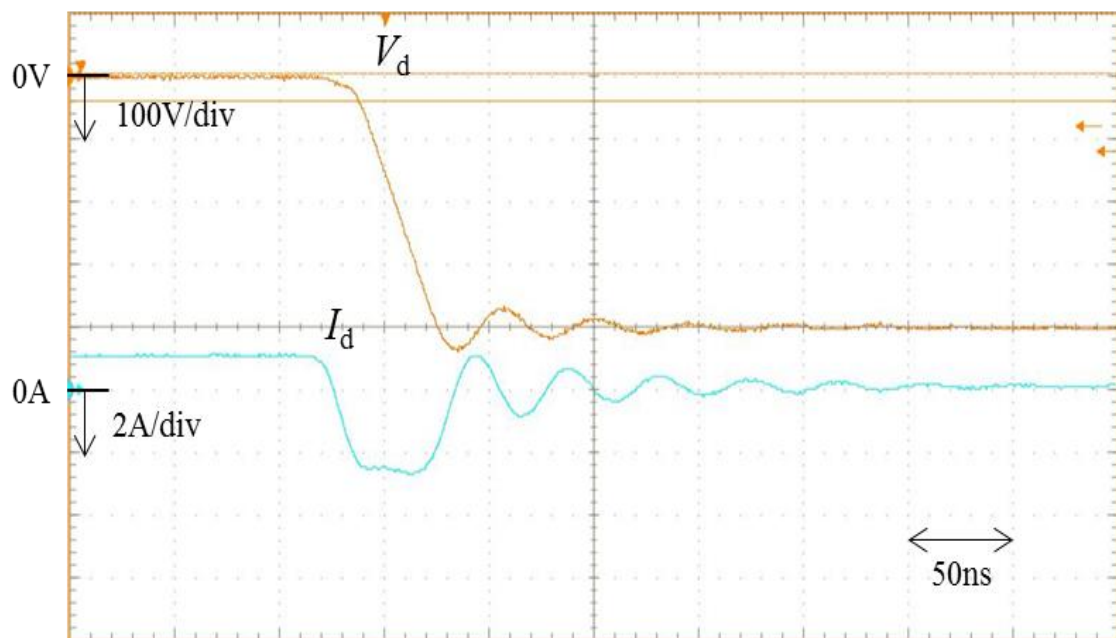


図 3.14 1A 時のダイオードターンオフ波形 (条件 : SiC SBD + 250pF)

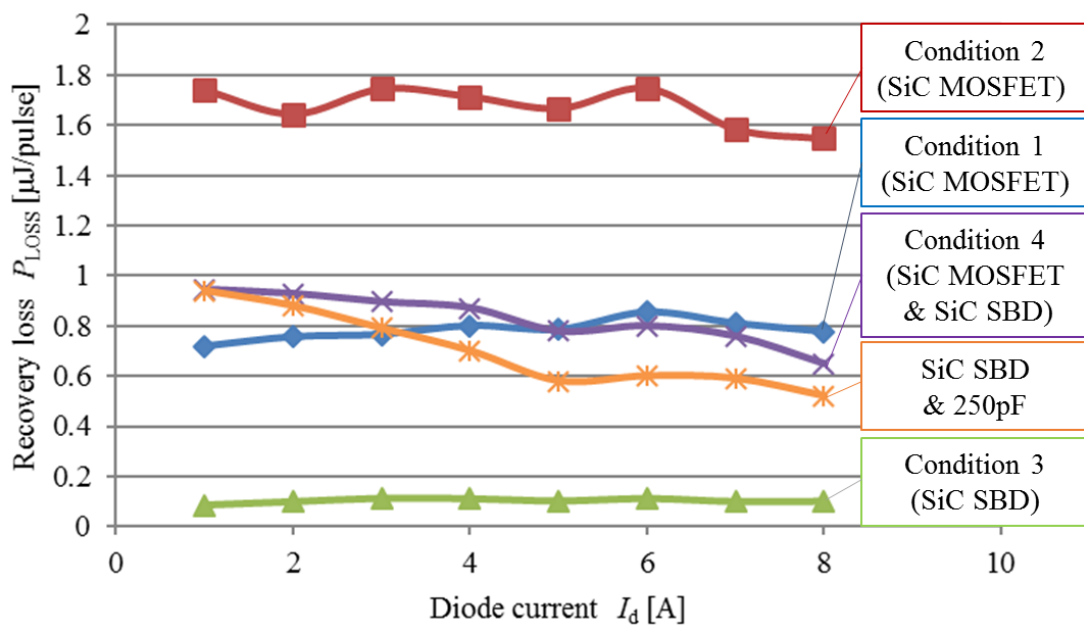


図 3.15 ダイオード損失比較

3.3 降圧型 DC/DC コンバータにおける効率比較

続いて 3.2 で用いた条件を図 3.16 に示す降圧型 DC/DC コンバータに適応した場合の効率比較を行う。

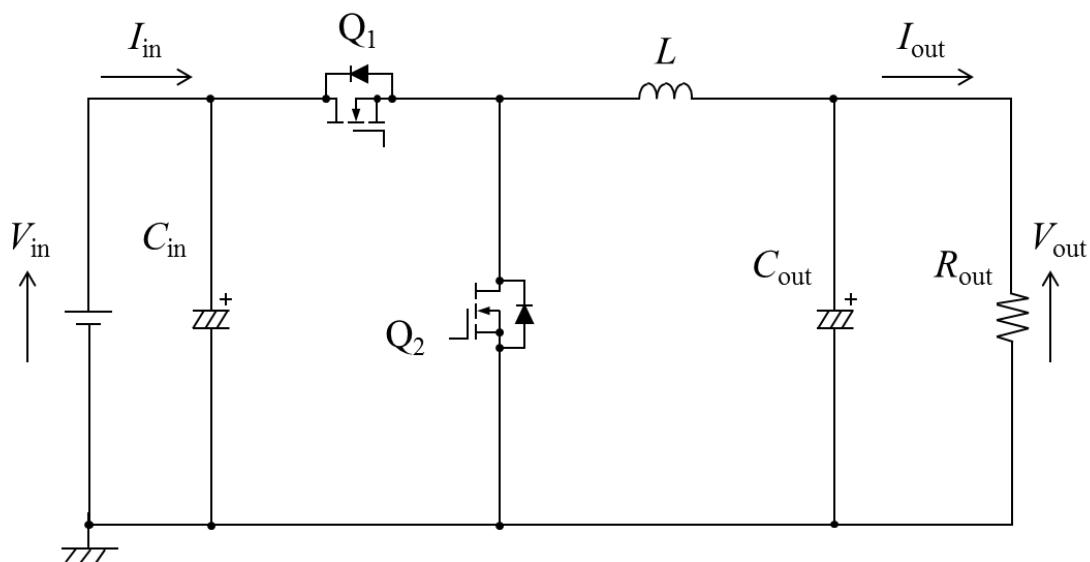


図 3.16 降圧型 DC/DC コンバータ

3.3.1 降圧型 DC/DC コンバータの動作モード

降圧型 DC/DC コンバータは入力電圧よりも低い電圧を出力することのできる電力変換機である。代表的な電流連続モード (CCM : Continuous Conduction Mode) ⁽⁸⁾ の降圧型 DC/DC コンバータの動作モードを図 3.17 に示す。大きく 2 つのモードがあり、スイッチ Q_1 が導通状態の時とスイッチ Q_1 が開放状態で Q_2 のボディダイオードを導通している状態である。 Q_1 が導通している時は入力電源電圧がインダクタ L と負荷 R_{out} に印加されている状態である。

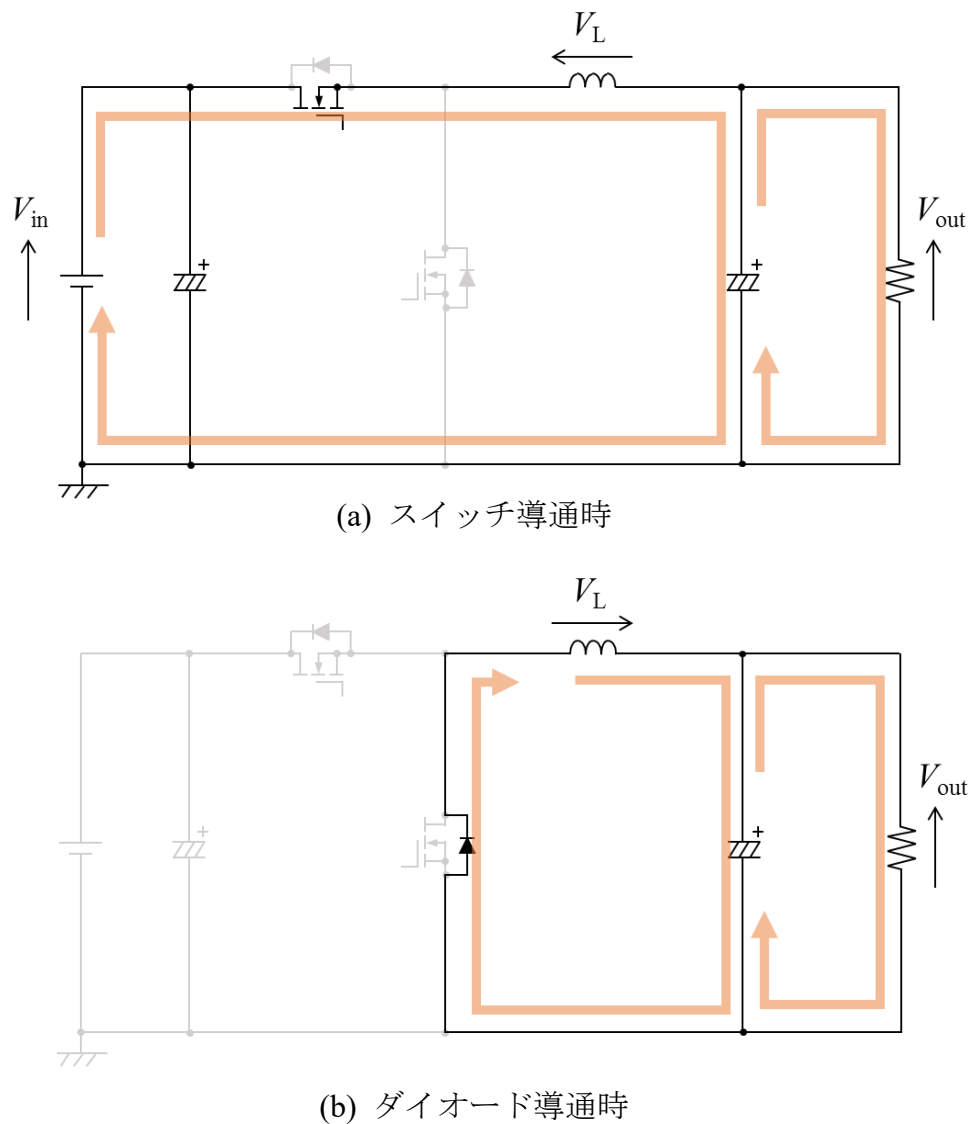


図 3.17 降圧型 DC/DC コンバータの動作モード

SiC SBD の並列接続

すなわち出力電圧 V_{out} は、 $V_{out} = V_{in} - V_L$ の関係がある。その後、 Q_1 が開放状態となると、インダクタに蓄積されたエネルギーが放電して負荷 R_{out} を通るループで電流が流れる。この時の出力電圧の関係は $V_{out} = V_L$ となり、スイッチの開閉状態で出力電圧の大きさが変化する。そのため出力コンデンサ C_{out} で平均化することで一定電圧を負荷に供給する。すなわち、スイッチの導通時間 t_{on} と開放時間 t_{off} の比率によって出力電圧を制御することが可能である。降圧型 DC/DC コンバータの出力電圧は次の式によって求められる。

$$V_{out} = \frac{t_{on}}{t_{on} + t_{off}} V_{in} \dots\dots\dots (3-3)$$

3.3.2 降圧型 DC/DC コンバータ評価

ダイオードの還流ループがあるスイッチ Q_2 を D.U.T とし、 Q_1 は SCT2080KE を用いた。表 3.3 に示す回路定数を用いて実験を行った。実験に使用した回路を図 3.18 に示し、実験により得られた効率を図 3.19 に示す。リカバリ特性評価と異なり、降圧型 DC/DC コンバータは連続的にスイッチングをするため、リカバリ損失以外にスイッチング損失と導通損失、インダクタ損失等が含まれた結果となるためリカバリ損失の大小関係と異なる。しかしながら、条件 1 と条件 4 においては、低電流時での並列接続の特性劣化の影響と同様の結果が得られ、電流増加時においても効率の大小関係が逆転していることが確認された。また、リカバリ損失時と同様にダイオード電流が約 5A 時に効率の大小関係が逆転することが確認された。

表 3.3 回路定数

Input voltage	V_{in}	400V
Output voltage	V_{out}	200V
Input current	I_{in}	1-4A
Output current	I_{out}	2-8A
Switching frequency	f_s	10kHz
Inductance	L	4.1mH
Input capacitance	C_{in}	2200 μ F
Output capacitance	C_{out}	3300 μ F

SiC SBD の並列接続

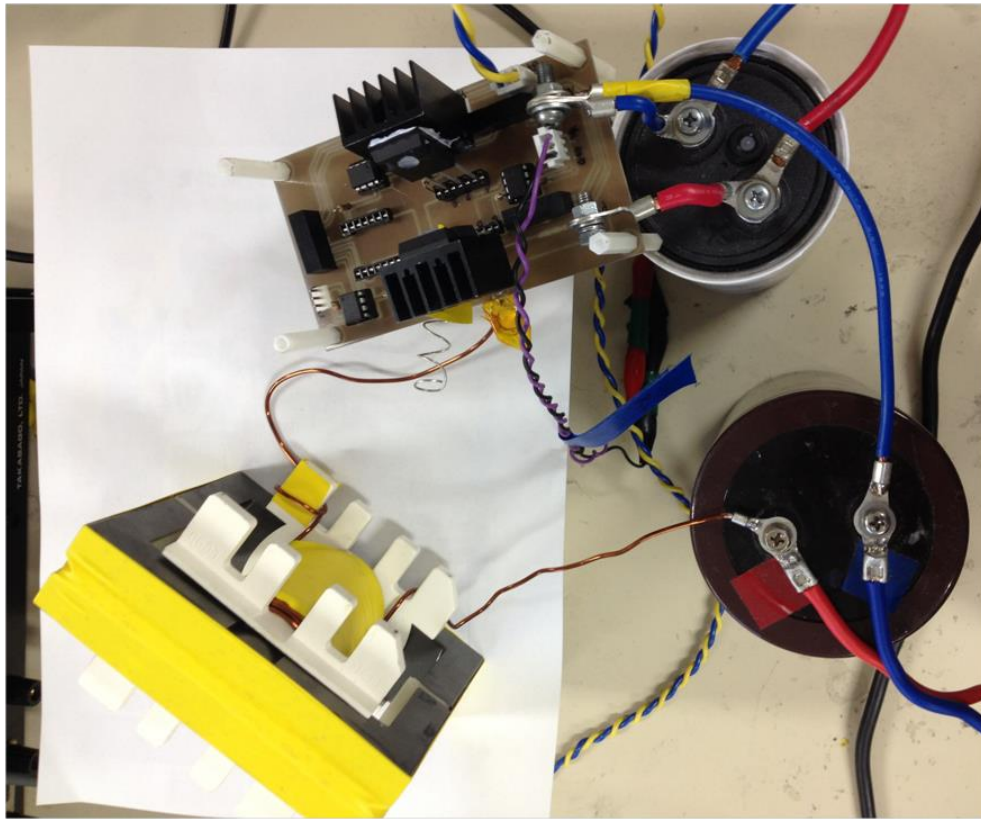


図 3.18 実験回路

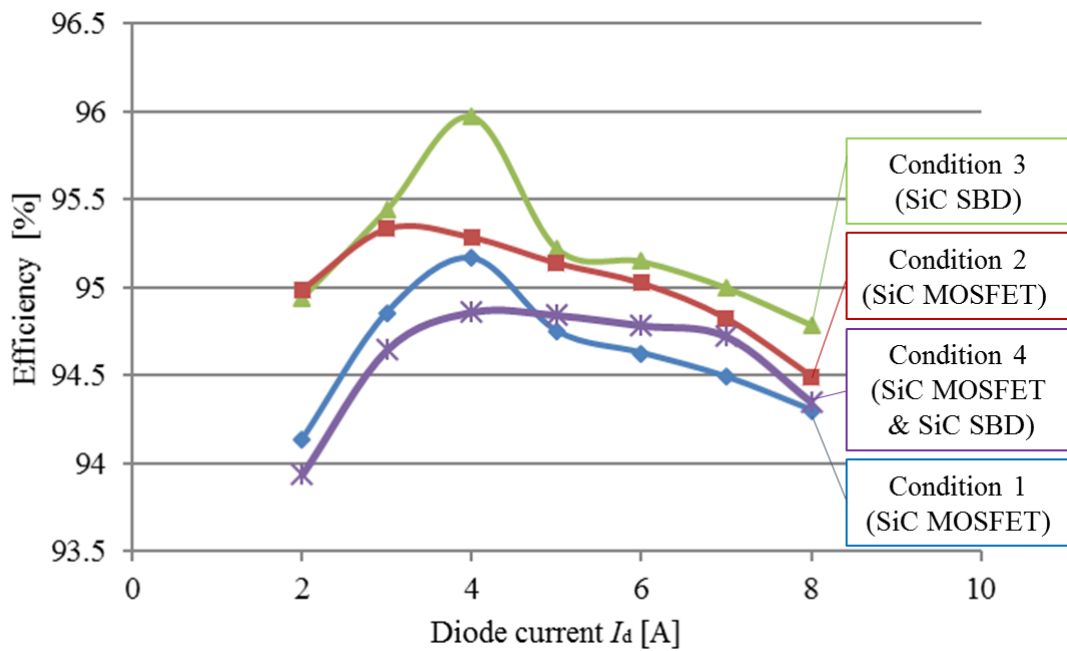


図 3.19 降圧型 DC/DC コンバータ効率

3.4 まとめ

一般的に MOSFET を用いたアプリケーションにおいて、ボディダイオードのリカバリ損失は無視できないため、還流電流のあるアプリケーションでは並列に SiC SBD を接続することでリカバリ損失を抑制する手法が取られてきた。近年注目されている SiC MOSFET は特にボディダイオードが高い順方向電圧特性を示すため、並列接続手法が必要であり、その検討は重要なテーマである。

本章では 4 つの条件で並列接続手法の有効性を確認するためダブルパルス評価を行った。実験結果より、SiC MOSFET に SiC SBD を並列接続した場合、SiC SBD のみ使用した場合よりも劣ったリカバリ特性となることを示した。この特性劣化現象が並列に SiC SBD を接続することによる SiC MOSFET の出力容量との合成容量値が原因であると仮定し、シミュレーション及び実験を行った。その結果から、合成容量の蓄積電荷が放電されることによってリカバリ電流ピーク値の増加とリカバリ電流時間の増加が引き起こされることを実証した。また、本実験においては並列接続手法の有効範囲はダイオード電流が 5A 以上流れている領域であることを確認した。さらに、同様の条件を降圧型 DC/DC コンバータに適用し、効率比較を行った。降圧型 DC/DC コンバータの効率比較結果からも、並列接続手法による特性劣化を確認した。並列接続手法の有効範囲はリカバリ特性評価時と同様の傾向となることを確認し、並列接続手法の有効境界線が存在することを示した。

参考文献

- (1) 岸野 正剛, 「半導体デバイスの物理」, 丸善株式会社, 平成 7 年 3 月.
- (2) 高尾 和人, 八尾 勉, 荒井 和雄 : 「SiC ショットキーバリアダイオードの高 di/dt スイッチング特性」, 電気学会論文誌 D, Vol.124, No.9, pp.917-923, 2004.
- (3) 釜我 昌武, 成 慶珉, 大橋 弘通 「変換器高周波化のための Si-IGBT と SiC-SBD の検討」, 電気学会論文誌 D, Vol. 128, No. 5, pp. 569-576, 2008 年 5 月
- (4) ROHM CO., Ltd., “SCT2080KE Datasheet,”
<http://www.rohm.com/web/global/datasheet/SCT2080KE/sct2080ke-e> .
- (5) ROHM CO., Ltd., “SCH2080KE Datasheet,”
<http://www.rohm.com/web/global/datasheet/SCH2080KE/sch2080ke-e> .
- (6) Wolfspeed, “C3D08060A Silicon Carbide Schottky Diode,”
<https://www.wolfspeed.com/media/downloads/843/C3D08060A.pdf> .
- (7) Linear Technology Corporation, “Design Simulation and Device Models”,
<http://www.linear.com/designtools/software/> .
- (8) TEXAS INSTRUMENTS, “Understanding Buck Power Stages in Switchmode Power Supplies”, <http://www.ti.com/lit/an/slva057/slva057.pdf> .

第 4 章 SiC MOSFET の並列接続

4.1 半導体デバイスの並列化

ハイブリッドカーや電気自動車といったアプリケーションにおいて、大電流スイッチングが求められている。多くの電力変換器は半導体デバイスの持つ定格電流を超えた領域で使用されている。定格電流以上の動作領域を実現するためには、半導体デバイスの並列化が必要不可欠となる。並列化はアプリケーションの大電流定格を実現するだけでなく、熱分散や導通損失低減の実現も可能とする。そのため、並列化した際の半導体デバイス研究開発はこれまで多くの研究対象となってきた⁽¹⁾⁻⁽⁴⁾。しかしながら並列化に伴い、回路レイアウトの違い等によって寄生成分のばらつきが発生し、素子間に電流不平衡が発生してしまう。さらに、半導体デバイスの特性は個体差があるため、オン抵抗やゲイン、閾値電圧等の違いにより電流不平衡が発生しやすくなる⁽⁵⁾⁻⁽⁶⁾。この問題は回路レイアウトを対称に設計し、同一のスイッチング特性を持つ半導体デバイスを使用することで電流不平衡は防ぐことができるが、これらの解決方法は実現が非常に困難である。そのため、電流平衡のためのさまざまな研究が行われてきた⁽⁷⁾⁻⁽¹¹⁾。電流平衡のための研究では回路の寄生成分を等しくさせるような構造的改善手法やスイッチのゲート信号を制御することで電流平衡を可能とする手法等が提案されている。また、並列化において電流平衡と同様に重要であるのが回路の安定動作の考慮である。回路の安定動作に関わる研究も数多く行われている⁽¹²⁾⁻⁽¹⁵⁾。それにも関わらず、並列接続された半導体デバイスのスイッチング動作に起因する電流振動に関する報告が十分になされていない。電流振動はノイズや電力損失となるため無視できない問題のひとつである。特に寄生成分の変動に敏感な SiC MOSFET のようなワイドバンドギャップ半導体は自身の急峻な遷移により、電流振動が発生しやすい⁽¹⁶⁾⁻⁽¹⁸⁾。安定した並列動作を実現するためには、寄生成分と電流振動の関係を明らかにする必要がある。

4.2 並列接続時における電流振動モデルの構築

図 4.1 にモデル構築対象のハーフブリッジ回路を示す。この回路はハイサイドスイッチが並列接続されており、 Q_1 と Q_2 の 2 つのスイッチで構成されている。スイッチは同じゲート信号源を用いて駆動されるが、ゲート抵抗は Q_1 と Q_2 それぞれに接続されている。また、入力電流が Q_1 と Q_2 に分岐するため、 Q_1 の電流経路を Path 1、 Q_2 の電流経路を Path 2 と定義した。ローサイドスイッチ Q_3 にはゲート信号を入力せず常にオフ状態とし、並列に接続されている負荷インダクタ L_o の還流時に Q_3 のボディダイオードが導通する。この等価回路は寄生インダクタンスや寄生キャパシタンスといった寄生成分を省略して描写されているが、実際は多くの寄生成分を含んでおりその寄生成分により電流振動が発生する。また、並列使用されるスイッチの特性の違いや非対称回路レイアウトによって引き起こされる電流不平衡は Q_1 と Q_2 がオン状態の時に発生する。すなわち、電流不平衡から発生する電流振動はスイッチ Q_1 と Q_2 のターンオフ時に発生するため、本解析ではターンオフに焦点を当てる。

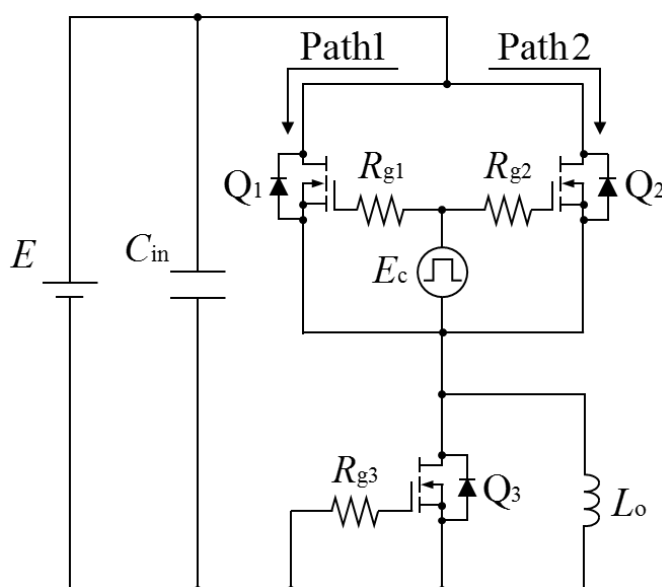


図 4.1 ハーフブリッジ回路

4.2.1 電流振動モデル構築準備

電流振動モデルを構築するにあたって回路内の寄生成分を考慮する必要がある。よって、図 4.1 の寄生成分を考慮した等価回路を図 4.2 に示す。ここで、各変数の定義を表 4.1 に示す。また、 R_1 と R_2 はそれぞれ Path 1 と Path 2 のソースの寄生抵抗をドレイン側に統合している。ソースの寄生抵抗が振動に影響するループは 3 つあり、ループ 1 : $E - L_p - R_p - \text{Path 1 \& Path 2}$ を流れる主ループ（以下「コモンループ」と称する）、ループ 2 : Q_1 と Q_2 それぞれの $R - L_d - C_{ds} - L_s$ を結ぶスイッチ間のループ（以下「ディファレンシャルループ」と称する）、ループ 3 : $C_{gs} - R_g - L_g - L_s$ を流れるゲート充放電ループ（以下「ゲートループ」と称する）である。ループ 1 及びループ 2 においてはドレイン側に統合しても電流はドレインとソースの両方を流れるため、結果は変わらない。また、ループ 3 においてはソースの寄生抵抗が

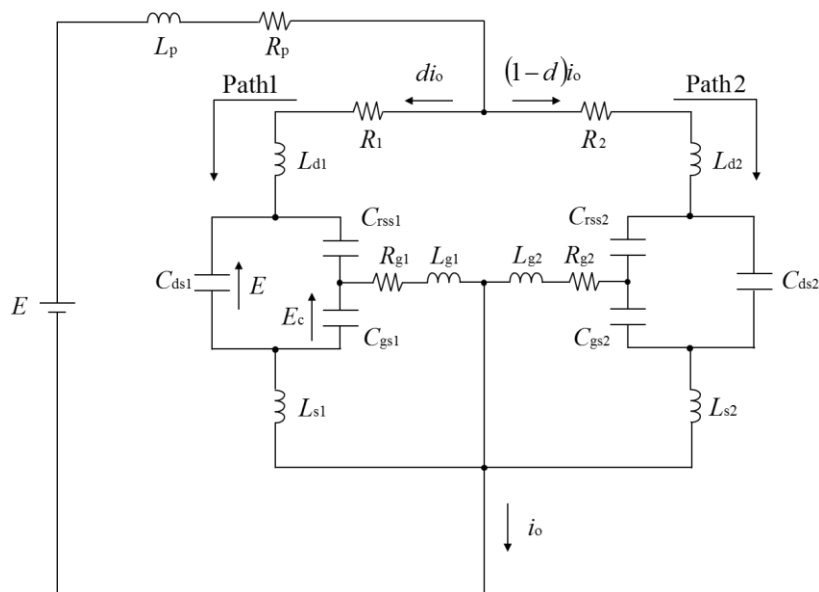


図 4.2 寄生成分を考慮した等価回路

表 4.1 変数定義

E	Input voltage	E_c	Control voltage
R_p	Common loop parasitic resistance	L_p	Common loop parasitic inductance
R_n	Drain-Source combined resistance	L_{dn}	Drain parasitic inductance
L_{sn}	Source parasitic inductance	L_{gn}	Gate parasitic inductance
C_{dsn}	Drain-Source capacitance	C_{rssn}	Drain-Gate capacitance
C_{gsn}	Gate-Source capacitance	d	Initial current unbalance ratio
i_o	Initial current	Note : "n" is the path number "1" or "2".	

SiC MOSFET の並列接続

ゲート抵抗よりも十分小さいため無視できる。以上の理由とモデル式の簡単化のため、ドレインとソースの寄生抵抗を統合している。この等価回路より回路方程式を解き、各経路における電流を導出可能な電流振動モデルを構築する。

電流モデル構築にあたって次の3つの仮定を設ける。

1. ドレイン・ソース間容量 C_{ds} は入力電圧 E に充電されている
2. スイッチの持つオン抵抗は十分大きい
3. ゲート・ソース間容量 C_{gs} は制御電圧 E_c に充電されている

以上の仮定の下モデルを構築する。

4.2.2 電流振動モデル構築の提案

電流振動モデル構築のためにドレイン電流 i_{Ld1} , i_{Ld2} について回路方程式を解く。各素子に流れる電流を図 4.3 に示すように定義し、各電流を用いて回路方程式を組み立てる。キルヒホッフの法則より、寄生容量 C_{ds} , C_{rss} , C_{gs} の関係より電圧方程式を立て、ゲート抵抗に流れる電流 i_{Rg} について解くと次の式が求められる。

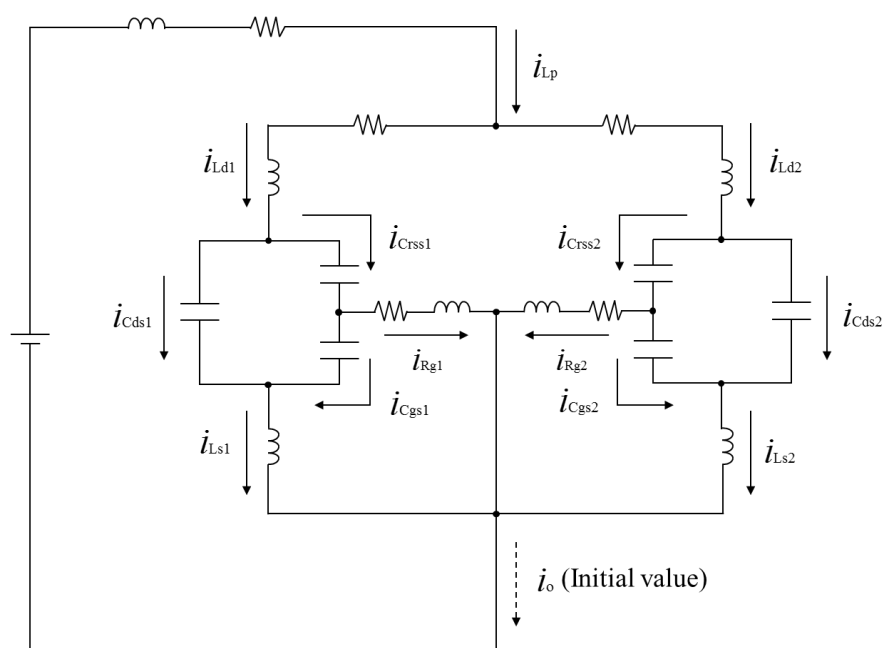


図 4.3 各素子に流れる電流の定義

SiC MOSFET の並列接続

$$i_{Rg1} = \left(1 + \frac{C_{gs1}}{C_{rss1}} + \frac{C_{gs1}}{C_{ds1}}\right) \times i_{Crss1} - \frac{C_{gs1}}{C_{ds1}} \times i_{Ld1} \dots\dots\dots (4-1)$$

$$i_{Rg2} = \left(1 + \frac{C_{gs2}}{C_{rss2}} + \frac{C_{gs2}}{C_{ds2}}\right) \times i_{Crss2} - \frac{C_{gs2}}{C_{ds2}} \times i_{Ld2} \dots\dots\dots (4-2)$$

また同様にして、Path 1 と Path 2 それぞれのゲートループの電圧方程式を導出し、(4-1)-(4-2)を代入することにより次の式が導出される。

$$i_{Crss1} = \frac{\left[\left\{\left(1 + \frac{C_{gs1}}{C_{ds1}}\right) \times L_{s1} + \frac{C_{gs1}}{C_{ds1}} \times L_{g1}\right\} \times s + \frac{C_{gs1}}{C_{ds1}} \times R_{g1} + \frac{1}{C_{ds1} \times s}\right] \times i_{Ld1} + \frac{E_c}{s} - d \times L_{s1} \times i_o}{\left(1 + \frac{C_{gs1}}{C_{rss1}} + \frac{C_{gs1}}{C_{ds1}}\right) \times \left\{(L_{s1} + L_{g1}) \times s + R_{g1} + \frac{1}{C_{gs1} \times s}\right\} - \frac{1}{C_{gs1} \times s}} \dots (4-3)$$

$$i_{Crss2} = \frac{\left[\left\{\left(1 + \frac{C_{gs2}}{C_{ds2}}\right) \times L_{s2} + \frac{C_{gs2}}{C_{ds2}} \times L_{g2}\right\} \times s + \frac{C_{gs2}}{C_{ds2}} \times R_{g2} + \frac{1}{C_{ds2} \times s}\right] \times i_{Ld2} + \frac{E_c}{s} - (1-d) \times L_{s2} \times i_o}{\left(1 + \frac{C_{gs2}}{C_{rss2}} + \frac{C_{gs2}}{C_{ds2}}\right) \times \left\{(L_{s2} + L_{g2}) \times s + R_{g2} + \frac{1}{C_{gs2} \times s}\right\} - \frac{1}{C_{gs2} \times s}} \dots (4-4)$$

さらに、共通寄生成分 L_p , R_p を含んだ各経路のコモンループの電圧方程式を解くと、次の式が導出される。

$$\left[(L_p + L_{d1} + L_{s1}) \times s + R_p + R_1 + \frac{1}{C_{ds1} \times s}\right] \times i_{Ld1} + (L_p \times s + R_p) \times i_{Ld2} - \frac{1}{C_{ds1} \times s} \times i_{Crss1} - L_{s1} \times s \times i_{Rg1} - d \times \left(\frac{1}{d} \times L_p + L_{d1} + L_{s1}\right) \times i_o = 0 \dots\dots (4-5)$$

$$(L_p \times s + R_p) \times i_{Ld1} + \left[(L_p + L_{d2} + L_{s2}) \times s + R_p + R_2 + \frac{1}{C_{ds2} \times s}\right] \times i_{Ld2} - \frac{1}{C_{ds2} \times s} \times i_{Crss2} - L_{s2} \times s \times i_{Rg2} - d \times \left(\frac{1}{d} \times L_p + L_{d2} + L_{s2}\right) \times i_o = 0 \dots\dots (4-6)$$

これら(4-1)-(4-6)を用いて i_{Ld1} について整理すると、次の式が導出される。また、 i_{Ld1} 及び i_{Ld2} の詳細な導出過程については付録で取り上げる。

$$i_{Ld1} = \frac{A_1 B_2 - (L_p s + R_p) A_2 C_1}{B_1 B_2 - (L_p s + R_p)^2 C_1 C_2} \dots\dots\dots (4-7)$$

SiC MOSFET の並列接続

ここで、(4-7)の変数は次の通りである。

$$A_1 = \left\{ \left(1 + \frac{C_{gs1}}{C_{rss1}} + \frac{C_{gs1}}{C_{ds1}} \right) L_{s1}s + \frac{1}{C_{ds1}s} \right\} \left\{ \frac{E_c}{s} - dL_{s1}i_o \right\} + d \left(\frac{1}{d} L_p + L_{d1} + L_{s1} \right) C_1 i_o$$

$$A_2 = \left\{ \left(1 + \frac{C_{gs2}}{C_{rss2}} + \frac{C_{gs2}}{C_{ds2}} \right) L_{s2}s + \frac{1}{C_{ds2}s} \right\} \left\{ \frac{E_c}{s} - (1-d)L_{s2}i_o \right\} + (1-d) \left(\frac{1}{1-d} L_p + L_{d2} + L_{s2} \right) C_2 i_o$$

$$B_1 = \left\{ (L_p + L_{d1} + L_{s1})s + R_p + R_1 + \frac{1}{C_{ds1}s} \right\} C_1 - \left\{ \left(1 + \frac{C_{gs1}}{C_{rss1}} + \frac{C_{gs1}}{C_{ds1}} \right) L_{s1}s + \frac{1}{C_{ds1}s} \right\} \\ \times \left[\left\{ \left(1 + \frac{C_{gs1}}{C_{ds1}} \right) L_{s1} + \frac{C_{gs1}}{C_{ds1}} L_{g1} \right\} s + \frac{C_{gs1}}{C_{ds1}} R_{g1} + \frac{1}{C_{ds1}s} \right] + \frac{C_{gs1}}{C_{ds1}} L_{s1}s \left(C_1 + \frac{1}{C_{gs1}s} - \frac{1}{C_{ds1}s} \right)$$

$$B_2 = \left\{ (L_p + L_{d2} + L_{s2})s + R_p + R_2 + \frac{1}{C_{ds2}s} \right\} C_2 - \left\{ \left(1 + \frac{C_{gs2}}{C_{rss2}} + \frac{C_{gs2}}{C_{ds2}} \right) L_{s2}s + \frac{1}{C_{ds2}s} \right\} \\ \times \left[\left\{ \left(1 + \frac{C_{gs2}}{C_{ds2}} \right) L_{s2} + \frac{C_{gs2}}{C_{ds2}} L_{g2} \right\} s + \frac{C_{gs2}}{C_{ds2}} R_{g2} + \frac{1}{C_{ds2}s} \right] + \frac{C_{gs2}}{C_{ds2}} L_{s2}s \left(C_2 + \frac{1}{C_{gs2}s} - \frac{1}{C_{ds2}s} \right)$$

$$C_1 = \left[\left(1 + \frac{C_{gs1}}{C_{rss1}} + \frac{C_{gs1}}{C_{ds1}} \right) \left\{ (L_{s1} + L_{g1})s + R_{g1} + \frac{1}{C_{gs1}s} \right\} - \frac{1}{C_{gs1}s} \right]$$

$$C_2 = \left[\left(1 + \frac{C_{gs2}}{C_{rss2}} + \frac{C_{gs2}}{C_{ds2}} \right) \left\{ (L_{s2} + L_{g2})s + R_{g2} + \frac{1}{C_{gs2}s} \right\} - \frac{1}{C_{gs2}s} \right]$$

4.2.3 実験回路製作と対称レイアウト基板上の電流不平衡

電流振動モデルの整合性を確認するために実験回路製作と動作確認を行う。実験に用いた回路を図 4.4 に示す。本実験回路は並列接続された SiC MOSFET を用いており、回路レイアウトは Path 1 と Path 2 で対称レイアウトとなっている。また、実験回路の回路定数を表 4.2 に示す。実機における寄生インダクタンス測定については次の 4.2.4 項で記述する。ダブルパルス評価を行い、ゲートパルスは ON : 5 μ s, OFF : 15 μ s となっている。実験回路のゲート・ソース間電圧とドレイン電流波形を図 4.5 に示す。

SiC MOSFET の並列接続

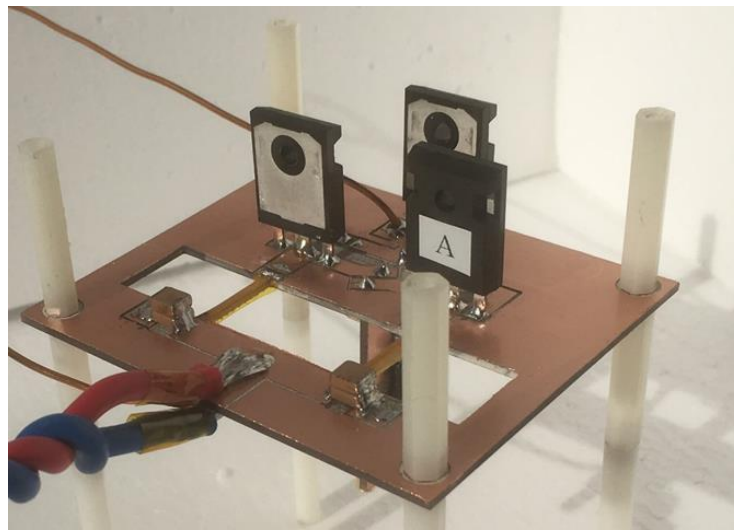


図 4.4 実験回路

表 4.2 回路定数

E	200V	E_c	15V	L_o	100 μ H	L_p	16.4nH	R_p	0.31 Ω	R_{g1}	2 Ω
L_{d1}	23.7nH	L_{d2}	23.7nH	C_{gs1}	1800pF	C_{gs2}	1800pF	R_{g2}	2 Ω	R_{g3}	2 Ω
L_{g1}	16.2nH	L_{g2}	16.2nH	C_{ds1}	230pF	C_{ds2}	230pF	R_1	0.1 Ω	R_2	0.1 Ω
L_{s1}	9.9nH	L_{s2}	9.9nH	C_{rss1}	30pF	C_{rss2}	30pF	i_o	9.5A	d	0.55

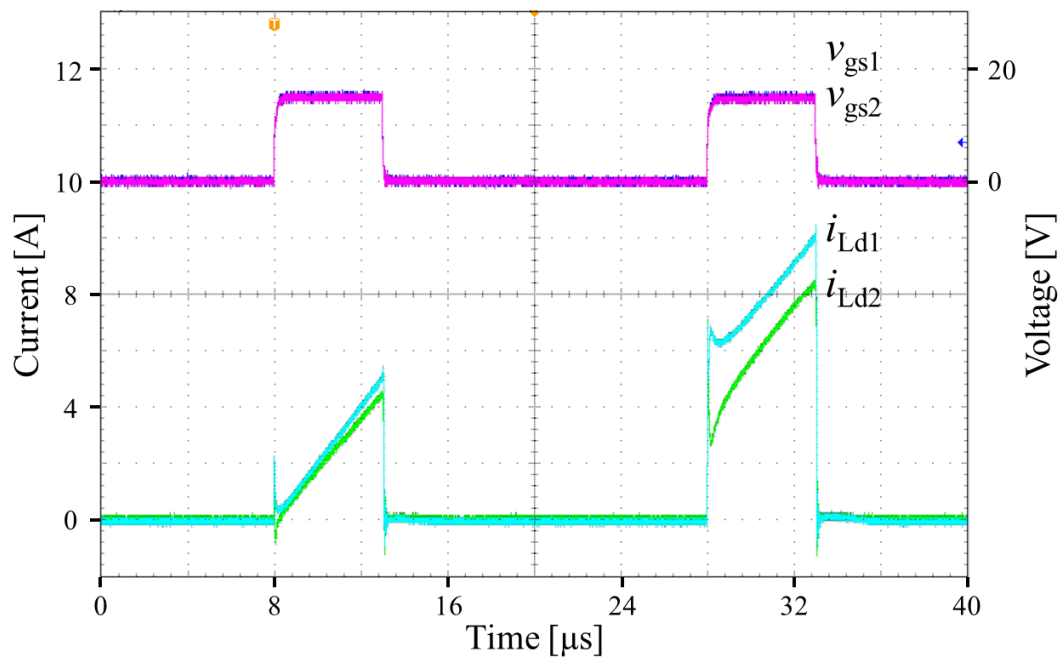


図 4.5 実験回路波形

SiC MOSFET の並列接続

対称レイアウトにも関わらず、ドレイン電流に電流不平衡が発生している。この原因を解明するために、シミュレーションを行う。この実験回路はスイッチがオン状態の時、単純な RL 直列回路とみなすことができる。そのため、実験回路の回路定数を用いた場合の RL 直列回路に流れる電流を演算する。RL 直列に流れる電流は時間 t が 0 以上である時、次の式で求めることができる。

$$i(t) = \frac{E}{R} (1 - e^{-\frac{R}{L}t}) \dots\dots\dots (4-7)$$

ここで、 E は RL 直列回路に印加されるステップ電圧である。表 4.2 の回路定数と使用した SiC MOSFET のオン抵抗の $80\text{m}\Omega$ を代入してドレイン電流を求める。また、並列に使用している MOSFET の一方のオン抵抗が $20\text{m}\Omega$ 増加した場合を仮定する。演算により求めた値を図 4.6 に示す。 i_{Ld1_cal} と i_{Ld2_cal} が演算により求めた値となっており、 i_{Ld2_cal} が $20\text{m}\Omega$ オン抵抗の増加を仮定した波形である。また、 i_{Ld1} と i_{Ld2} が実験結果となっており、演算結果が実験結果と同様の波形となっている。以上より、本実験回路における電流不平衡がオン抵抗の違いによるものであると言える。

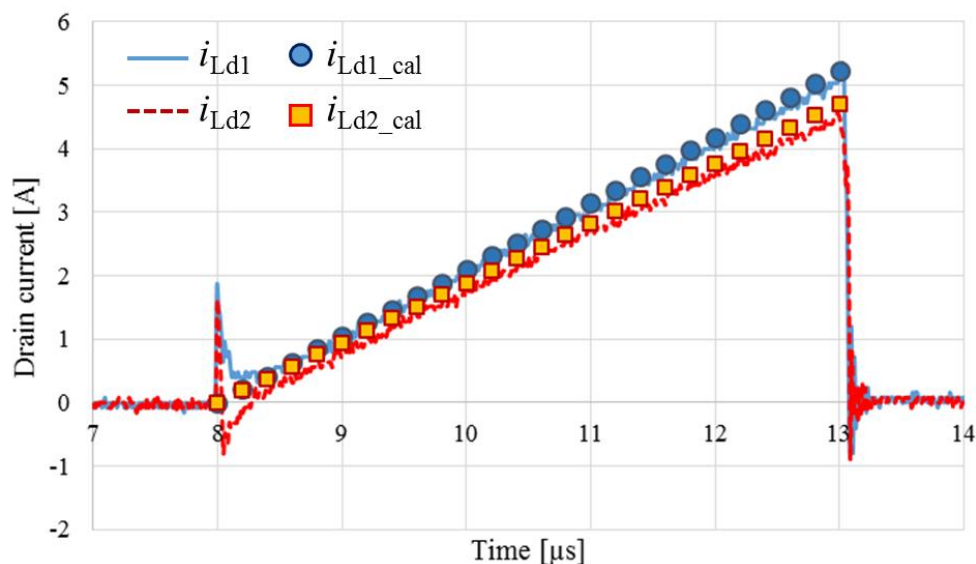


図 4.6 オン抵抗の違いによる電流不平衡

4.2.4 実験回路の寄生インダクタンス抽出

表 4.2 に示した実験回路の寄生インダクタンス抽出方法について述べる。寄生インダクタンスを抽出したいループにファンクションジェネレータにより正弦波を入力する。その際に発生するループ間電圧とループ電流よりインダクタンスを測定可能となる。この寄生インダクタンス抽出で使用するのがフーリエ級数である。フーリエ級数は複雑な関数を様々な周波数の周期関数の和で表すことが可能である。この級数に基づくと関数 $f(x)$ は次の式で表現することが可能である⁽¹⁹⁾。

$$f(x) = \frac{a_0}{2} + \sum_{n=1}^{\infty} (a_n \cos n\omega x + b_n \sin n\omega x) \dots\dots\dots (4-8)$$

$$a_n = \frac{1}{\pi} \int_{-\pi}^{\pi} f(x) \cos n\omega x dx \quad n = 0, 1, 2, \dots \dots\dots (4-9)$$

$$b_n = \frac{1}{\pi} \int_{-\pi}^{\pi} f(x) \sin n\omega x dx \quad n = 1, 2, \dots \dots\dots (4-10)$$

ここで a_0 は関数 $f(x)$ に含まれる直流成分を意味するため、正弦波入力を考慮して本検討では無視する。よって $f(x)$ の第二項の部分抜き出して整理すると次の式となる。

$$a_n \cos n\omega x + b_n \sin n\omega x = \sqrt{a_n^2 + b_n^2} \sin(n\omega x + \theta) \dots\dots\dots (4-11)$$

$$\theta = \tan^{-1} \frac{b_n}{a_n} \dots\dots\dots (4-12)$$

以上より(4-8)を整理すると次の(4-13)が導出される。

$$f(x) = \sum_{n=1}^{\infty} \left\{ \sqrt{a_n^2 + b_n^2} \sin(n\omega x + \theta) \right\} \dots\dots\dots (4-13)$$

ここで $\sin(n\omega x + \theta)$ を $e^{j(n\omega x + \theta)}$ とすると、次の式となり計算結果の虚数項が \sin の計算結果と一致する。

$$f(x) = \sum_{n=1}^{\infty} \left\{ \sqrt{a_n^2 + b_n^2} e^{j(n\omega x + \theta)} \right\} \dots\dots\dots (4-13)$$

SiC MOSFET の並列接続

(4-13)を用いてループ間電圧とループ電流を求める。ループ間電圧とループ電流をそれぞれ $f_v(x)$, $f_i(x)$, それぞれの変数を a_{nv} , b_{nv} , θ_v , a_{ni} , b_{ni} , θ_i とすると, ループ内インピーダンス Z は次の式となる。

$$\begin{aligned}
 Z &= \frac{f_v(x)}{f_i(x)} = \sum_{n=1}^{\infty} \frac{\sqrt{a_{nv}^2 + b_{nv}^2} e^{j(n\omega x + \theta)}}{\sqrt{a_{ni}^2 + b_{ni}^2} e^{j(n\omega x + \theta)}} \\
 &= \sum_{n=1}^{\infty} \frac{\sqrt{a_{nv}^2 + b_{nv}^2} e^{jn\omega x} e^{j\theta}}{\sqrt{a_{ni}^2 + b_{ni}^2} e^{jn\omega x} e^{j\theta}} \\
 &= \sum_{n=1}^{\infty} \frac{\sqrt{a_{nv}^2 + b_{nv}^2} e^{j\theta}}{\sqrt{a_{ni}^2 + b_{ni}^2} e^{j\theta}} \dots\dots\dots (4-14)
 \end{aligned}$$

ここで, (4-14) は実数項と虚数項で表され $R + j\omega L$ とみなせるため, 虚数項を ω で除したものがループ内の寄生インダクタンスとなる。ここで, 実数項は(4-13)の置換により正しい計算結果とはならない。

以上の計算手法を用いることで図 4.7 に示すループの寄生インダクタンスを測定する。

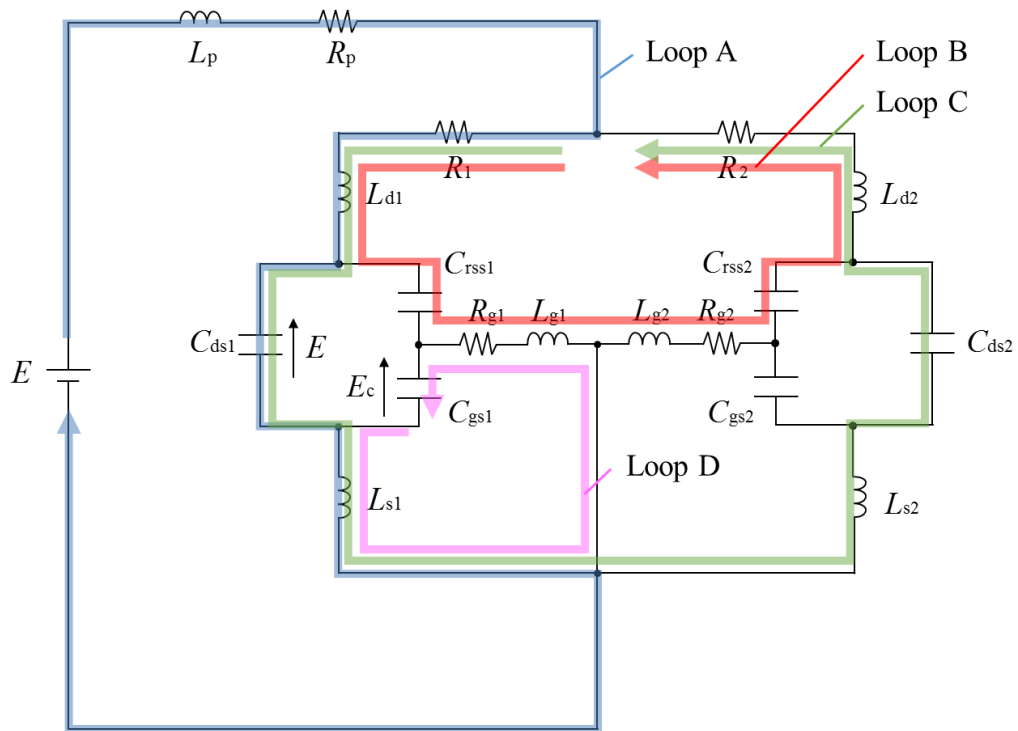


図 4.7 寄生インダクタンス測定ループ

SiC MOSFET の並列接続

各測定ループに含まれるインダクタンスは Loop A: $L_p+L_d+L_s$, Loop B: $2L_d+2L_g$, Loop C: $2L_d+2L_s$, Loop D: L_g+L_s となる。ここで、実験回路は対称レイアウトであることから Path 1 と Path 2 の寄生インダクタンスは同値とした。以上よりそれぞれの値から各インダクタンス値を求めることが可能となる。

4.2.5 電流振動モデルの整合性確認

電流振動モデルの整合性を実験の結果より確認する。実験結果と演算結果のターンオフ時のドレイン電流波形をそれぞれ 図 4.9 (a), 図 4.9 (b)に示す。演算結果はスイッチの遷移時間を無視しているため、電流ピーク値に違いが発生しているが、電流波形の形状は非常に高い精度で再現できている。その証拠として、実験波形の電流振動共振周波数が 39.7MHz に対して、演算結果は 40.0MHz となっている。続いて、非対称レイアウト回路の使用等によって回路内の寄生成分が変化した際を考慮し、寄生インダクタンス増加時の電流振動モデルの実験波形の再現性を確認する。図 4.5 と図 4.6 より、Path 2 に流れる電流はオン抵抗の違いにより小さくなっている。さらに Path 2 に意図的にインダクタンスを挿入することでよりドレイン電流波形の振動を顕著にする方向で評価を行う。図 4.8 に実験回路の基板データを示す。赤丸印部分に引き出し線を付加することで意図的にインダクタンスを増加させる。引き出し線を用いない場合は使用基板の銅板厚と同じ厚みの銅板を用いて回路上を短絡させることでインダクタンスを無視する。また引き出し線の持つインダクタンスも同様に 4.2.4 の方法を用いて測定を行った。引き出し線は 2.5cm, 5cm, 10cm の 3 種類を測定し、それぞれ 4.7nH, 15.5nH, 39.6nH であった。ここで引き出し線 10cm を用い、 Q_2 のドレインに約 40nH のインダクタンスを付加した結果を図 4.10 に示す。前評価と同様電流ピーク値は異なるものの、複雑な電流波形にも関わらず電流波形を再現している。さらに、共振周波数は実機が 32.9MHz に対して 32.3MHz と非常に近い値となっており、共振周波数の再現も可能としている。以上より、電流振動モデルは各経路における共振周波数及び共振ループの特定と共振波形の再現に適したモデルである。本章では並列接続されているスイッチと寄生成分の関係

SiC MOSFET の並列接続

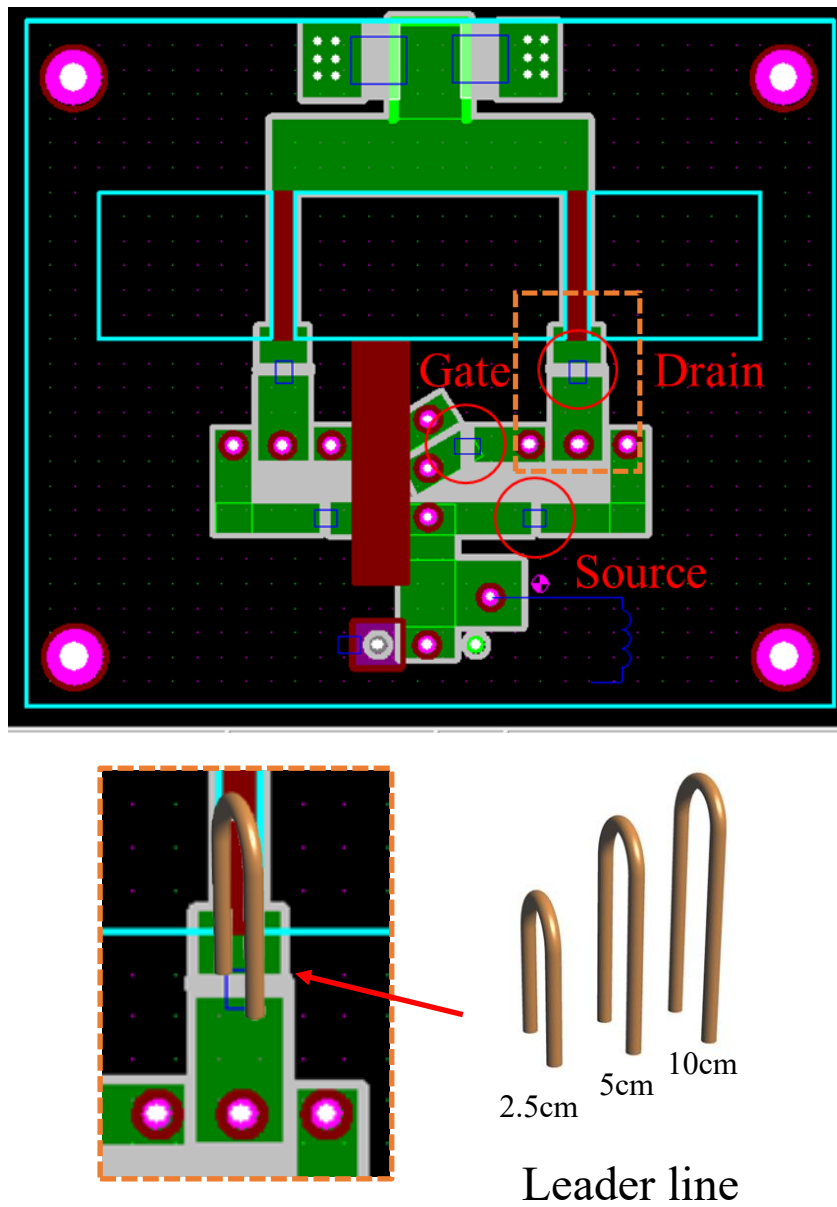
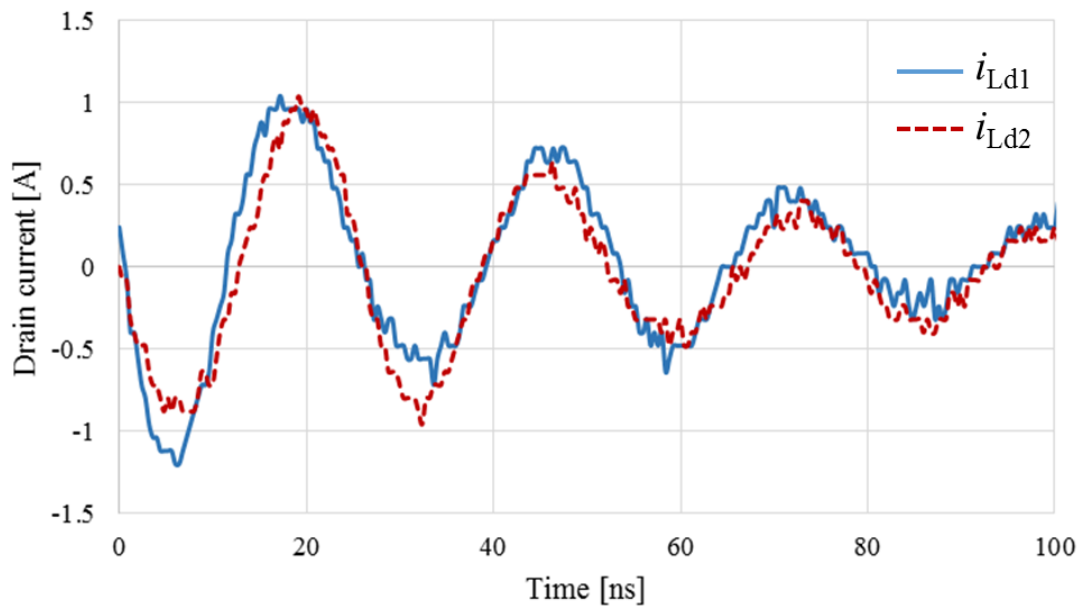


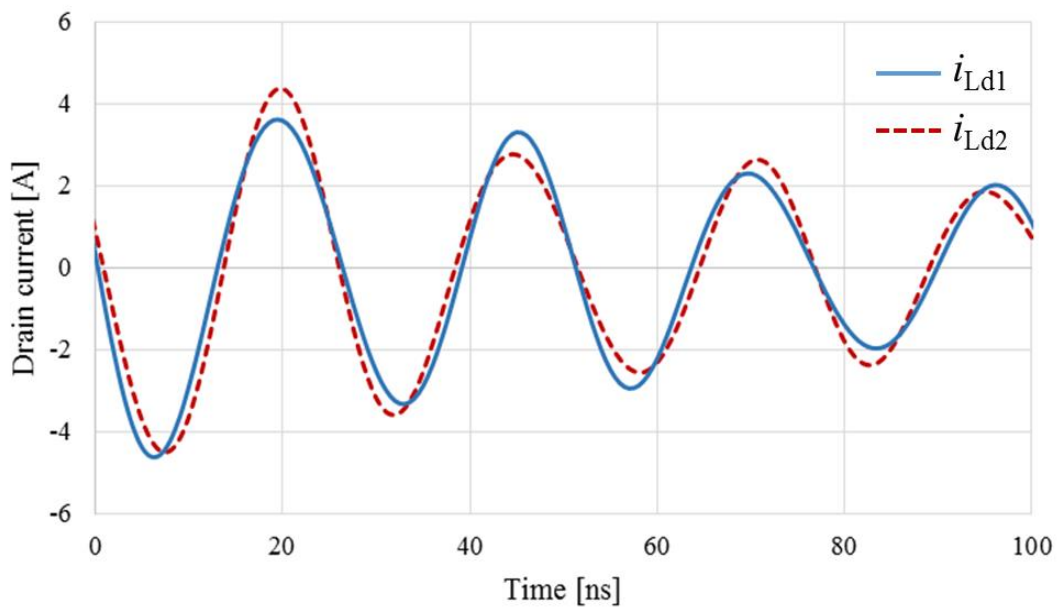
図 4.8 基板データと引き出し線

性を明らかにし、振動の抑制法を検討するため、この電流振動モデルは非常に有効であると言える。

SiC MOSFET の並列接続



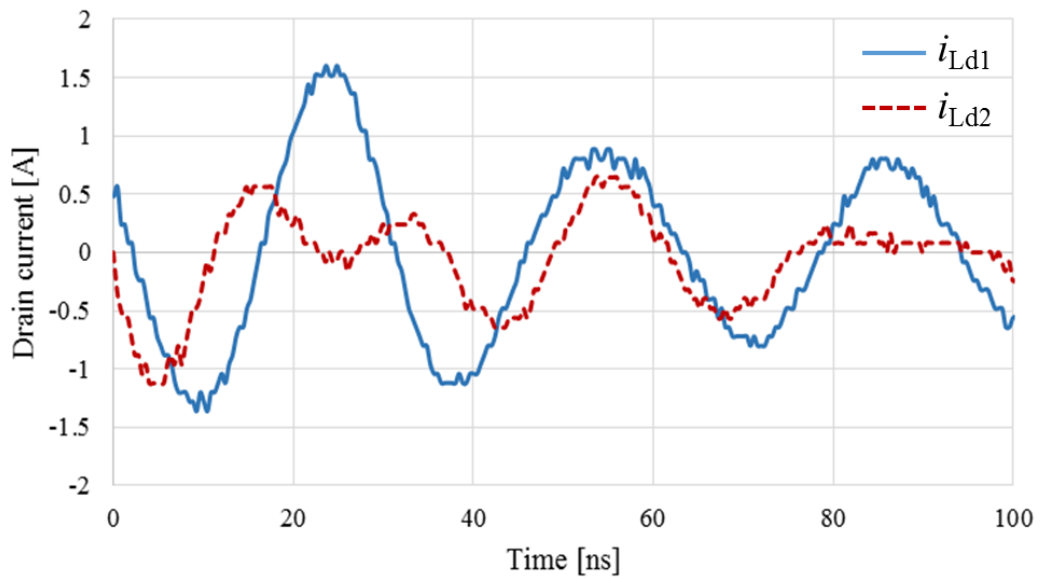
(a) 実験結果



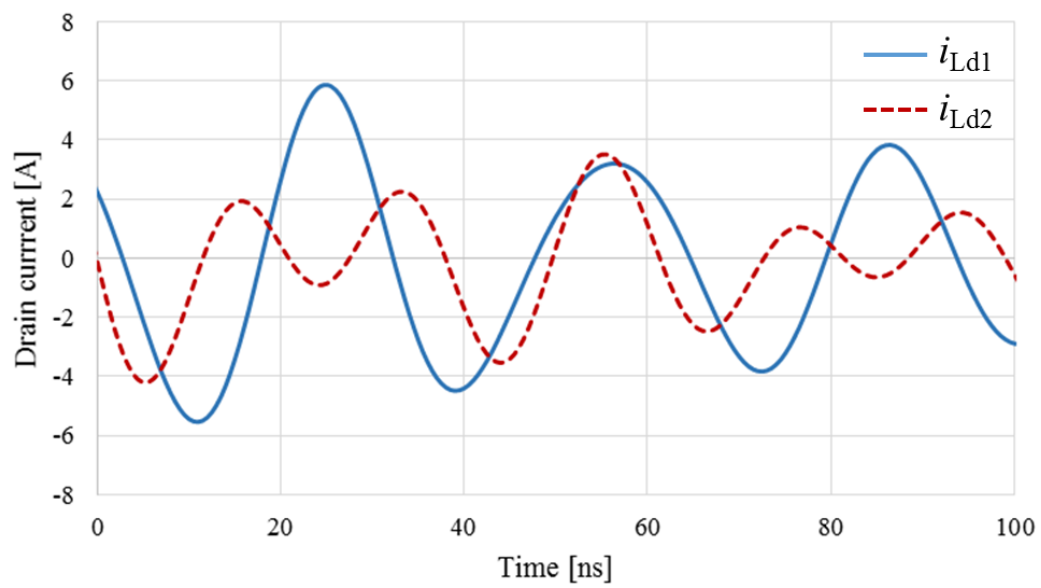
(b) 演算結果

図 4.9 ターンオフ時のドレイン電流波形比較

SiC MOSFET の並列接続



(a) 実験結果



(b) 演算結果

図 4.10 ターンオフ時のドレイン電流波形比較
(Q_2 のドレインに 40nH 付加時)

4.3 寄生インダクタと電流振動の関係性

並列接続手法は時に、回路レイアウトを対称にすることが不可能な場合がある。その場合において、どの寄生インダクタンスがドレイン電流振動に影響を与えるのかを調査する。上述した電流振動モデルを用い、意図的に寄生インダクタンス 20nH を Path 2 のドレイン、ゲート、ソースにそれぞれ付加する。

4.3.1 ドレインインダクタンスの影響

ドレインインダクタンス i_{Ld1} , i_{Ld2} をそれぞれ 63.7nH と 83.7nH とし、その他の回路定数は表 4.2 と同じものを用いた場合のドレイン電流のターンオフ波形を図 4.11 に示す。結果より i_{Ld2} の波形が i_{Ld1} に影響を与えているような波形となり、 i_{Ld1} の波形は 2 種類の異なった周波数が重なり合った波形になっている。したがってこの波形を離散フーリエ変換 (DFT : Discrete Fourier Transform) し、そのパワースペクトルを図 4.12 に示す。また計算の都合上、水平軸の 1 スケールにおけるプロット点は 5 ポイントで表示しており、プロット点間隔が 2MHz となっている。

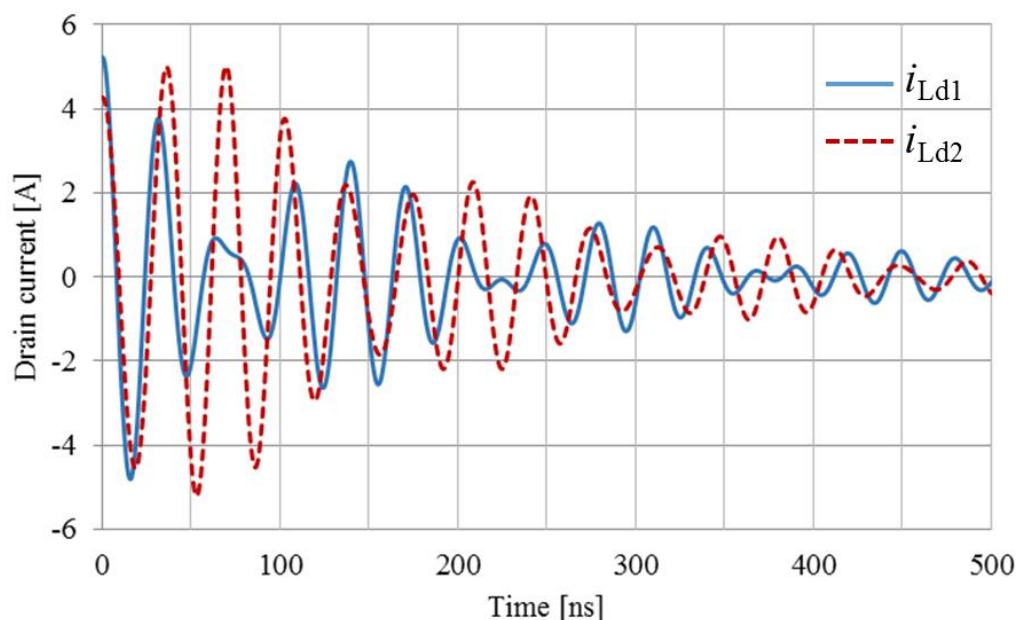


図 4.11 ドレインインダクタンス付加時のドレイン電流波形

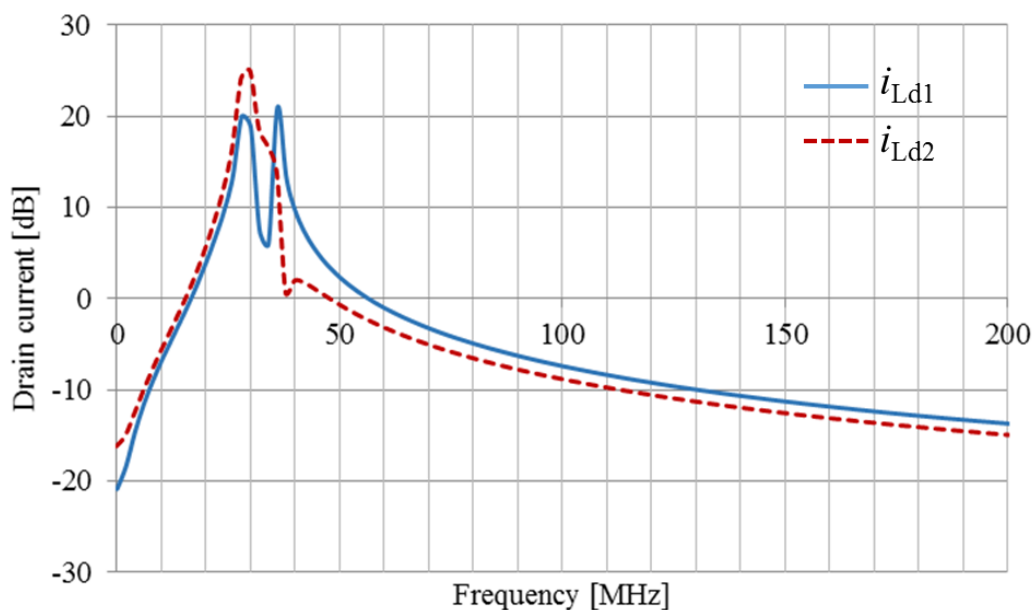


図 4.12 ドレイン電流の DFT パワースペクトル

図より、 i_{Ld1} は予測通り 2 つの周波数ピークが表れており、それぞれの周波数は 28MHz と 36MHz である。この周波数より、共振周波数がそれぞれ 29.1MHz と 36.3MHz であるコモンループとディファレンシャルループであると特定できる。また、ドレインインダクタンスが増加したことにより、コモンループとディファレンシャルループの共振周波数の乖離が生まれ、DFT パワースペクトルのピークを 2 つ表れている。そこで、ドレインインダクタンスの増加に伴う i_{Ld1} の DFT パワースペクトルの推移を図 4.13 に示す。ドレインインダクタンスの増加に伴い共振周波数が低下し、コモンループとディファレンシャルループの共振周波数ピークが近づいている。その結果として、2 つの種類の周波数からなる電流振動が発生した。このように 2 種類の振動系からなる振動を連成振動と呼ぶ。この連成振動は電流振動のピーク値を増加させる傾向があり、半導体の熱や寿命の観点から避けられるべきであると言える。

4.3.2 ゲートインダクタンスの影響

前項と同様にゲートにインダクタンスを付加しドレイン電流振動を解析する。ゲートインダクタンス L_{g1} , L_{g2} はそれぞれ 56.2nH と 76.2nH の際のドレイン電流波

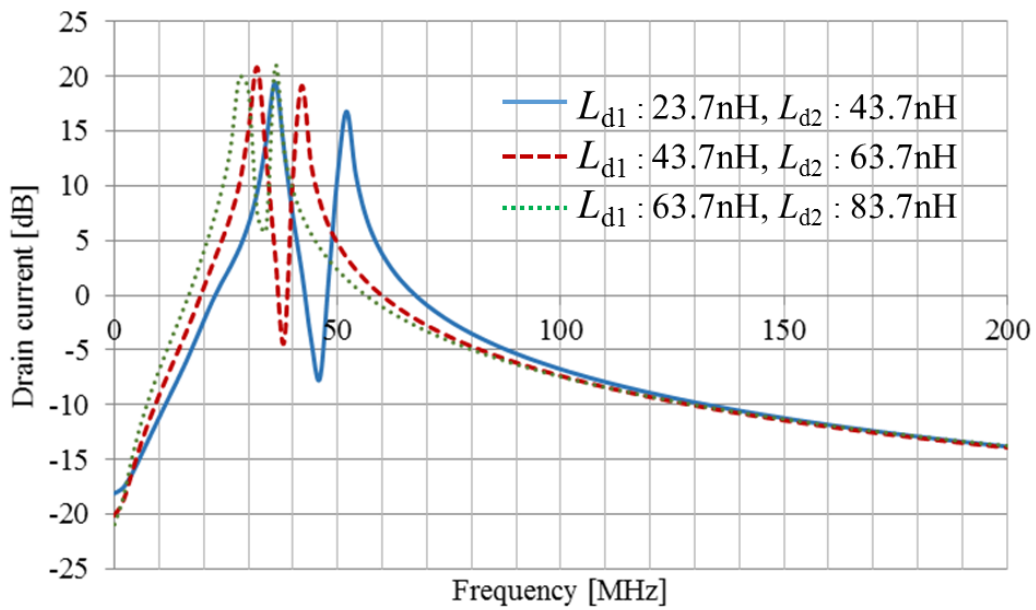


図 4.13 ドレインインダクタンスの増加による DFT パワースペクトル推移

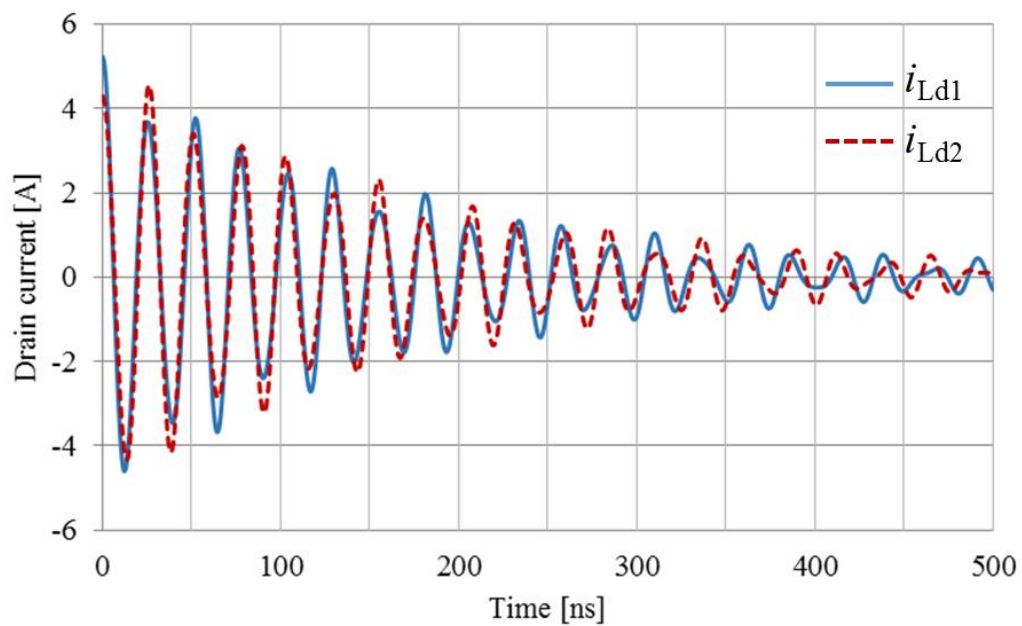


図 4.14 ゲートインダクタンス付加時のドレイン電流波形

形を図 4.14 に示す。ドレインインダクタンスの影響に比べゲートインダクタンスの影響は小さく、ゲートインダクタンスを付加しているにもかかわらず波形は同相で振動している。さらにゲートインダクタンス増加による i_{Ld1} の DFT パワースペクトル遷移を図 4.15 に示す。

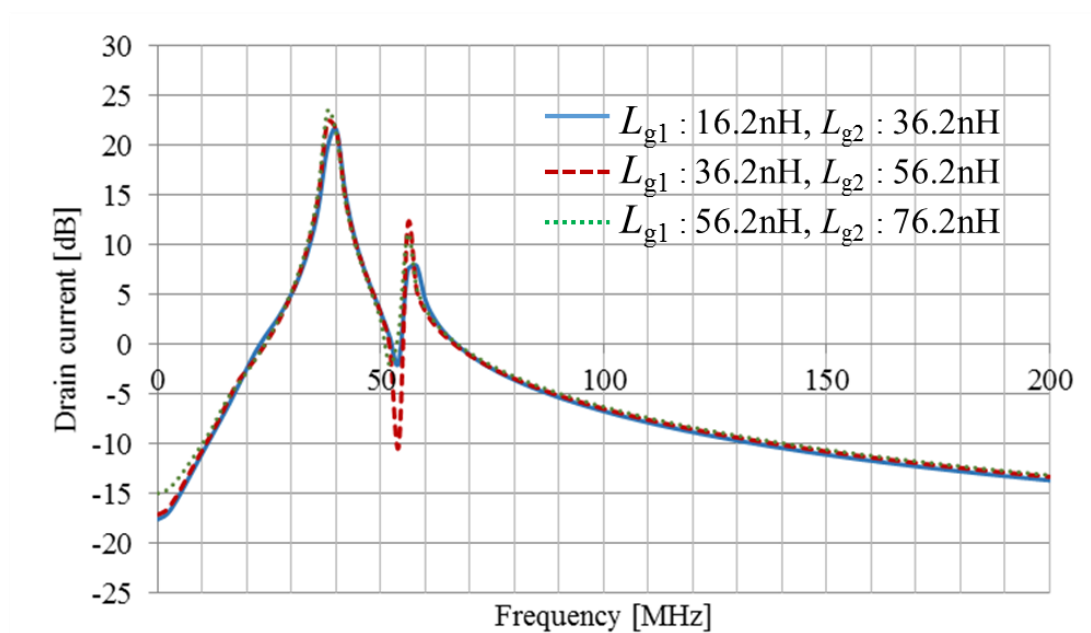


図 4.15 ゲートインダクタンス増加による DFT パワースペクトル推移

DFT パワースペクトルの結果からもゲートインダクタンスのドレイン電流への影響は小さいことが分かる。また、DFT パワースペクトルは 2 つのピークを持っているが一方の先頭値が小さく他方に影響が出ていないと考えられる。最大ピーク値を持つ周波数は 38MHz であり、コモンモードの周波数と近い値となった。

4.3.3 ソースインダクタンスの影響

最後にソースにインダクタンスを付加する。ソースインダクタンス i_{Ls1} , i_{Ls2} がそれぞれ 49.9nH と 69.9nH の時のドレイン電流波形を図 4.16 に示す。ゲートインダクタンスの場合と同様に他方の電流波形に影響せず、ソースインダクタンスの増加によるドレイン電流振動への影響は小さい。また、 i_{Ld1} の DFT パワースペクトルを図 4.17 に示す。DFT パワースペクトルピークの周波数は 38MHz であり、ソースインダクタンスを付加した場合のコモンモードループの共振周波数は 38.5MHz であることからコモンモードループの振動であることが分かる。ソースインダクタンスはドレイン電流へ大きな影響を与えなかったが、本回路の様にゲートループ内にソースインダクタンスを包括している場合、ゲート共振周波数における DFT パワースペクトルのピークが大きくなるため、注意が必要である。

SiC MOSFET の並列接続

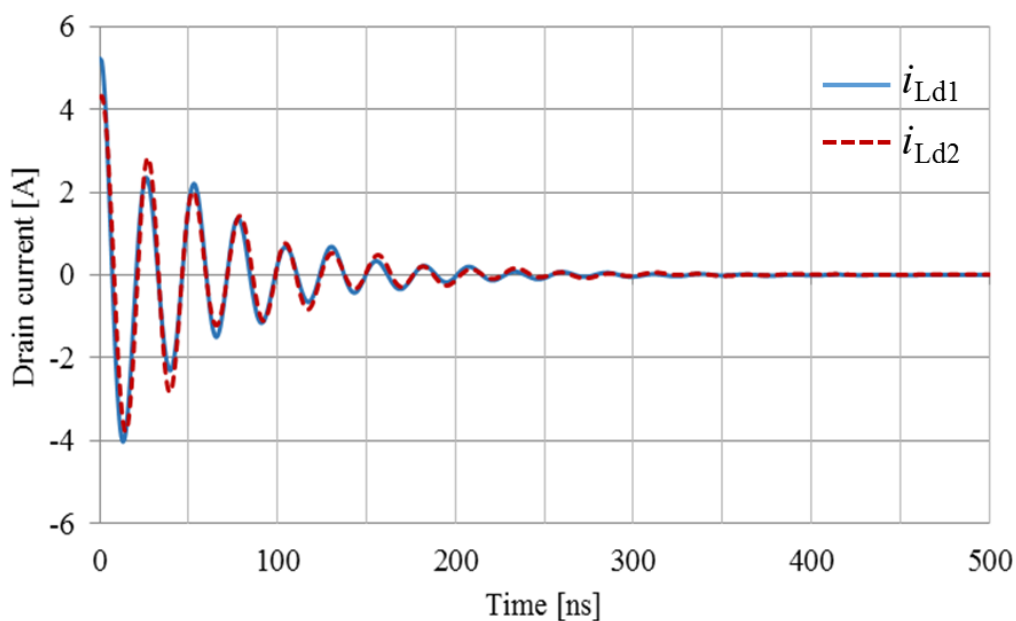


図 4.16 ソースインダクタンス付加時のドレイン電流波形

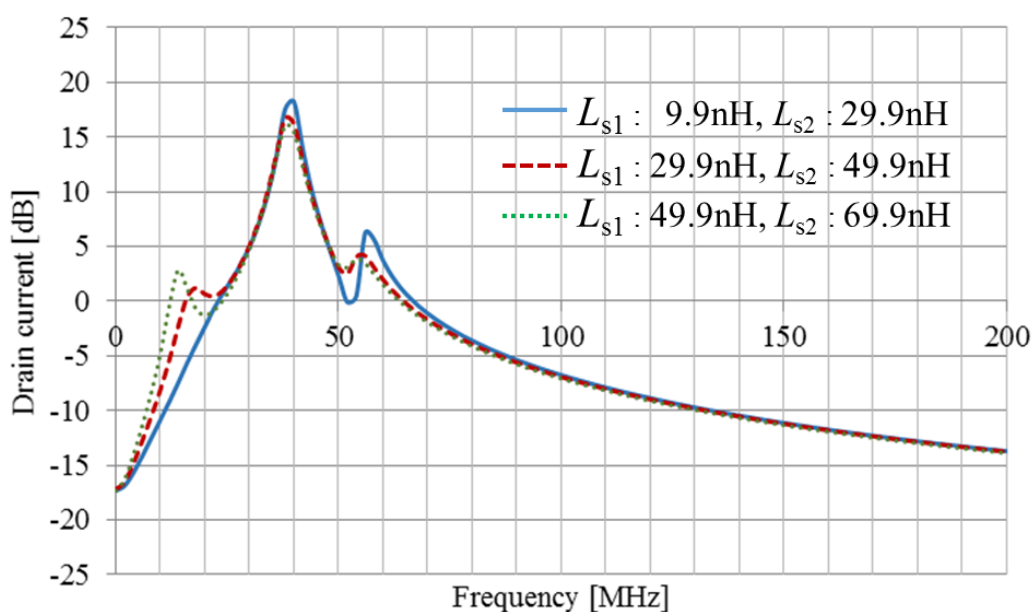


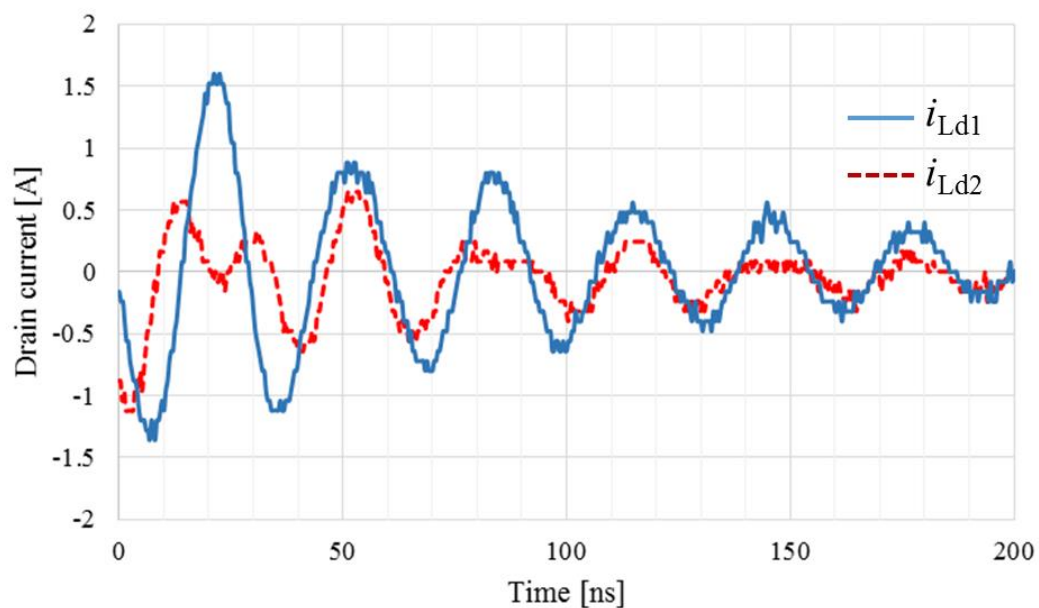
図 4.17 ソースインダクタンス増加による DFT パワースペクトル遷移

4.3.4 寄生インダクタンスが与える影響の実機検証

電流振動モデルを用いることでドレインインダクタンスの不一致と増加が連成振動を引き起こすことを確認した。そこで、実機を用いてインダクタンスを付加した場合のドレイン電流波形の観測を行い、電流振動モデルによる結果の妥当性を確

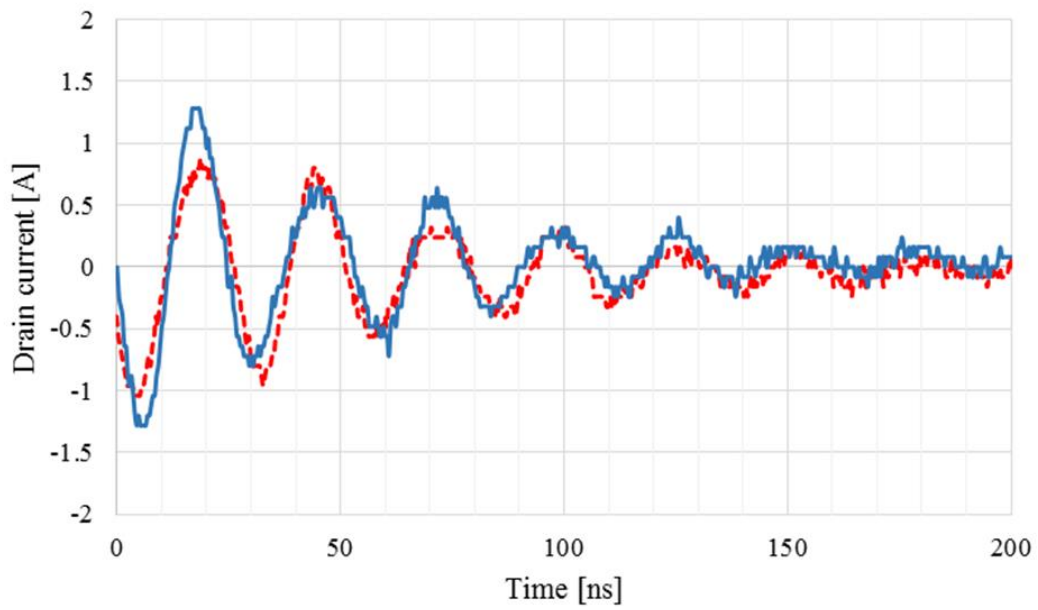
SiC MOSFET の並列接続

認する。実験回路は図 4.4 に示した回路を用い、回路定数は表 4.2 に示すものとする。Path 2 の各箇所 に 39.6nH を付加し、ドレイン電流の変化を観測することで影響を確認する。ドレインに付加した際の波形を図 4.18 (a) に、ゲートに付加した際の波形を図 4.18 (b) に、ソースに付加した際の波形を図 4.18 (c) に示す。ドレインインダクタンスを付加した際の波形は i_{Ld2} の電流ピーク値が減少しており、他方の電流の影響を受けている。電流波形形状も連成振動となっており、この特徴は図 4.11 においても観測されている。また、ゲートインダクタンスとソースインダクタンスを付加した際にはこの現象は表れていない。ゲートインダクタンス付加の影響はシミュレーション同様に同相振動となっており、ドレイン電流への影響は小さい。ソースインダクタンスの影響はシミュレーションと初動が異なっている。この原因として、ソースインダクタンスがゲートループ内に入っているため、スイッチがターンオフする際に振動する電流がスイッチの閾値電圧付近で振動し、ドレイン電流へ影響したと考えられる。しかしながら、ドレイン電流の振動は同相振動となっており、スイッチの挙動による誤差以外は再現できていると言える。以上の結果からドレインインダクタンスの不一致と増加が電流振動に影響していることを示した。

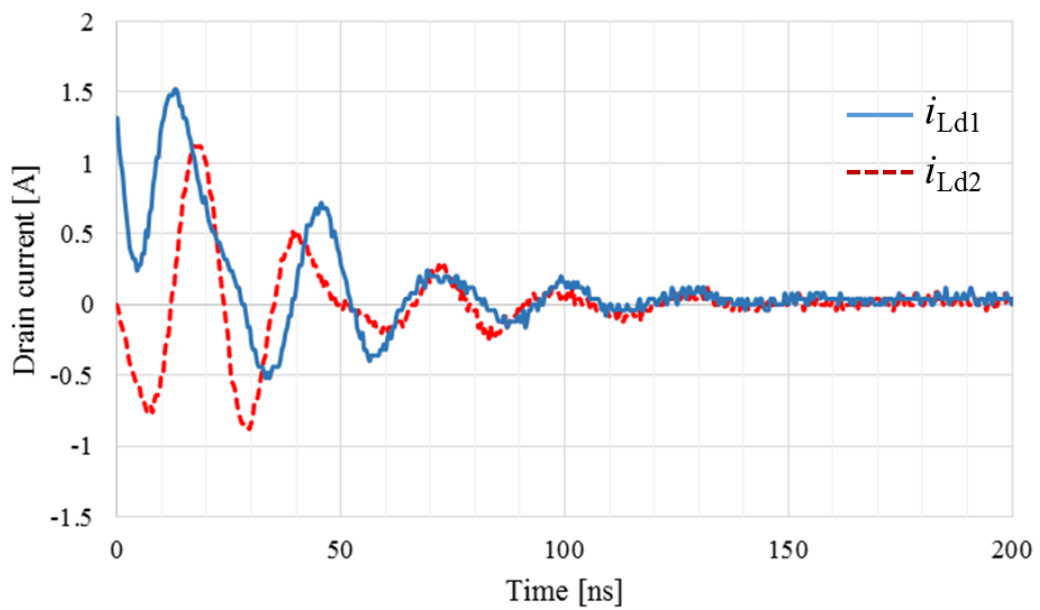


(a) ドレインインダクタンス付加時

SiC MOSFET の並列接続



(b) ゲートインダクタンス付加



(c) ソースインダクタンス付加

図 4.18 寄生インダクタンスの影響実験結果

4.4 連成振動の発生と抑制

並列接続時に発生する電流振動は電流経路の寄生成分が同じであったとしても、スイッチの特性の違いによる電流不平衡で電流振動を引き起こすことを前述した。この場合の2つのスイッチに流れる電流の振動の共振周波数は同じであるため、合成電流の振動ピークは小さくなる。しかし、回路構成上非対称レイアウトを用いなければならない場合は寄生成分が電流経路で異なるため、ドレインインダクタンスの増加により連成振動が引き起こされる。連成振動は電流同士が干渉しあうため、ピーク値の増加が懸念される。この章では非対称レイアウトにおいても連成振動を抑制し、合成電流のピーク振動を抑制する手法を提案する。

4.4.1 共通寄生インダクタンスの影響調査

前節で調査されたドレイン電流は全ての場合においてコモンループの共振周波数成分を含んで振動していた。そのため、共通寄生インダクタンスである L_p の影響を調査する。また、等価回路内における合成インダクタンス L_{sum} は次式で表される。

$$L_{sum} = L_p + \frac{\{L_{d1}(L_{g1} + L_{s1}) + L_{g1}L_{s1}\}\{L_{d2}(L_{g2} + L_{s2}) + L_{g2}L_{s2}\}}{(L_{g1} + L_{s1})\{L_{d2}(L_{g2} + L_{s2}) + L_{g2}L_{s2}\} + (L_{g2} + L_{s2})\{L_{d1}(L_{g1} + L_{s1}) + L_{g1}L_{s1}\}} \quad (4-15)$$

この式からも L_p が回路全体の中で重要な要素であることが確認できる。非対称レイアウトを想定し、 L_{d2} が 20nH 増加した場合を考える。また、その時の回路定数を表 4.3 に示す。 L_p の増加による i_{Ld1} の DFT パワースペクトル遷移を図 4.19 に示す。この結果より、 L_p が 5nH の際は2つのパワースペクトルピークは有するものの、低周波側のピークの高さが低くドレイン電流への影響は小さい。一方で 5nH から 15nH 増加するとピークの高さがもう一方のピーク値と同等の大きさに成長するため、ドレイン電流に影響すると考えられる。そこで、ドレイン電流波形を比較する。図 4.20(a)に L_p が 5nH の際のドレイン電流を図 4.20(b)に L_p が 20nH の際のドレイン電流を示す。

表 4.3 回路定数

E	200V	E_c	15V	L_o	100 μ H	L_p	15nH	R_p	0.31 Ω	R_{g1}	2 Ω
L_{d1}	25nH	L_{d2}	45nH	C_{gs1}	1800pF	C_{gs2}	1800pF	R_{g2}	2 Ω	R_{g3}	2 Ω
L_{g1}	15nH	L_{g2}	15nH	C_{ds1}	230pF	C_{ds2}	230pF	R_1	0.1 Ω	R_2	0.1 Ω
L_{s1}	10nH	L_{s2}	10nH	C_{rss1}	30pF	C_{rss2}	30pF	i_o	9.5A	d	0.75

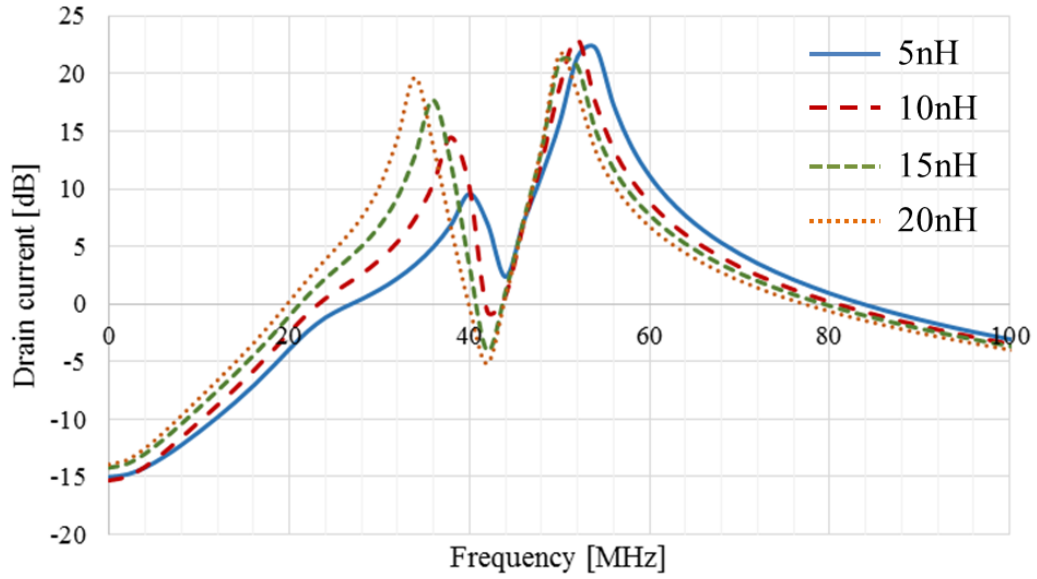
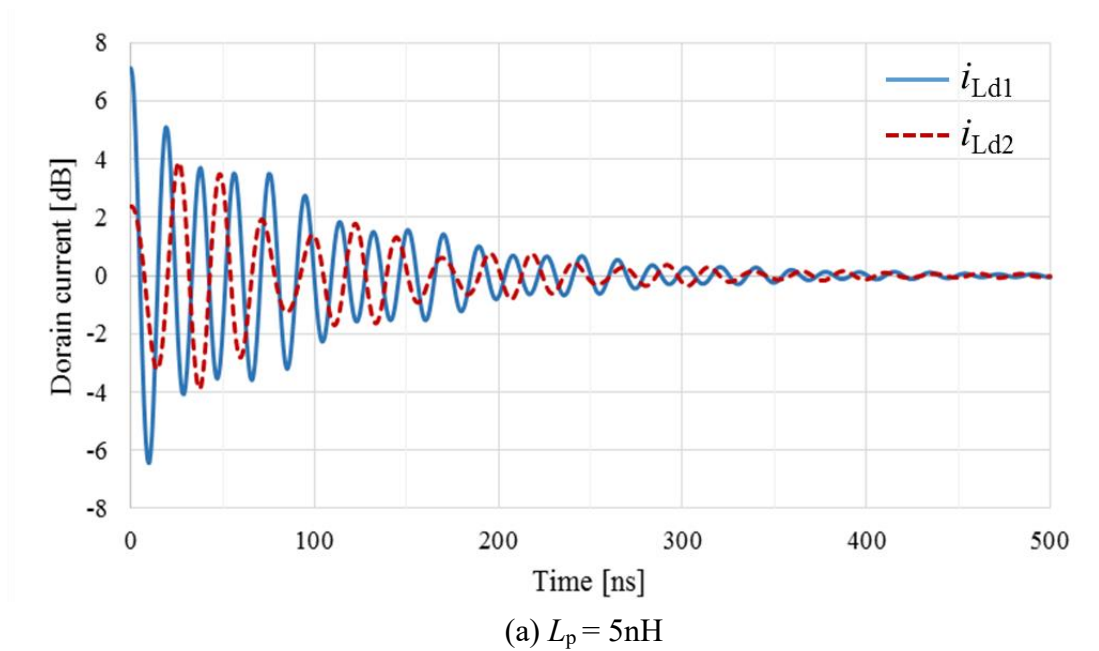


図 4.19 共通寄生インダクタンスの増加による DFT パワースペクトル遷移



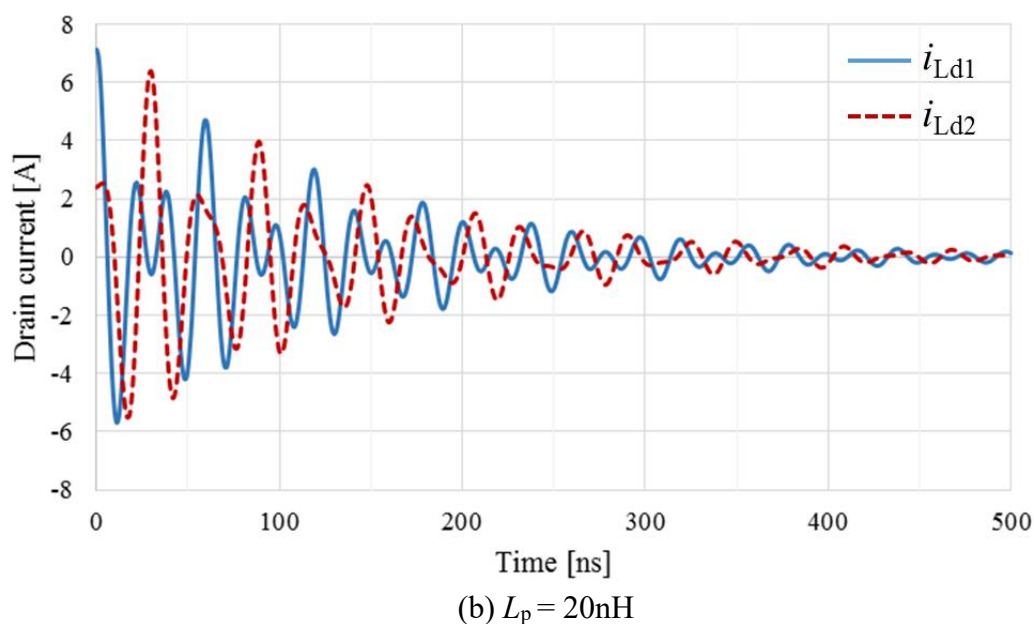


図 4.20 共通寄生インダクタンス増加によるドレイン電流波形変化

5nH を付加した際のドレイン電流は経路間で干渉しておらず、電流ピーク値も小さい。しかしながら、20nH を付加した際のドレイン電流は予想通り経路間で干渉し、連成振動となっている。また、コモンループとディファレンシャルループの共振周波数におけるパワースペクトルの振幅が同等な場合だとドレイン電流に 2 種類の周波数の成分が現れるため、2 つの周波数の差より、各経路における電流が周期的に増加しピーク値が上昇している。以上の解析により共通寄生インダクタンスの低減がドレイン電流振動の低減に大きく寄与していることが証明された。

4.4.2 合成電流ピーク値の低減

並列接続手法を用いて使用される半導体デバイスは、結果的に合成電流がそのデバイスの出力となる。すなわち、この合成電流におけるピーク値を低減することが求められている。前項までで導出した寄生インダクタンスとドレイン電流の関係性を用いて、各経路に流れるドレイン電流の合成電流のピーク値を低減する寄生成分の設計を行う。図 4.21 の赤い破線は対称レイアウト回路を使用した場合の合成電流を示している。一方で青い実線は共通寄生インダクタンスが 5nH で残りの定数は表 4.3 に示すものを使用した非対称レイアウト回路を用いた場合の結果であ

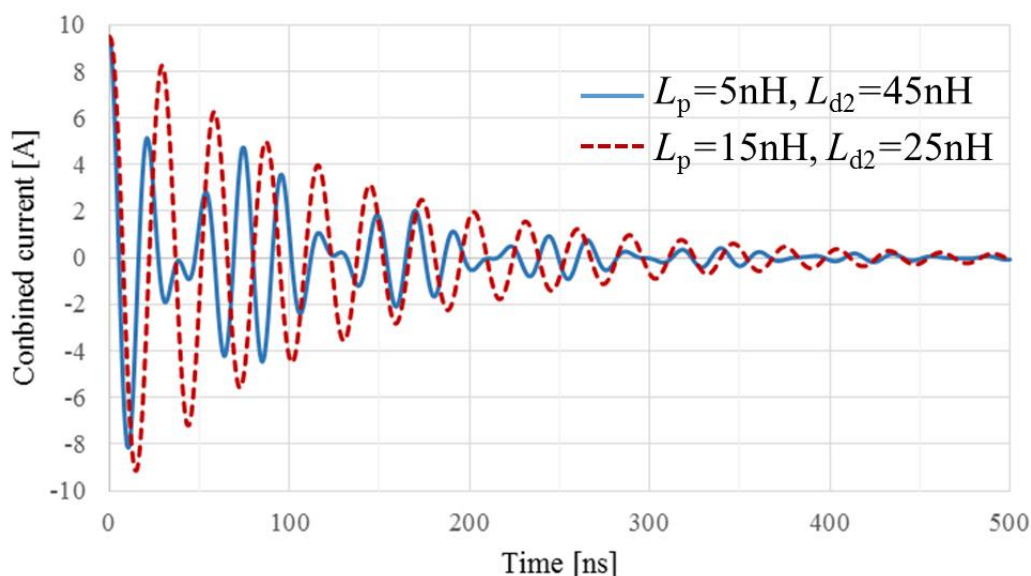


図 4.21 合成ドレイン電流比較

る。回路自体は非対称レイアウトにも関わらず、対称レイアウトを用いた場合よりも合成電流のピーク値が低減できている。これは図 4.20 に示したように経路間の電流が交互に振動することによりお互いの振動を打ち消し合った結果である。

この振動の打ち消しは次の条件の時に実現することが出来る。

- ・各経路電流は近い周波数ピークを持ち、そのパワースペクトルが大きい
- ・電流振動が連成振動で無い

結果として今回の条件においては合成電流ピーク値を 37.8%低減することができた。したがって、半導体デバイスの特性に依って電流不平衡が発生する場合、回路が非対称レイアウトであっても、共通寄生インダクタンスの低減と経路共振周波数を離すことによって合成電流ピーク値の低減を実現できる。

4.5 まとめ

本章では、2つのスイッチを並列接続した際の電流振動を再現するために等価回路に寄生成分を含んだ状態での電流振動モデルを構築した。また、実機を用いてその電流振動モデルの妥当性を検証した。さらに導出した電流振動モデルを用いて寄生インダクタンスとドレイン電流の関係を評価し、電流ピーク値が増加する連成振

SiC MOSFET の並列接続

動が並列接続での問題であることを言及した。並列接続で重要な合成電流ピーク値の低減にも着目し、導出した電流振動モデルを用いて合成電流ピーク値低減を実現するために重要な条件を示した。結果として、設計した寄生成分を用いた場合、回路レイアウトが非対称で電流不平衡が起きていた場合でも、対称レイアウトの回路よりも合成電流ピーク値を 37.8%低減した。

参考文献

- (1) D. Pefitsis, R. Baburske, J. Rabkowski, J. Lutz, G. Tolstoy, H.-P. Nee, “Challenges regarding parallel connection of SiC JFETs,” *IEEE Trans. Power Electron.*, Vol. 28, Issue 3, pp. 1449-1463, Mar. 2013.
- (2) G. Wang, J. Mookken, J. Rice, M. Schupbach, “Dynamic and static behavior of packaged silicon carbide MOSFETs in paralleled applications,” *Proc. IEEE Appl. Power Electron. Conf. Expo.*, Fort Worth, TX, USA, pp. 1478-1483, Mar. 2014.
- (3) N. Chen, F. Chimento, M. Nawaz, L. Wang, “Dynamic characterization of parallel-connected high-power IGBT modules,” *IEEE Trans. Ind. Electron.*, Vol. 51, Issue 1, pp. 539-546, Jan. -Feb. 2015.
- (4) J. Fabre, P. Ladoux, “Parallel Connection of 1200-V/100-A SiC-MOSFET Half-Bridge Modules,” *IEEE Trans. Ind. Appl.*, Vol. 52, Issue 2, pp. 1669-1676, Mar. –Apr. 2016.
- (5) R. Horff, T. Bertelshofer, A. Marz, M. –M. Bakran, “Current mismatch in paralleled phases of high power SiC modules due to threshold voltage unsymmetry and different gate-driver concepts,” *Proc. Eur. Conf. Power Electron. Appl.*, Karlsruhe, Germany, pp. 1-9, Sep. 2016.
- (6) H. Li, S. Munk-Nielsen, X. Wang, R. Maheshwari, S. Bęczkowski, C. Uhrenfeldt, W.-T. Frank, “Influences of device and circuit mismatches on paralleling silicon carbide MOSFETs,” *IEEE Trans. Power Electro.*, Vol. 31, Issue. 1, pp. 621-634, Jan. 2016.
- (7) K. Matsui, Y. Murai, M. Watanabe, F. Ueda, “A pulse width-modulated inverter with parallelconnected transistors using current-sharing reactors,” *IEEE Trans. Power Electron.*, Vol. 8, Issue. 2, pp. 186-191, Apr. 1993.
- (8) R. Azar, F. Udrea, W. T. Ng, F. Dawson, W. Findlay, P. Waind, “The Current Sharing Optimization of Paralleled IGBTs in a Power Module Tile Using a PSpice Frequency Dependent Impedance Model,” *IEEE Trans. Power Electron.*, Vol. 23, Issue 1, pp. 206-217, Jan. 2008

- (9) D.-P. Sadik, J. Colmenares, D. Peftitsis, J.-K. Lim, J. Rabkowski, H.-P. Nee, “Experimental investigations of static and transient current sharing of parallel-connected silicon carbide MOSFETs,” *Proc. 15th Eur. Conf. Power Electron. Appl.*, Lille, France, pp. 1-10, Sept. 2013
- (10) J.-K. Lim, D. Peftitsis, J. Rabkowski, M. Bakowski, H.-P. Nee, “Analysis and Experimental Verification of the Influence of Fabrication Process Tolerances and Circuit Parasitics on Transient Current Sharing of Parallel-Connected SiC JFETs,” *IEEE Trans. Power Electron.*, Vol. 29, Issue 5, pp. 2180–2191, May 2014.
- (11) Y. Xue, J. Lu, Z. Wang, L. M. Tolbert, B. J. Blalock, F. Wang, “Active compensation of current unbalance in paralleled silicon carbide MOS-FETs,” *Proc. IEEE Appl. Power Electron. Conf. Expo.*, Fort Worth, TX, USA, pp. 1471–1477, Mar. 2014.
- (12) J. G. Kassakian, D. Lau, “An Analysis and Experimental Verification of Parasitic Oscillations in Paralleled Power MOSFETs,” *IEEE Trans. Electron Devices*, Vol. 31, Issue. 7, pp. 959-963, Jul. 1984.
- (13) M. Spang, S. Buetow, G. Katzenberger, “Differential-Mode Oscillations between parallel IGBTs in Power Modules,” *Proc. Eur. Conf. Power Electron. Appl.*, Geneva, Switzerland, pp. 1-10, Sept. 2015.
- (14) A. Lemmon, M. Mazzola, J. Gafford, C. Parker, “Stability considerations for silicon carbide field-effect transistors,” *IEEE Trans. Power Electron.*, vol. 28, Issue 10, pp. 4453–4459, Oct. 2013.
- (15) A. Lemmon, M. Mazzola, J. Gafford, C. Parker, “Instability in halfbridge circuits switched with wide band-gap transistors,” *IEEE Trans. Power Electron.*, vol. 29, Issue 5, pp. 2380–2392, May 2014.
- (16) I. Josifovi, J. Propovic-Gerber, J. A. Ferreira, “SiC JFET switching behavior in a drive inverter under influence of circuit parasitics,” *Proc. Int. Conf. Power Electron. ECCE Asia*, Jeju, South Korea, pp. 1087-1094, May-Jun. 2011.

- (17) T. Liu, R. Ning, T. Y. Wong, Z. J. Shen “Modeling and Analysis of SiC MOSFET Switching Oscillations,” *IEEE Journal of Emerging and Selected Topics in Power Electronics.*, Vol. 4, Issue 3, pp. 747-756, Sept. 2016.
- (18) H. Sayed, A. Zurfi, J. Zhang, “Investigation of the effects of load parasitic inductance on SiC MOSFETs switching performance,” *Proc. IEEE Int. Conf. Ind. Tech.*, Toronto, ON, Canada, pp. 125-129, Mar. 2017.
- (19) 新中信二, 「フーリエ級数・変換とラプラス変換 ー基礎から実践までー」, 数理工学社, 2010年3月.

第5章 結論

本研究では、SiC MOSFET の電力変換器応用が進んでいく昨今の電力変換器分野において次なる応用として注目されている並列接続について取り扱った。並列接続は電流定格の増加、熱分散、導通損失低減等のメリットから多くのアプリケーションで用いられてきた。一方で SiC MOSFET は従来までの Si MOSFET や IGBT に比べ急峻なスイッチングをすることにより回路内の寄生成分の影響が見えやすいため、並列接続手法の検討が非常に重要である。

本章では SiC MOSFET を用いた高性能電力変換器実現のための並列接続に関する研究について、その結果を取りまとめる。

□ 1. SiC MOSFET と SiC SBD の並列接続

第3章では SiC MOSFET の欠点であるボディダイオードの高い順方向電圧の対策として用いられる SiC SBD の並列化についての有効性について検討した。インバータなどの還流モードのあるアプリケーションにおいてダイオードの損失低減が高効率化に向けた非常に重要な課題である。そこで、インバータを模擬するハーフブリッジ回路で実験を行い、ダブルパルス評価を行った。条件は4つの条件を設け、1. SiC MOSFET, 2. SiC MOSFET (SiC SBD 内臓), 3. SiC SBD, 4. SiC MOSFET に SiC SBD を並列接続、の条件下でリカバリ特性評価を行った。結果として、ダイオード電流が低電流の領域で並列接続を行うことでかえってリカバリ損失を増加させてしまうことを示した。さらに、降圧型 DC/DC コンバータに並列接続化をしたスイッチを搭載し効率比較を行った場合においても同様に、低電流領域では並列接続したことによって低効率となることが実証された。

□ 2. SiC MOSFET 同士の並列接続

半導体デバイスの並列化に関する議論は過去にも多く議論されており、従来までの半導体デバイスで実用化がなされている。一方で SiC MOSFET の並列化には多

SiC MOSFET の並列接続

くの問題が残されており、実用化が可能なほど十分な検討が行われていない。そこで、第 4 章では並列化された SiC MOSFET と回路の寄生成分を等価回路に落とし込み、ドレイン電流の振動モデルを提案した。また、実験結果より電流振動モデルの妥当性を実証し、そのモデルを用いて回路内における寄生成分と電流振動の関係性を明らかにした。さらに、並列化デバイスとして求められる合成電流のピーク値削減について取り組んだ。共通寄生インダクタンスの低減と、コモンループ周波数とディファレンシャルループ周波数の乖離を行うことで、構造的に並列化をすると非対称レイアウトとなってしまう場合においても合成電流のピーク値低減を実現できることを示した。

付録 電流振動モデル構築

本付録では電流振動モデル構築に用いた式の導出を行う。

A.1 電流経路別電圧方程式の構築

本章では、4.2.2 の図 4.3 に則った各電流経路別電圧方程式の構築を行う。まず、各スイッチのゲート充放電ループをそれぞれキルヒホッフの法則に従い、電圧方程式を構築すると次の式のようになる。

$$\frac{1}{C_{gs1}} \int i_{Cgs1} dt + L_{s1} \frac{d}{dt} i_{Ls1} = R_{g1} i_{Rg1} + L_{g1} \frac{d}{dt} i_{Rg1} \dots\dots\dots (A-1)$$

$$\frac{1}{C_{gs2}} \int i_{Cgs2} dt + L_{s2} \frac{d}{dt} i_{Ls2} = R_{g2} i_{Rg2} + L_{g2} \frac{d}{dt} i_{Rg2} \dots\dots\dots (A-2)$$

また、電源から Path1 及び Path2 に流れる電流ループ毎に電圧方程式を構築すると次の式となる。

$$E = R_p i_{Lp} + L_p \frac{d}{dt} i_{Lp} + R_l i_{Ld1} + L_{d1} \frac{d}{dt} i_{Ld1} + \frac{1}{C_{ds1}} \int i_{Cds1} dt + L_{s1} \frac{d}{dt} i_{Ls1} \dots\dots (A-3)$$

$$E = R_p i_{Lp} + L_p \frac{d}{dt} i_{Lp} + R_l i_{Ld2} + L_{d2} \frac{d}{dt} i_{Ld2} + \frac{1}{C_{ds2}} \int i_{Cds2} dt + L_{s2} \frac{d}{dt} i_{Ls2} \dots\dots (A-4)$$

さらに、スイッチの寄生容量の関係より次の式が導かれる。

$$\frac{1}{C_{ds1}} \int i_{Cds1} dt = \frac{1}{C_{rss1}} \int i_{Crss1} dt + \frac{1}{C_{gs1}} \int i_{Cgs1} dt \dots\dots\dots (A-5)$$

$$\frac{1}{C_{ds2}} \int i_{Cds2} dt = \frac{1}{C_{rss2}} \int i_{Crss2} dt + \frac{1}{C_{gs2}} \int i_{Cgs2} dt \dots\dots\dots (A-6)$$

以上より各電流経路の電圧方程式が導出された。

A.2 各電圧方程式のラプラス変換

本章では(A-1)-(A-6)の電圧方程式のラプラス変換を行う。初期条件として、ハーブリッジ回路には電流 i_o が流れている。また、Path1 と Path2 には電流不平衡が発生しており、その電流不平衡係数を d とする。すなわち、Path1 の初期電流は di_o 、Path2 は $(1-d)i_o$ で表される。さらに、入力電圧はステップ入力とする。各素子の初期条件を考慮してラプラス変換を行うと次の式となる。

$$\frac{1}{C_{gs1s}} I_{Cgs1} + \frac{E_c}{s} + L_{s1} I_{Ls1s} - dL_{s1} i_o = R_{g1} I_{Rg1} + L_{g1} I_{Rg1s} - L_{g1} \times 0 \dots\dots\dots (A-7)$$

$$\frac{1}{C_{gs2s}} I_{Cgs2} + \frac{E_c}{s} + L_{s2} I_{Ls2s} - (1-d)L_{s2} i_o = R_{g2} I_{Rg2} + L_{g2} I_{Rg2s} - L_{g2} \times 0 \dots\dots\dots (A-8)$$

$$\begin{aligned} \frac{E}{s} = & R_p I_{Lp} + L_p I_{Lps} - L_p i_o + R_1 I_{Ld1} + L_{d1} I_{Ld1s} - dL_{d1} i_o \\ & + \frac{1}{C_{ds1s}} I_{Cds1} + \frac{E}{s} + L_{s1} I_{Ls1s} - dL_{s1} i_o \dots\dots\dots (A-9) \end{aligned}$$

$$\begin{aligned} \frac{E}{s} = & R_p I_{Lp} + L_p I_{Lps} - L_p i_o + R_2 I_{Ld2} + L_{d2} I_{Ld2s} - (1-d)L_{d2} i_o \\ & + \frac{1}{C_{ds2s}} I_{Cds2} + \frac{E}{s} + L_{s2} I_{Ls2s} - (1-d)L_{s2} i_o \dots\dots\dots (A-10) \end{aligned}$$

$$\frac{1}{C_{ds1s}} I_{Cds1} + \frac{E}{s} = \frac{1}{C_{rss1s}} I_{Crss1} + \frac{E - E_c}{s} + \frac{1}{C_{gs1s}} I_{Cgs1} + \frac{E_c}{s} \dots\dots\dots (A-11)$$

$$\frac{1}{C_{ds2s}} I_{Cds2} + \frac{E}{s} = \frac{1}{C_{rss2s}} I_{Crss2} + \frac{E - E_c}{s} + \frac{1}{C_{gs2s}} I_{Cgs2} + \frac{E_c}{s} \dots\dots\dots (A-12)$$

(A-7)-(A-12)を整理したものを次の式に示す。

$$\frac{1}{C_{gs1s}} I_{Cgs1} + \frac{E_c}{s} + L_{s1} I_{Ls1s} - d L_{s1} i_o = (R_{g1} + L_{g1s}) I_{Rg1} \dots\dots\dots (A-13)$$

$$\frac{1}{C_{gs2s}} I_{Cgs2} + \frac{E_c}{s} + L_{s2} I_{Ls2s} - (1-d) L_{s2} i_o = (R_{g2} + L_{g2s}) I_{Rg2} \dots\dots\dots (A-14)$$

$$(R_p + L_p s) I_{Lp} + (R_1 + L_{d1s}) I_{Ld1} + \frac{1}{C_{ds1s}} I_{Cds1} + L_{s1} I_{Ls1s} - d \left(\frac{1}{d} L_p + L_{d1} + L_{s1} \right) i_o = 0 \dots\dots\dots (A-15)$$

$$(R_p + L_p s) I_{Lp} + (R_1 + L_{d2s}) I_{Ld2} + \frac{1}{C_{ds2s}} I_{Cds2} + L_{s2} I_{Ls2s} - (1-d) \left(\frac{1}{1-d} L_p + L_{d2} + L_{s2} \right) i_o = 0 \dots\dots (A-16)$$

$$\frac{1}{C_{ds1s}} I_{Cds1} = \frac{1}{C_{rss1s}} I_{Crss1} + \frac{1}{C_{gs1s}} I_{Cgs1} \dots\dots\dots (A-17)$$

$$\frac{1}{C_{ds2s}} I_{Cds2} = \frac{1}{C_{rss2s}} I_{Crss2} + \frac{1}{C_{gs2s}} I_{Cgs2} \dots\dots\dots (A-18)$$

以上より各電流経路の電圧方程式のラプラス変換式が導出された。

A.3 電圧方程式(4-1)-(4-6)の導出

本章では(A-13)-(A-18)のラプラス変換式より 4.2.2 の(4-1)-(4-6)の導出を行う。まず、(A-17)及び(A-18)式を電流関係式 $I_{Cds}=I_{Ld}-I_{Crss}$ 、 $I_{Cgs}=I_{Crss}-I_{Rg}$ より変形し、整理すると次の式が導出される。

$$I_{Rg1} = \left(1 + \frac{C_{gs1}}{C_{rss1}} + \frac{C_{gs1}}{C_{ds1}} \right) I_{Crss1} - \frac{C_{gs1}}{C_{ds1}} I_{Ld1} \dots\dots\dots (A-19)$$

$$I_{Rg2} = \left(1 + \frac{C_{gs2}}{C_{rss2}} + \frac{C_{gs2}}{C_{ds2}} \right) I_{Crss2} - \frac{C_{gs2}}{C_{ds2}} I_{Ld2} \dots\dots\dots (A-20)$$

ここで (A-19)-(A-20)は(4-1)-(4-2)は同式となる。

付録 電流振動モデル構築

続いて(A-13)-(A-14)に電流関係式 $I_{Ls}=I_{Ld}-I_{Rg}$, $I_{Cgs}=I_{Crss}-I_{Rg}$ を適応すると次の式となる。

$$\frac{1}{C_{gs1s}} I_{Crss1} + L_{s1s} I_{Ld1} + \frac{E_c}{s} - dL_{s1i}o = \left\{ (L_{g1} + L_{s1})s + R_{g1} + \frac{1}{C_{gs1s}} \right\} I_{Rg1} \dots\dots (A-21)$$

$$\frac{1}{C_{gs2s}} I_{Crss2} + L_{s2s} I_{Ld2} + \frac{E_c}{s} - (1-d)L_{s2i}o = \left\{ (L_{g2} + L_{s2})s + R_{g2} + \frac{1}{C_{gs2s}} \right\} I_{Rg2} (A-22)$$

ここで、(A-19)-(A-20)を(A-21)-(A-22)に代入すると次の式となる。

$$\begin{aligned} & \frac{1}{C_{gs1s}} I_{Crss1} + L_{s1s} I_{Ld1} + \frac{E_c}{s} - dL_{s1i}o \\ &= \left\{ (L_{g1} + L_{s1})s + R_{g1} + \frac{1}{C_{gs1s}} \right\} \left\{ \left(1 + \frac{C_{gs1}}{C_{rss1}} + \frac{C_{gs1}}{C_{ds1}} \right) I_{Crss1} - \frac{C_{gs1}}{C_{ds1}} I_{Ld1} \right\} (A-23) \end{aligned}$$

$$\begin{aligned} & \frac{1}{C_{gs2s}} I_{Crss2} + L_{s2s} I_{Ld2} + \frac{E_c}{s} - (1-d)L_{s2i}o \\ &= \left\{ (L_{g2} + L_{s2})s + R_{g2} + \frac{1}{C_{gs2s}} \right\} \left\{ \left(1 + \frac{C_{gs2}}{C_{rss2}} + \frac{C_{gs2}}{C_{ds2}} \right) I_{Crss2} - \frac{C_{gs2}}{C_{ds2}} I_{Ld2} \right\} (A-24) \end{aligned}$$

ここで、 I_{Crss1} 及び I_{Crss2} について解くと次の式が導出される。

$$I_{Crss1} = \frac{\left[\left\{ \left(1 + \frac{C_{gs1}}{C_{ds1}} \right) L_{s1} + \frac{C_{gs1}}{C_{ds1}} L_{g1} \right\} s + \frac{C_{gs1}}{C_{ds1}} R_{g1} + \frac{1}{C_{ds1s}} \right] I_{Ld1} + \frac{E_c}{s} - dL_{s1i}o}{\left(1 + \frac{C_{gs1}}{C_{rss1}} + \frac{C_{gs1}}{C_{ds1}} \right) \left\{ (L_{s1} + L_{g1})s + R_{g1} + \frac{1}{C_{gs1s}} \right\} - \frac{1}{C_{gs1s}}} \dots\dots (A-25)$$

$$I_{Crss2} = \frac{\left[\left\{ \left(1 + \frac{C_{gs2}}{C_{ds2}} \right) L_{s2} + \frac{C_{gs2}}{C_{ds2}} L_{g2} \right\} s + \frac{C_{gs2}}{C_{ds2}} R_{g2} + \frac{1}{C_{ds2s}} \right] I_{Ld2} + \frac{E_c}{s} - (1-d)L_{s2i}o}{\left(1 + \frac{C_{gs2}}{C_{rss2}} + \frac{C_{gs2}}{C_{ds2}} \right) \left\{ (L_{s2} + L_{g2})s + R_{g2} + \frac{1}{C_{gs2s}} \right\} - \frac{1}{C_{gs2s}}} \dots (A-26)$$

ここで、(A-25)-(A-26)は(4-3)-(4-4)と同式となる。

最後に(A-15), (A-16)に電流関係式 $I_{Lp}=I_{Ld1}+I_{Ld2}$, $I_{Cds}=I_{Ld}-I_{Crss}$, $I_{Ls}=I_{Ld}-I_{Rg}$ を適応して整理すると次の式が導出される。

$$\left[(L_p + L_{d1} + L_{s1})s + R_p + R_1 + \frac{1}{C_{ds1s}} \right] I_{Ld1} + (L_{ps} + R_p) I_{Ld2} - \frac{1}{C_{ds1s}} I_{Crss1} - L_{s1s} I_{Rg1} - d \left(\frac{1}{d} L_p + L_{d1} + L_{s1} \right) i_o = 0 \dots\dots\dots (A-27)$$

$$(L_{ps} + R_p) I_{Ld1} + \left[(L_p + L_{d2} + L_{s2})s + R_p + R_2 + \frac{1}{C_{ds2s}} \right] I_{Ld2} - \frac{1}{C_{ds2s}} I_{Crss2} - L_{s2s} I_{Rg2} - (1-d) \left(\frac{1}{1-d} L_p + L_{d2} + L_{s2} \right) i_o = 0 \dots\dots (A-28)$$

ここで, (A-27)-(A-28)は(4-5)-(4-6)と同式となる。

A.4 ドレイン電流式 i_{Ld1} の導出

本章では 4.2.2 の(4-7)の導出を行う。まず(4-1)に(4-3)を代入すると次の式となる。

$$I_{Rg1} = \frac{\left\langle \left(1 + \frac{C_{gs1}}{C_{rss1}} + \frac{C_{gs1}}{C_{ds1}} \right) \left[\left\{ \left(1 + \frac{C_{gs1}}{C_{ds1}} \right) L_{s1} + \frac{C_{gs1}}{C_{ds1}} L_{g1} \right\} s + \frac{C_{gs1}}{C_{ds1}} R_{g1} + \frac{1}{C_{ds1s}} \right] \right\rangle}{\left(1 + \frac{C_{gs1}}{C_{rss1}} + \frac{C_{gs1}}{C_{ds1}} \right) \left\{ (L_{s1} + L_{g1})s + R_{g1} + \frac{1}{C_{gs1s}} \right\} - \frac{1}{C_{gs1s}}} - \frac{1}{C_{gs1s}} - \frac{C_{gs1}}{C_{ds1}} \left(1 + \frac{C_{gs1}}{C_{rss1}} + \frac{C_{gs1}}{C_{ds1}} \right) \left\{ (L_{s1} + L_{g1})s + R_{g1} + \frac{1}{C_{gs1s}} \right\} + \frac{1}{C_{ds1s}} \right\rangle I_{Ld1} + \frac{\left(1 + \frac{C_{gs1}}{C_{rss1}} + \frac{C_{gs1}}{C_{ds1}} \right) \left\{ (L_{s1} + L_{g1})s + R_{g1} + \frac{1}{C_{gs1s}} \right\} - \frac{1}{C_{gs1s}}}{\left(1 + \frac{C_{gs1}}{C_{rss1}} + \frac{C_{gs1}}{C_{ds1}} \right) \left\{ (L_{s1} + L_{g1})s + R_{g1} + \frac{1}{C_{gs1s}} \right\} - \frac{1}{C_{gs1s}}} \dots\dots\dots (A-29)$$

同様に(4-2)を(4-4)に代入すると次の式となる。

$$\begin{aligned}
 I_{Rg2} = & \frac{\left\langle \left(1 + \frac{C_{gs2}}{C_{rss2}} + \frac{C_{gs2}}{C_{ds2}} \right) \left[\left\{ \left(1 + \frac{C_{gs2}}{C_{ds2}} \right) L_{s2} + \frac{C_{gs2}}{C_{ds2}} L_{g2} \right\} s + \frac{C_{gs2}}{C_{ds2}} R_{g2} + \frac{1}{C_{ds2}s} \right] \right\rangle}{\left(1 + \frac{C_{gs2}}{C_{rss2}} + \frac{C_{gs2}}{C_{ds2}} \right) \left\{ (L_{s2} + L_{g2})s + R_{g2} + \frac{1}{C_{gs2}s} \right\} - \frac{1}{C_{gs2}s}} \\
 & + \frac{-\frac{C_{gs2}}{C_{ds2}} \left(1 + \frac{C_{gs2}}{C_{rss2}} + \frac{C_{gs2}}{C_{ds2}} \right) \left\{ (L_{s2} + L_{g2})s + R_{g2} + \frac{1}{C_{gs2}s} \right\} + \frac{1}{C_{ds2}s} \right\rangle I_{Ld2}}{\left(1 + \frac{C_{gs2}}{C_{rss2}} + \frac{C_{gs2}}{C_{ds2}} \right) \left\{ (L_{s2} + L_{g2})s + R_{g2} + \frac{1}{C_{gs2}s} \right\} - \frac{1}{C_{gs2}s}} \\
 & + \frac{\left(1 + \frac{C_{gs2}}{C_{rss2}} + \frac{C_{gs2}}{C_{ds2}} \right) \left(\frac{E_c}{s} - (1-d)L_{s2}i_o \right)}{\left(1 + \frac{C_{gs2}}{C_{rss2}} + \frac{C_{gs2}}{C_{ds2}} \right) \left\{ (L_{s2} + L_{g2})s + R_{g2} + \frac{1}{C_{gs2}s} \right\} - \frac{1}{C_{gs2}s}} \dots\dots\dots (A-30)
 \end{aligned}$$

以上により求めた(A-29)-(A-30)及び(4-3)-(4-4)を(4-5)-(4-6)に代入すると次の式となる。

$$\begin{aligned}
 & \left\{ (L_p + L_{d1} + L_{s1})s + R_p + R_1 + \frac{1}{C_{ds1}s} \right\} I_{Ld1} + (L_{ps} + R_p) I_{Ld2} \\
 & - \frac{\frac{1}{C_{ds1}s} \left[\left\{ \left(1 + \frac{C_{gs1}}{C_{ds1}} \right) L_{s1} + \frac{C_{gs1}}{C_{ds1}} L_{g1} \right\} s + \frac{C_{gs1}}{C_{ds1}} R_{g1} + \frac{1}{C_{ds1}s} \right] I_{Ld1} + \frac{1}{C_{ds1}s} \left(\frac{E_c}{s} - dL_{s1}i_o \right)}{\left(1 + \frac{C_{gs1}}{C_{rss1}} + \frac{C_{gs1}}{C_{ds1}} \right) \left\{ (L_{s1} + L_{g1})s + R_{g1} + \frac{1}{C_{gs1}s} \right\} - \frac{1}{C_{gs1}s}} \\
 & - \frac{L_{s1}s \left\langle \left(1 + \frac{C_{gs1}}{C_{rss1}} + \frac{C_{gs1}}{C_{ds1}} \right) \left[\left\{ \left(1 + \frac{C_{gs1}}{C_{ds1}} \right) L_{s1} + \frac{C_{gs1}}{C_{ds1}} L_{g1} \right\} s + \frac{C_{gs1}}{C_{ds1}} R_{g1} + \frac{1}{C_{ds1}s} \right] \right\rangle}{\left(1 + \frac{C_{gs1}}{C_{rss1}} + \frac{C_{gs1}}{C_{ds1}} \right) \left\{ (L_{s1} + L_{g1})s + R_{g1} + \frac{1}{C_{gs1}s} \right\} - \frac{1}{C_{gs1}s}} \\
 & + \frac{-\frac{C_{gs1}}{C_{ds1}} \left(1 + \frac{C_{gs1}}{C_{rss1}} + \frac{C_{gs1}}{C_{ds1}} \right) \left\{ (L_{s1} + L_{g1})s + R_{g1} + \frac{1}{C_{gs1}s} \right\} + \frac{1}{C_{ds1}s} \right\rangle I_{Ld1}}{\left(1 + \frac{C_{gs1}}{C_{rss1}} + \frac{C_{gs1}}{C_{ds1}} \right) \left\{ (L_{s1} + L_{g1})s + R_{g1} + \frac{1}{C_{gs1}s} \right\} - \frac{1}{C_{gs1}s}} \\
 & + \frac{L_{s1}s \left(1 + \frac{C_{gs1}}{C_{rss1}} + \frac{C_{gs1}}{C_{ds1}} \right) \left(\frac{E_c}{s} - dL_{s1}i_o \right)}{\left(1 + \frac{C_{gs1}}{C_{rss1}} + \frac{C_{gs1}}{C_{ds1}} \right) \left\{ (L_{s1} + L_{g1})s + R_{g1} + \frac{1}{C_{gs1}s} \right\} - \frac{1}{C_{gs1}s}}
 \end{aligned}$$

$$-d\left(\frac{1}{d}L_p + L_{d1} + L_{s1}\right)i_o = 0 \dots\dots\dots (A-31)$$

$$\begin{aligned} & (L_{pS} + R_p)I_{Ld1} + \left\{ (L_p + L_{d2} + L_{s2})s + R_p + R_2 + \frac{1}{C_{ds2}s} \right\} I_{Ld2} \\ & \frac{1}{C_{ds2}s} \left[\left\{ \left(1 + \frac{C_{gs2}}{C_{ds2}} \right) L_{s2} + \frac{C_{gs2}}{C_{ds2}} L_{g2} \right\} s + \frac{C_{gs2}}{C_{ds2}} R_{g2} + \frac{1}{C_{ds2}s} \right] I_{Ld2} + \frac{1}{C_{ds2}s} \left(\frac{E_c}{s} - (1-d)L_{s2}i_o \right) \\ & \frac{\left(1 + \frac{C_{gs2}}{C_{rss2}} + \frac{C_{gs2}}{C_{ds2}} \right) \left\{ (L_{s2} + L_{g2})s + R_{g2} + \frac{1}{C_{gs2}s} \right\} - \frac{1}{C_{gs2}s}}{\left(1 + \frac{C_{gs2}}{C_{rss2}} + \frac{C_{gs2}}{C_{ds2}} \right) \left\{ (L_{s2} + L_{g2})s + R_{g2} + \frac{1}{C_{gs2}s} \right\} - \frac{1}{C_{gs2}s}} \\ & \frac{L_{s2}s \left\{ \left(1 + \frac{C_{gs2}}{C_{rss2}} + \frac{C_{gs2}}{C_{ds2}} \right) \left\{ \left(1 + \frac{C_{gs2}}{C_{ds2}} \right) L_{s2} + \frac{C_{gs2}}{C_{ds2}} L_{g2} \right\} s + \frac{C_{gs2}}{C_{ds2}} R_{g2} + \frac{1}{C_{ds2}s} \right\}}{\left(1 + \frac{C_{gs2}}{C_{rss2}} + \frac{C_{gs2}}{C_{ds2}} \right) \left\{ (L_{s2} + L_{g2})s + R_{g2} + \frac{1}{C_{gs2}s} \right\} - \frac{1}{C_{gs2}s}} \\ & + \frac{-\frac{C_{gs2}}{C_{ds2}} \left(1 + \frac{C_{gs2}}{C_{rss2}} + \frac{C_{gs2}}{C_{ds2}} \right) \left\{ (L_{s2} + L_{g2})s + R_{g2} + \frac{1}{C_{gs2}s} \right\} + \frac{1}{C_{ds2}s}}{\left(1 + \frac{C_{gs2}}{C_{rss2}} + \frac{C_{gs2}}{C_{ds2}} \right) \left\{ (L_{s2} + L_{g2})s + R_{g2} + \frac{1}{C_{gs2}s} \right\} - \frac{1}{C_{gs2}s}} I_{Ld2} \\ & + \frac{L_{s2}s \left(1 + \frac{C_{gs2}}{C_{rss2}} + \frac{C_{gs2}}{C_{ds2}} \right) \left(\frac{E_c}{s} - (1-d)L_{s2}i_o \right)}{\left(1 + \frac{C_{gs2}}{C_{rss2}} + \frac{C_{gs2}}{C_{ds2}} \right) \left\{ (L_{s2} + L_{g2})s + R_{g2} + \frac{1}{C_{gs2}s} \right\} - \frac{1}{C_{gs2}s}} \\ & - (1-d) \left(\frac{1}{1-d} L_p + L_{d2} + L_{s2} \right) i_o = 0 \dots\dots\dots (A-32) \end{aligned}$$

ここで(A-31)を I_{Ld2} について解くと次の式となる。

$$\begin{aligned} I_{Ld2} &= \left\langle - \left\{ (L_p + L_{d1} + L_{s1})s + R_p + R_1 + \frac{1}{C_{ds1}s} \right\} \right. \\ & \times \frac{\left[\left(1 + \frac{C_{gs1}}{C_{rss1}} + \frac{C_{gs1}}{C_{ds1}} \right) \left\{ (L_{s1} + L_{g1})s + R_{g1} + \frac{1}{C_{gs1}s} \right\} - \frac{1}{C_{gs1}s} \right]}{\left(L_{pS} + R_p \right) \left[\left(1 + \frac{C_{gs1}}{C_{rss1}} + \frac{C_{gs1}}{C_{ds1}} \right) \left\{ (L_{s1} + L_{g1})s + R_{g1} + \frac{1}{C_{gs1}s} \right\} - \frac{1}{C_{gs1}s} \right]} \end{aligned}$$

付録 電流振動モデル構築

$$\begin{aligned}
& + \frac{\frac{1}{C_{ds1s}} \left[\left\{ \left(1 + \frac{C_{gs1}}{C_{ds1}} \right) L_{s1} + \frac{C_{gs1}}{C_{ds1}} L_{g1} \right\} s + \frac{C_{gs1}}{C_{ds1}} R_{g1} + \frac{1}{C_{ds1s}} \right]}{(L_{ps} + R_p) \left[\left(1 + \frac{C_{gs1}}{C_{rss1}} + \frac{C_{gs1}}{C_{ds1}} \right) \left\{ (L_{s1} + L_{g1})s + R_{g1} + \frac{1}{C_{gs1s}} \right\} - \frac{1}{C_{gs1s}} \right]} \\
& + \frac{L_{s1s} \left\langle \left(1 + \frac{C_{gs1}}{C_{rss1}} + \frac{C_{gs1}}{C_{ds1}} \right) \left[\left\{ \left(1 + \frac{C_{gs1}}{C_{ds1}} \right) L_{s1} + \frac{C_{gs1}}{C_{ds1}} L_{g1} \right\} s + \frac{C_{gs1}}{C_{ds1}} R_{g1} + \frac{1}{C_{ds1s}} \right] \right\rangle}{(L_{ps} + R_p) \left[\left(1 + \frac{C_{gs1}}{C_{rss1}} + \frac{C_{gs1}}{C_{ds1}} \right) \left\{ (L_{s1} + L_{g1})s + R_{g1} + \frac{1}{C_{gs1s}} \right\} - \frac{1}{C_{gs1s}} \right]} \\
& + \frac{-\frac{C_{gs1}}{C_{ds1}} \left(1 + \frac{C_{gs1}}{C_{rss1}} + \frac{C_{gs1}}{C_{ds1}} \right) \left\{ (L_{s1} + L_{g1})s + R_{g1} + \frac{1}{C_{gs1s}} \right\} + \frac{1}{C_{ds1s}}}{(L_{ps} + R_p) \left[\left(1 + \frac{C_{gs1}}{C_{rss1}} + \frac{C_{gs1}}{C_{ds1}} \right) \left\{ (L_{s1} + L_{g1})s + R_{g1} + \frac{1}{C_{gs1s}} \right\} - \frac{1}{C_{gs1s}} \right]} \Bigg\rangle i_{Ld1} \\
& + \frac{\left(\frac{E_c}{s} - dL_{s1}i_o \right) \left\{ \left(1 + \frac{C_{gs1}}{C_{rss1}} + \frac{C_{gs1}}{C_{ds1}} \right) L_{s1s} + \frac{1}{C_{ds1s}} \right\}}{(L_{ps} + R_p) \left[\left(1 + \frac{C_{gs1}}{C_{rss1}} + \frac{C_{gs1}}{C_{ds1}} \right) \left\{ (L_{s1} + L_{g1})s + R_{g1} + \frac{1}{C_{gs1s}} \right\} - \frac{1}{C_{gs1s}} \right]} \\
& + \frac{\left[\left(1 + \frac{C_{gs1}}{C_{rss1}} + \frac{C_{gs1}}{C_{ds1}} \right) \left\{ (L_{s1} + L_{g1})s + R_{g1} + \frac{1}{C_{gs1s}} \right\} - \frac{1}{C_{gs1s}} \right] d \left(\frac{1}{d} L_p + L_{d1} + L_{s1} \right) i_o}{(L_{ps} + R_p) \left[\left(1 + \frac{C_{gs1}}{C_{rss1}} + \frac{C_{gs1}}{C_{ds1}} \right) \left\{ (L_{s1} + L_{g1})s + R_{g1} + \frac{1}{C_{gs1s}} \right\} - \frac{1}{C_{gs1s}} \right]} \dots \text{(A-33)}
\end{aligned}$$

(A-33)を(A-32)に代入し、 i_{Ld1} について整理すると次の式が求められる。ここで式が非常に複雑になるため、分母及び分子に分けて記載する。

(分母)

$$\begin{aligned}
& \left\langle \left\{ (L_p + L_{d1} + L_{s1})s + R_p + R_1 + \frac{1}{C_{ds1s}} \right\} \right. \\
& \times \left[\left(1 + \frac{C_{gs1}}{C_{rss1}} + \frac{C_{gs1}}{C_{ds1}} \right) \left\{ (L_{s1} + L_{g1})s + R_{g1} + \frac{1}{C_{gs1s}} \right\} - \frac{1}{C_{gs1s}} \right] \\
& \left. - \left\{ \left(1 + \frac{C_{gs1}}{C_{rss1}} + \frac{C_{gs1}}{C_{ds1}} \right) L_{s1s} + \frac{1}{C_{ds1s}} \right\} \left[\left\{ \left(1 + \frac{C_{gs1}}{C_{ds1}} \right) L_{s1} + \frac{C_{gs1}}{C_{ds1}} L_{g1} \right\} s + \frac{C_{gs1}}{C_{ds1}} R_{g1} + \frac{1}{C_{ds1s}} \right] \right\rangle
\end{aligned}$$

$$\begin{aligned}
 & + L_{s1}s \left[\frac{C_{gs1}}{C_{ds1}} \left(1 + \frac{C_{gs1}}{C_{rss1}} + \frac{C_{gs1}}{C_{ds1}} \right) \left\{ (L_{s1} + L_{g1})s + R_{g1} + \frac{1}{C_{gs1}s} \right\} - \frac{1}{C_{ds1}s} \right] \Bigg\rangle \\
 & \times \left\langle \left\{ (L_p + L_{d2} + L_{s2})s + R_p + R_2 + \frac{1}{C_{ds2}s} \right\} \right. \\
 & \times \left[\left(1 + \frac{C_{gs2}}{C_{rss2}} + \frac{C_{gs2}}{C_{ds2}} \right) \left\{ (L_{s2} + L_{g2})s + R_{g2} + \frac{1}{C_{gs2}s} \right\} - \frac{1}{C_{gs2}s} \right] \\
 & - \left\{ \left(1 + \frac{C_{gs2}}{C_{rss2}} + \frac{C_{gs2}}{C_{ds2}} \right) L_{s2}s + \frac{1}{C_{ds2}s} \right\} \left[\left\{ \left(1 + \frac{C_{gs2}}{C_{ds2}} \right) L_{s2} + \frac{C_{gs2}}{C_{ds2}} L_{g2} \right\} s + \frac{C_{gs2}}{C_{ds2}} R_{g2} + \frac{1}{C_{ds2}s} \right] \\
 & + L_{s2}s \left[\frac{C_{gs2}}{C_{ds2}} \left(1 + \frac{C_{gs2}}{C_{rss2}} + \frac{C_{gs2}}{C_{ds2}} \right) \left\{ (L_{s2} + L_{g2})s + R_{g2} + \frac{1}{C_{gs2}s} \right\} - \frac{1}{C_{ds2}s} \right] \Bigg\rangle \\
 & - (L_p s + R_p)^2 \left[\left(1 + \frac{C_{gs1}}{C_{rss1}} + \frac{C_{gs1}}{C_{ds1}} \right) \left\{ (L_{s1} + L_{g1})s + R_{g1} + \frac{1}{C_{gs1}s} \right\} - \frac{1}{C_{gs1}s} \right] \\
 & \times \left[\left(1 + \frac{C_{gs2}}{C_{rss2}} + \frac{C_{gs2}}{C_{ds2}} \right) \left\{ (L_{s2} + L_{g2})s + R_{g2} + \frac{1}{C_{gs2}s} \right\} - \frac{1}{C_{gs2}s} \right] \dots\dots\dots (A-34)
 \end{aligned}$$

(分子)

$$\begin{aligned}
 & \left\langle \left\{ \left(1 + \frac{C_{gs1}}{C_{rss1}} + \frac{C_{gs1}}{C_{ds1}} \right) L_{s1}s + \frac{1}{C_{ds1}s} \right\} \left(\frac{E_c}{s} - dL_{s1}i_o \right) \right. \\
 & + d \left(\frac{1}{d} L_p + L_{d1} + L_{s1} \right) i_o \left[\left(1 + \frac{C_{gs1}}{C_{rss1}} + \frac{C_{gs1}}{C_{ds1}} \right) \left\{ (L_{s1} + L_{g1})s + R_{g1} + \frac{1}{C_{gs1}s} \right\} - \frac{1}{C_{gs1}s} \right] \Bigg\rangle \\
 & \times \left\langle \left\{ (L_p + L_{d2} + L_{s2})s + R_p + R_2 + \frac{1}{C_{ds2}s} \right\} \right. \\
 & \times \left[\left(1 + \frac{C_{gs2}}{C_{rss2}} + \frac{C_{gs2}}{C_{ds2}} \right) \left\{ (L_{s2} + L_{g2})s + R_{g2} + \frac{1}{C_{gs2}s} \right\} - \frac{1}{C_{gs2}s} \right] \\
 & - \left\{ \left(1 + \frac{C_{gs2}}{C_{rss2}} + \frac{C_{gs2}}{C_{ds2}} \right) L_{s2}s + \frac{1}{C_{ds2}s} \right\} \left[\left\{ \left(1 + \frac{C_{gs2}}{C_{ds2}} \right) L_{s2} + \frac{C_{gs2}}{C_{ds2}} L_{g2} \right\} s + \frac{C_{gs2}}{C_{ds2}} R_{g2} + \frac{1}{C_{ds2}s} \right]
 \end{aligned}$$

$$\begin{aligned}
 & + L_{s2}s \left[\frac{C_{gs2}}{C_{ds2}} \left(1 + \frac{C_{gs2}}{C_{rss2}} + \frac{C_{gs2}}{C_{ds2}} \right) \left\{ (L_{s2} + L_{g2})s + R_{g2} + \frac{1}{C_{gs2}s} \right\} - \frac{1}{C_{ds2}s} \right] \\
 & - (L_{ps} + R_p) \left[\left(1 + \frac{C_{gs1}}{C_{rss1}} + \frac{C_{gs1}}{C_{ds1}} \right) \left\{ (L_{s1} + L_{g1})s + R_{g1} + \frac{1}{C_{gs1}s} \right\} - \frac{1}{C_{gs1}s} \right] \\
 & \times \left\langle \left[\left(1 + \frac{C_{gs2}}{C_{rss2}} + \frac{C_{gs2}}{C_{ds2}} \right) \left\{ (L_{s2} + L_{g2})s + R_{g2} + \frac{1}{C_{gs2}s} \right\} - \frac{1}{C_{gs2}s} \right] (1-d) \left(\frac{1}{1-d} L_p + L_{d2} + L_{s2} \right) i_o \right. \\
 & \left. \left\{ \left(1 + \frac{C_{gs2}}{C_{rss2}} + \frac{C_{gs2}}{C_{ds2}} \right) L_{s2}s + \frac{1}{C_{ds2}s} \right\} \left\{ \frac{E_c}{s} - (1-d)L_{s1}i_o \right\} \right\rangle \dots\dots\dots (A-35)
 \end{aligned}$$

ここで 4.2.2 における変数 $A_1, A_2, B_1, B_2, C_1, C_2$ を(A-34)-(A-35)に適用するとそれぞれ次の式となる。

(分母)

$$A_1 B_2 - (L_{ps} + R_p) A_2 C_1 \dots\dots\dots (A-36)$$

(分子)

$$B_1 B_2 - (L_{ps} + R_p)^2 C_1 C_2 \dots\dots\dots (A-37)$$

以上より，再度 i_{Ld1} について整理すると次の式が導出される。

$$i_{Ld1} = \frac{A_1 B_2 - (L_{ps} + R_p) A_2 C_1}{B_1 B_2 - (L_{ps} + R_p)^2 C_1 C_2} \dots\dots\dots (A-38)$$

ここで，(A-38)は(4-7)と同式となる。

A.5 ドレイン電流式 i_{Ld2} の導出

本章では 4.2.2 の(4-7)より Path2 に流れるドレイン電流式 i_{Ld2} を導出する。まず (A-33)を(A-7)と同様，変数に置き換えると次の式となる。

$$i_{Ld2} = \frac{-B_1}{(L_{ps} + R_p)C_1} i_{Ld1} + \frac{A_1}{(L_{ps} + R_p)C_1} \dots\dots\dots (A-39)$$

(A-39)に(A-38)を代入し，整理すると次の式が導出される。

$$I_{Ld2} = \frac{A_2 B_1 - (L_{ps} + R_p) A_1 C_2}{B_1 B_2 - (L_{ps} + R_p)^2 C_1 C_2} \dots\dots\dots (A-40)$$

以上により，Path2 に流れるドレイン電流式 i_{Ld2} が導出された。またこの時のドレイン電流式は Path1 のドレイン電流式 i_{Ld1} と比較して，分子の係数のみが互い違いとなっている関係となっている。

研究業績

学術論文

- (1) 七森公碩, 原田敏和, 梅上大勝, 山本真義, 「SiC SBD の並列接続リカバリ抑制手法の検討」, パワーエレクトロニクス学会誌, Vol. 40, pp. 76-83, 2015 年 3 月
- (2) Wilmar Martinez, Jun Imaoka, Kimihiko Nanamori, Masayoshi Yamamoto, and Takahiro Kawashima, “Recovery-Less Boost Converter with Saturable Inductor for Electric Vehicle Applications,” IEEJ Journal of Industry Applications, Vol. 135, No. 9, pp. 914-921, September 2015.
- (3) 佐々木康雄, 杉原友祐, 七森公碩, 山本真義, 「磁気結合を利用した高電力密度昇圧チョッパ回路における電流モード解析」, 電気学会部門誌 D, Vol. 136, No. 10, pp. 778-783, 2016 年 10 月
- (4) Shota Kimura, Kimihiko Nanamori, Taichi Kawakami, Jun Imaoka, Masayoshi Yamamoto, “Allowable Power Analysis and Comparison for High Power Density DC-DC Converters with Integrated Magnetic Components,” IEEJ Journal of Industry Applications, Vol.6, No. 6, pp.463-472, November 2017.
- (5) Mostafa Noah, Shun Endo, Hiroki Ishibashi, Kimihiko Nanamori, Jun Imaoka, Kazuhiro Umetani, Masayoshi Yamamoto, “A Current Sharing Method Utilizing Single

研究業績

Balancing Transformer for a Multiphase LLC Resonant Converter with Integrated Magnetics”, IEEE Journal of Emerging and Selected Topics in Power Electronics, 掲載決定

レター

- (1) Hirokatsu Umegami, Hiroki Ishibashi, **Kimihiro Nanamori**, Fumiya Hattori, and Masayoshi Yamamoto, “Basic Analysis of False Turn-on Phenomenon of Power Semiconductor Devices with Parasitic Inductances,” IET Electronics Letters, Vol. 52, No. 13, pp. 1158–1160, June 2016.

国際学会論文・海外発表論文

- (1) **Kimihiro Nanamori**, Jun Imaoka, Kenta Kono, Hideharu Tsukamoto, and Masayoshi Yamamoto, “Verification of Novel Recovery-Less Boost Converter with Saturable Inductor,” in Proc. International Conference on Renewable Energy Research and Applications (ICRERA), pp. 1-3, November 2012.
- (2) **Kimihiro Nanamori**, Shun Endo, Yasuki Kanazawa, and Masayoshi Yamamoto, “Effectiveness of a Combination of SiC MOSFETs and Auxiliary Resonant Commutated Pole Inverter,” Record of Symposium on Semiconductor Power

研究業績

- Conversion (S2PC), pp. 164-165, November 2015.
- (3) Wilmar Martinez, Mostafa Noah, Shun Endo, **Kimihiko Nanamori**, Shota Kimura, Yuki Itoh, Masayoshi Yamamoto, Jun Imaoka, and Kazuhiro Umetani, “Three-phase LLC Resonant Converter with Integrated Magnetics”, in Proc. IEEE Energy Conversion Congress & Expo. (ECCE), pp. 1-8, September 2016.
- (4) Toshihiro Iwaki, Seiya Ishiwaki, Yusuke Sugihara, Takashi Sawada, **Kimihiko Nanamori**, Mostafa Noah, Shota Kimura and Masayoshi Yamamoto, “The theoretical analysis of False-Turn-ON of GaN HEMT”, in Proc. International Conference on Materials and Systems for Sustainability (ICMaSS), pp. 1, September 2017.
- (4) Seiya Ishiwaki, Hiroki Ishibashi, Toshihiro Iwaki, Yusuke Sugihara, **Kimihiko Nanamori** and Masayoshi Yamamoto and Jun Imaoka, “An Analysis of False Turn-On Phenomenon of GaN HEMT with Parasitic Inductances And Propose Novel Design Method of Gate Resistance Value Focusing on Peak Gate Voltage”, in Proc. IEEE Energy Conversion Congress & Expo. (ECCE), pp. 1395 – 1401, September 2017.
- (5) Yusuke Sugihara, **Kimihiko Nanamori**, Seiya Ishiwaki, Yuma Hayashi, Kyota Aikawa, Kazuhiro Umetani, Eiji Hiraki and Masayoshi Yamamoto, “Analytical Investigation on Design Instruction to Avoid Oscillatory False Triggering of Fast Switching SiC-MOSFETs”, in Proc. IEEE Energy Conversion Congress & Expo. (ECCE), pp. 5113 -

研究業績

5118, September 2017.

- (6) Shota Kimura, **Kimihiko Nanamori**, Mostafa Noah, Masayoshi Yamamoto, “A Novel LLC Resonant DC-DC Converter with Integrated Transformer”, in Proc. IEEE International Telecommunications Energy Conference (INTELEC), pp. 506-510, October 2017.
- (7) Daigoro Ebisumoto, Shota Kimura, **Kimihiko Nanamori**, Mostafa Noah, Masataka Ishihara, Jun Imaoka, Masayoshi Yamamoto, “Analytical Investigation of Interleaved DC-DC Converter Using Closed-Coupled Inductor with Phase Drive Control”, in Proc. IEEE International Telecommunications Energy Conference (INTELEC), pp. 526-529, October 2017.

国内学会論文・国内発表論文

- (1) **七森公碩**, 梅上大勝, 服部文哉, 山本真義, 山口敦司, 「GaN-FET による 10MHz 駆動昇圧チョッパ」, 平成 24 年度 (第 63 回) 電気・情報関連学会中国支部連合大会, pp. 60 , 2012 年 10 月
- (2) 金澤康樹, 西垣彰紘, 石原將貴, 候虎翼, **七森公碩**, 吉田堯, 山本真義, 「デバイスのリンギング周波数と伝導ノイズに関する一考察」, 電気学会電子デバイス/半導体電力変換合同研究会, pp. 75-80, 2013 年 8 月

研究業績

- (3) 七森公碩, 金澤康樹, 山本真義, 「補助共振転流ポール方式単相インバータの効率検討」, 平成 25 年電気学会産業応用部門大会, pp. 137-138, 2013 年 8 月
- (4) 西垣彰紘, 石原將貴, 侯虎翼, 七森公碩, 吉田堯, 金澤康樹, 梅上大勝, 服部文哉, 山本真義, 「回路シミュレータを用いた誤点弧メカニズムの一検討」, 電気学会電子デバイス／半導体電力変換合同研究会, pp. 39-44, 2013 年 10 月
- (5) 石原將貴, 七森公碩, 西垣彰紘, 吉田堯, 金澤康樹, 山本真義, 山口敦司, 「双方向クランプ型ゲートドライブ回路」, 平成 25 年度 (第 64 回) 電気, 情報関連学会中国支部連合大会, pp. 99-100, 2013 年 10 月
- (6) 七森公碩, 金澤康樹, 山本真義, 「SiC MOSFET を用いた ARCP 方式単相インバータの効率検討」, 電気学会半導体電力変換／自動車家電, 民生合同研究会, pp. 43-46, 2013 年 12 月
- (7) 七森公碩, 原田敏和, 梅上大勝, 山本真義, 「SiC SBD の並列接続リカバリ抑制手法の検討」, 第 203 回パワーエレクトロニクス学会定例研究会, JIPE-40-06, pp.1-6, 2014 年 6 月
- (8) 原田敏和, 七森公碩, 梅上大勝, 山本真義, 「新素材デバイスにおける損失抑制法の最適化検討」, 平成 26 年電気学会電気, 情報, システム部門大会, pp. 1267-1272, 2014 年 9 月
- (9) 石橋寛基, 七森公碩, 西垣彰紘, 吉田堯, 梅上大勝, 山本真義, 「ゲートパルス

研究業績

- 変化におけるサージ電圧，サージ電流の減少」，平成 26 年度（第 65 回）電気，
情報関連学会中国支部連合大会，pp. 401-402，2014 年 10 月
- (10) 新谷祐介，石原將貴，七森公碩，金澤康樹，山本真義，「瞬時空間ベクトル変
調法を用いた三相電力変換システムの動作検証」，平成 26 年度（第 65 回）電
気，情報関連学会中国支部連合大会，pp. 399-400，2014 年 10 月
- (11) 七森公碩，遠藤駿，金澤康樹，山本真義，「低容量高効率補助共振転流ポール方
式 SiC インバータ」，平成 27 年電気学会産業応用部門大会，pp. 217-220，2015
年 9 月
- (12) 杉原友祐，新谷祐介，佐々木康雄，七森公碩，山本真義，「48V 系 DC/DC コン
バータの回路方式の検討」，平成 27 年度（第 66 回）電気，情報関連学会中国
支部連合大会，4-11，pp.1-2，2015 年 10 月
- (13) 石脇誠也，石橋寛基，七森公碩，山本真義，河合弘治，「サファイア基板上 GaN-
PSJ（分極超接合）トランジスタのスイッチング特性解析」，平成 28 年電気学
会産業応用部門大会，pp. 105-108，2016 年 8 月
- (14) 金澤康樹，七森公碩，山本真義，笠展幸，「モータの広範囲速度領域トルク駆
動を実現するベクトル制御」，電気学会半導体電力変換／モータドライブ合同
研究会，pp. 43-47，2017 年 1 月
- (15) 石脇誠也，岩城聡明，杉原友祐，七森公碩，山本真義，李根三，「GaN FET を

研究業績

用いた同期整流回路における安定動作設計に向けた基礎解析」, 平成 29 年電気
学会産業応用部門大会, pp. 395-398, 2017 年 8 月

受賞

- (1) 七森公碩, 「SiC SBD の並列接続リカバリ抑制手法の検討」, IEEE Industrial
Electronics Society Japan Chapter Young Engineer Award 受賞, パワーエレクトロ
ニクス学会, 2015 年 4 月

謝辞

謝辞

本研究を進めるにあたり、多くのご支援とご指導をいただきました名古屋大学 未来材料・システム研究所 山本 真義 教授に心より感謝いたしますと共に厚く御礼申し上げます。

博士後期過程 3 年次より主指導教員をご担当いただき、ご支援いただきました島根大学 総合理工学部 機械・電気電子工学科 吉田 和信 教授に深く感謝いたしますと共に厚く御礼申し上げます。

ご多忙中にも関わらず、学位審査において多くのご助言やご指導をいただきました島根大学総合理工学部 機械・電気電子工学科 神宮寺 要 教授，増田 浩次 教授に厚くお礼申し上げます。

学生生活の中で研究のみならず多くの苦楽を共にしたパワーエレクトロニクス研究室のメンバー，いつも気にかけてくださいました大学，地元の友人の皆様，ここに深く感謝申し上げます。

研究活動に寛大な理解を示してもらい，また多くの面において支えとなってくれた父 七森 俊博，母 吉江，弟 旭，親戚一同に心から感謝いたします。