

次世代パワー半導体デバイス GaN HEMT
の応用に向けた基礎研究

A Fundamental Study on
the Next Generation Power Semiconductor
Device “GaN HEMT” for Applications

2016年3月

March, 2016

梅上 大勝

Hirokatsu Umegami

島根大学大学院総合理工学研究科
Graduate School of Science and Engineering,
Shimane University

目次

第1章 序論.....	1
1.1 研究背景.....	1
1.2 研究目的.....	3
1.3 論文概要.....	5
参考文献.....	7
第2章 GaN HEMT の特徴.....	10
2.1 はじめに.....	10
2.2 GaN HEMT の諸特性.....	10
2.2.1 Si と GaN の物性.....	10
2.2.2 GaN HEMT のデバイス構造.....	11
2.2.3 GaN HEMT のノーマリオフ化手法.....	12
2.2.4 GaN HEMT の逆導通特性.....	14
2.3 ゲート駆動時のデバイスの振舞い.....	16
2.4 ゲート駆動回路.....	16
2.5 誤点弧の問題.....	18
参考文献.....	25
第3章 ノーマリオフ GaN HEMT のゲート駆動回路.....	29
3.1 はじめに.....	29

目次

3.2	ゲート駆動回路の構成	29
3.2.1	キャパシタ分圧型ゲート駆動回路	29
3.2.2	アクティブ放電型ゲート駆動回路	34
3.3	ゲート駆動損失解析	39
3.3.1	キャパシタ分圧型ゲート駆動回路の損失解析	39
3.3.2	損失解析における入力容量	40
3.3.3	アクティブ放電型ゲート駆動回路の損失解析	44
3.4	解析結果と実機評価	45
3.4.1	キャパシタ分圧型ゲート駆動損失解析の結果	45
3.4.2	アクティブ放電型ゲート駆動損失解析の結果	48
3.5	電力変換回路での評価	51
3.6	まとめ	56
	参考文献	58
第4章	誤点弧発生メカニズム	59
4.1	はじめに	59
4.2	寄生インダクタンスの誤点弧への影響	60
4.2.1	リカバリを併発する場合の誤点弧	60
4.2.2	リカバリを併発しない場合の誤点弧	61
4.3	ゲートに表れる電圧振動	63
4.3.1	実験回路	63

目次

4.3.2	リカバリを併発する場合の実験結果	64
4.3.3	リカバリを併発しない場合の実験結果	68
4.4	等価回路モデルによる誤点弧解析	71
4.4.1	リカバリを併発する場合の誤点弧解析	71
4.4.2	リカバリを併発する場合のシミュレーション検証	72
4.4.3	リカバリを併発しない場合の誤点弧解析	77
4.4.4	リカバリを併発しない場合のシミュレーション検証	79
4.5	まとめ	81
	参考文献	82
第5章	結論	83
付録 A1	キャパシタ分圧型ゲート駆動回路の損失解析	85
付録 A2	アクティブ放電型ゲート駆動回路の損失解析	95
付録 A3	リカバリを併発する場合の誤点弧解析	104
付録 A4	リカバリを併発しない場合の誤点弧解析	107
	謝辞	110
	研究業績	111

第1章 序論

1.1 研究背景

シリコン半導体は様々な電子機器に使用されており、テレビやエアコンといった家電製品から携帯電話やタブレット PC といったモバイル機器まで、ありとあらゆる電気で動く機器に内蔵されている。これらの電子機器は各製品によって動作電圧が異なっているため、コンセントからの交流電圧を任意の直流電圧に変換したり、電池で動作するものは電池の電圧を昇圧または降圧したりすることで各種の半導体デバイスを動作させている。このような電圧変換を行う用途でもシリコン半導体を使用されており、特に、パワー半導体デバイスと呼ばれている。

パワーエレクトロニクスでは、パワー半導体デバイスを用いることでコンセントから得られる交流電力や電池などの直流電力を異なる交流電力もしくは直流電力に変換される⁽¹⁾⁻⁽²⁾。多くの電子機器は直流で動作するため、コンセントから得られる交流電力は直流電力に変換しなければならない。このときに行われる電力変換は交流-直流変換である。電池の直流電力を異なるレベルの直流電力に変換する電力変換を直流-直流変換と呼ぶ。また、直流電力を生み出す太陽光発電などと電力系統とを接続する場合には、直流-交流変換が必要となる。更に、交流電力を発電する風力発電などと電力系統とを接続する場合には、電圧や周波数を変換できる交流-交流変換が使用される例もある。これら4種類の電力変換を実現するためにパワー半導体デバイスは活用されている。

電力変換回路はパワー半導体デバイスによって動作するが、このパワー半導体デバイスには図 1.1 に示すように多くの種類が存在する。パワー半導体デバイスを大

第1章 序論

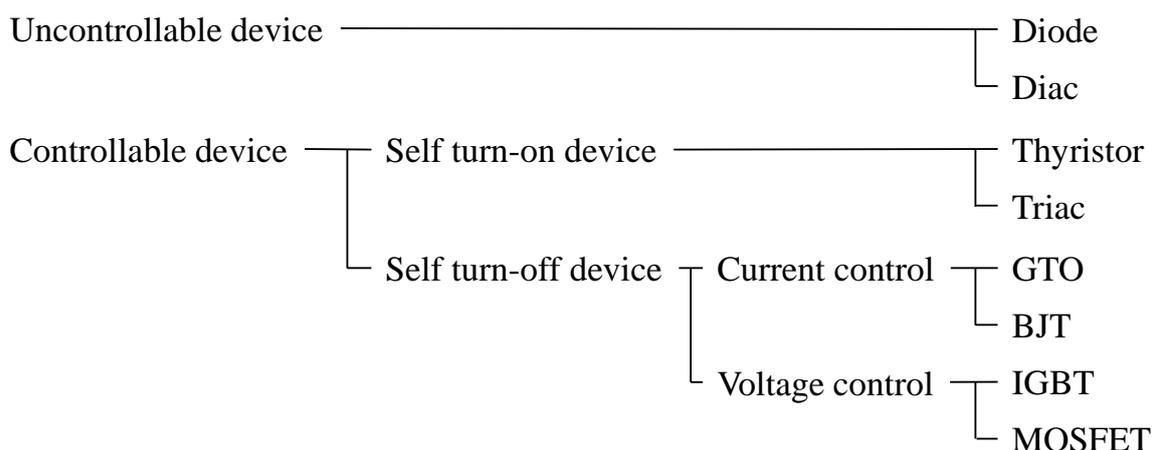


図 1.1 パワー半導体デバイスの種別

別すると制御性を持たないデバイスと制御性を持つデバイスに分けることができる。制御性を持たないデバイスの代表はダイオードであり、特定の方向にある一定以上の電圧が印加されることにより電流を流す特性をもつ⁽³⁾。交流-直流変換回路や直流-直流変換回路で主に使用されている。制御性を持つデバイスは更に、自己点弧デバイスと自己消弧デバイスに分けることができる。自己点弧デバイスはデバイスに電流を流すタイミングを制御することができるが、電流を止めることはできないデバイスでサイリスタなどがある⁽⁴⁾。自己消弧デバイスは任意のタイミングで電流を流したり止めたりすることができるデバイスである。この自己消弧デバイスは電流制御デバイスと電圧制御デバイスに分けることができる。電流制御デバイスには GTO (Gate Turn-Off Thyristor)⁽⁵⁾やバイポーラトランジスタ (BJT : Bipolar Junction Transistor)⁽⁶⁾があり、ゲートもしくはベースに流す小さな制御電流によってデバイスに流れる主電流の大きさを制御することができる。一方、電圧制御デバイスはゲートに印加する電圧によって主電流を制御することができる。電圧制御デバイスには、IGBT (Insulated Gate Bipolar Transistor)⁽⁷⁾⁻⁽⁸⁾や MOSFET (Metal Oxide Semiconductor

第1章 序論

Field Effect Transistor)⁽⁹⁾⁻⁽¹⁰⁾ などがあり、最近では、CoolMOS⁽¹¹⁾⁻⁽¹²⁾や Hybrid-MOS⁽¹³⁾ などの新しいデバイス構造のパワー半導体デバイスが開発されている。

シリコン半導体は多くのアプリケーションに応用されており、その一分野であるパワー半導体デバイスにおいても日々、新しいデバイスの開発や従来デバイスの改良が行われている。しかし、近年では、パワー半導体デバイス分野において材料面での特性限界が指摘されており、シリコン半導体が変わる新しい半導体材料が検討されている。その中で、SiC (Silicon Carbide)⁽¹⁴⁾や GaN (Gallium Nitride)⁽¹⁵⁾⁻⁽¹⁷⁾を用いた次世代パワー半導体デバイスが製品化に至っている。これらのデバイスは材料面での優位性があるため、同じ電力領域でシリコンデバイスより速度的に有利なデバイス構造をとることができる。そのため、Si IGBT の電力領域で SiC はより高速なデバイス構造である MOSFET で同じ電力を扱うことができる⁽¹⁸⁾⁻⁽¹⁹⁾。また、GaN は Si MOSFET と同じ電力領域でより高速に動作する HEMT (High Electron Mobility Transistor) 構造をとることができる⁽²⁰⁾⁻⁽²⁵⁾。とりわけ、GaN に適用される HEMT 構造は従来のシリコンを用いたパワー半導体デバイスにはなかったデバイス構造であり、電圧制御デバイスに分類される材料およびデバイス構造面で全く新しいデバイスといえる。そのため、電力変換回路への応用に向けてゲート駆動方法やゲート駆動時のデバイスの振舞いについての基礎研究を行うことが重要となる。

1.2 研究目的

次世代半導体デバイスの1つである GaN HEMT は、パワー半導体デバイスにはなかったデバイス構造をもつ電圧制御デバイスである。従って、本研究では、GaN HEMT を電力変換回路上で使用するための基礎課題となるゲート駆動回路を提案し、

第1章 序論

また、パワー半導体デバイスの誤動作の1つである誤点弧現象について解析を行うことを目的とする。

Si MOSFET を比較対象とすると GaN HEMT と以下のような差異が存在する。

・ゲート駆動のために考慮すべき点

GaN HEMT のゲートを駆動する上で以下の点について考慮する必要がある。

- (a) 低閾値電圧
- (b) 低ゲート耐電圧
- (c) ゲート-ソース間のダイオード特性
- (d) ゲート電圧に依存する逆導通特性

Si MOSFET では閾値電圧が 2~4V, ゲート耐電圧が ±20~30V であるが, GaN HEMT では閾値電圧が 0.6~2.5V, ゲート耐電圧が +2~10V, -5~10V と低い。また, MOSFET ではゲートが絶縁されているが, GaN HEMT で市販されているデバイスではゲートが非絶縁であるため, 一定以上の電圧を印加するとダイオード特性を示す。以上のゲート駆動時に考慮すべき基本事項に加え, デバイスに還流電流が流れるアプリケーションにおいては逆導通特性を考慮しなければならない。Si MOSFET ではボディダイオードをもつため, 還流電流流入時はソース-ドレイン間電圧は一定電圧にクランプされる。しかし, GaN HEMT は還流電流流入時もトランジスタとして動作するため, ゲート電圧に依存してソース-ドレイン間電圧が変化し, 電力損失に多大な影響を与える。

第1章 序論

・誤点弧解析において考慮すべき点

誤点弧解析においては以下の2点が Si MOSFET と GaN HEMT の差異となる。

(e) リカバリ特性の有無

(f) 高速動作

Si MOSFET ではボディダイオードの存在により、少数キャリアの蓄積効果によるリカバリが発生する。しかし、GaN HEMT ではリカバリが理論上発生しないため、両者の誤点弧が生じるメカニズムは異なる。また、GaN HEMT は高速に動作するため寄生のインダクタンス成分を考慮する必要がある。

以上の点を考慮し、簡易な構成のゲート駆動回路を2つ提案する。そして、各ゲート駆動回路のゲート駆動損失解析を行い、実測結果との整合性を確認する。さらに、電力変換回路に実装し、両ゲート駆動回路の性能差を検証する。また、Si MOSFET と GaN HEMT において誤点弧の発生プロセスを考察し、実機およびシミュレーションにて誤点弧発生プロセスを検証する。さらに、理論解析による考察を行う。

1.3 研究概要

本論文は全5章で構成され、各章の内容は以下の通りである。

第1章では、シリコンのパワー半導体デバイスとその制御性を元に分類を行った。また、シリコンの物性限界からシリコンに代わる新たな次世代パワー半導体デバイスの材料の1つとして GaN を取り上げた。そして、Si MOSFET と GaN HEMT のデバイス面での差異を示し、研究目的とそれを達成する手順について述べた。

第1章 序論

第2章では、GaN HEMT の特徴と基礎事項について取りまとめる。ゲート駆動回路を構成する上での考慮すべき点となる GaN HEMT の逆導通時のデバイスの振舞いを示す。また、解析を行う誤点弧のタイミングと2種類のアプローチの仕方について述べる。

第3章では、非絶縁ゲートを有する GaN HEMT に適したゲート駆動回路として、簡易な構成であるキャパシタ分圧型ゲート駆動回路と、逆導通損失を低減することができるアクティブ放電型ゲート駆動回路の2種のゲート駆動回路を提案し、各ゲート駆動回路の動作モードを示す。双方のゲート駆動損失について解析を行い、実験結果との整合性を確認する。そして、電力変換回路の1つである LLC コンバータに実装し、ゲート駆動回路が電力変換効率に与える影響を示す。

第4章では、リカバリの有無、また、寄生インダクタンスの影響に着目した誤点弧の発生メカニズムの考察を行った。従来までの寄生容量のみの考えに基づく誤点弧の発生メカニズムに寄生インダクタンスの影響も考慮にいった考察を行っている。さらに、Si MOSFET と GaN HEMT ではリカバリの有無という差異があり、この差異による発生メカニズムの違いについても考察した。また、実験結果とシミュレーション結果から考察内容の妥当性を明らかにする。そして、等価回路モデルによる理論解析を行い、更に考察を深める。

第5章では、本論文の成果と GaN HEMT を駆動する上での検討事項についての総括を述べる。

参考文献

- (1) E. W. Newell, "Power electronics --- Emerging from Limbo," *IEEE Trans. Indus. Appl.*, Vol. IA-10, Issue 1, pp. 7-11, Jan. 1974.
- (2) 山本正和, 「パワーエレクトロニクスハンドブック」, R&D プランニング, 2002年2月
- (3) W. Shockley, "The Theory of p-n Junctions in Semiconductors and p-n Junction Transistors," *Bell System Tech. Journal*, Vol. 28, Issue 3, pp. 435-489, Jul. 1949.
- (4) J. L. Moll, M. Tanenbaum, J. M. Goldey and N. Holonyak, "P-N-P-N Transistor Switches," *Proc. IRE*, Vol. 44, Issue 9, pp. 1174-1182, Sep. 1956.
- (5) E. D. Wolley, "Gate turn-off in p-n-p-n devices," *IEEE Trans. Electron Devices*, Vol. ED-13, Issue 7, pp. 590-597, Jul. 1966.
- (6) W. Shockley, M. Sparks and G. K. Teal, "p-n Junction Transistors," *Phys. Rev.*, Vol. 83, No. 1, pp. 151-162, Jul. 1951.
- (7) J. P. Russell, A. M. Goodman, L. A. Goodman and J. M. Neilson, "The COMFET - A new high conductance MOS-gated device," *IEEE Electron Devices Lett.*, Vol. 4, Issue 3, pp. 63-65, Mar. 1983.
- (8) B. J. Baliga, M. S. Adler, R. P. Love, P. V. Gray and N. D. Zommer, "The insulated gate transistor: A new three-terminal MOS-controlled bipolar power device," *IEEE Trans. Electron Devices*, Vol. 31, Issue 6, pp. 821-828, Jun. 1984.
- (9) S. R. Hoffstein and F. P. Heiman, "The Silicon Insulated-Gate Field Effect Transistor," *Proc. IEEE*, Vol. 51, Issue 9, pp. 1190-1202, Sep. 1963.
- (10) H. G. Dill, "A New Insulated Gate Tetrode with High Drain Breakdown Potential and Low Miller Feedback Capacitance," *IEEE Trans. Electron Devices*, Vol. 15, Issue 10, pp. 717-728, Oct. 1968.
- (11) G. Deboy, N. Marz, J. P. Stengl, H. Strack, J. Tihanyi and H. Weber, "A new generation of high voltage MOSFETs breaks the limit line of silicon," in *Proc. Inter. Electron Devices Meeting*, pp. 683-685, Dec. 1998.
- (12) L. Lorenz, G. Deboy, A. Knapp and N. Marz, "COOLMOSTM - A new milestone in high

第1章 序論

- voltage power, in *Proc. Power Semicond. Devices ICs*, pp. 3–10, May 1999.
- (13) ローム株式会社, 「MOSFET と IGBT の良特性を兼ね備えた新型トランジスタ
「Hybrid MOS」を開発」, 2013年4月
Available at: http://www.rohm.co.jp/web/japan/news-detail?news-title=2013-04-02_news&defaultGroupId=false
- (14) M. Bhatnagar and B. J. Baliga, “Comparison of 6H-SiC, 3C-SiC, and Si for Power Devices,” *IEEE Trans. Electron Devices*, Vol. 40, Issue 3, pp. 645–655, Mar. 1993.
- (15) M. A. Khan, J. N. Kuznia, A. R. Bhattarai and D. T. Olson, “Metal semiconductor field effect transistor based on single crystal GaN,” *Appl. Phys. Lett.*, 62, 1786, 1993.
- (16) Y. F. Wu, B. P. Keller, S. Keller, D. Kopolnek, P. Kozodoy, S. P. Denbaars and U. K. Mishra, “Very high breakdown voltage and large transconductance realized on GaN heterojunction field effect transistors,” *Appl. Phys. Lett.*, 64, 1438, 1996.
- (17) E. T. Yu, G. J. Sullivan, P. M. Asbeck, C. D. Wang, D. Qiao and S. S. Lau, “Measurement of piezoelectrically induced charge in GaN/AlGaN heterostructure field-effect transistors,” *Appl. Phys. Lett.*, 71, 2794, 1997.
- (18) J. Tan, J. A. Cooper, Jr., M. R. Melloch, “High-Voltage Accumulation-Layer UMOSFETs in 4H-SiC,” in *Proc. Device Resear. Conf. Digest*, pp. 88–89, Jun. 1998.
- (19) B. Ray and R. L. Spyker, “High Temperature Design and Testing of a DC-DC Power Converter with Si and SiC Devices,” in *Proc. Indust. Appl. Conf.*, Vol. 2, pp. 1261-1266, Oct. 2004.
- (20) L. S. McCarthy, P. Kozodoy, M. J. W. Rodwell, S. P. DenBaars and U. K. Mishra, “AlGaN/GaN heterojunction bipolar transistor,” *IEEE Electron Device Lett.*, Vol. 20, Issue 6, pp. 277–279, Jun. 1999.
- (21) U. K. Mishra, P. Parikh and Y. F. Wu, “AlGaN/GaN HEMTs – an overview of device operation and application,” *Proc. IEEE*, Vol. 90, Issue 6, pp. 1022–1031, Jun. 2002.
- (22) Y. Okamoto, Y. Ando, K. Hataya, T. Nakayama, H. Miyamoto, T. Inoue, M. Senda, K. Hirata, M. Kosaki, N. Shibata and M. Kuzuhara, “Improved power performance for a recessed-gate AlGaN-GaN heterojunction FET with a field-modulating plate,” *IEEE Trans. Microwave Theory Tech.*, Vol. 52, Issue 11, pp. 2536–2540, Nov. 2004.

第1章 序論

- (23) M. A. Khan, X. Hu, G. Sumin, A. Lunev, J. Yang, R. Gaska and M. S. Shur, “AlGaIn/GaN metal oxide semiconductor heterostructure field effect transistor,” *IEEE Electron Device Lett.*, Vol. 21, Issue 2, pp. 63–65, Feb. 2000.
- (24) W. Saito, Y. Takada, M. Kuraguchi, K. Tsuda and I. Omura, “Recessed-gate structure approach toward normally off high-Voltage AlGaIn/GaN HEMT for power electronics applications,” *IEEE Trans. Electron Devices*, Vol. 53, Issue 2, pp. 356–362, Feb. 2006.
- (25) Y. Uemoto, M. Hikita, H. Ueno, H. Matsuo, H. Ishida, M. Yanagihara, T. Ueda, T. Tanaka and D. Ueda, “Gate Injection Transistor (GIT) – A Normally-Off AlGaIn/GaN Power Transistor Using Conductivity Modulation,” *IEEE Trans. Electron Devices*, Vol. 54, Issue 12, pp. 3393–3399, Dec. 2007.

第2章 GaN HEMT の特徴

2.1 はじめに

本章では、GaN HEMT の基本的な性質や Si MOSFET とのパワー半導体デバイスとしての特性の違いについて述べる。次に、ゲート駆動時の基本的な電圧・電流波形の関係を示す。さらに、高速スイッチング時にゲート部に発生する電圧振動によって引き起こされる誤点弧現象について述べる。

2.2 GaN HEMT の諸特性

2.2.1 Si と GaN の物性

シリコンと GaN の物性値を表 2.1 にまとめた⁽¹⁾。GaN はシリコンに比べ、バンドギャップが 3 倍大きく、絶縁破壊電界は 10 倍以上大きい。それぞれの材料を用いてショットキーバリアダイオードを製作した場合を考えると、オン抵抗と耐電圧の関係は以下のような式で表すことができる⁽²⁾。

$$R_{on} = \frac{4V^2}{\mu\epsilon AE_c^3} \dots\dots\dots (2.1)$$

表 2.1 Si と GaN の物性⁽¹⁾

Parameter		Si	GaN
Band Gap	W_g [eV]	1.12	3.39
Critical Electric Field	E_c [MV/cm]	0.23	3.3
Electron Mobility	μ_e [cm ² /Vs]	1400	800* / 1700**
Relative Permittivity	ϵ_r	11.8	9.0
Thermal Conductivity	λ [W/cmK]	1.5	1.3

*バルクの移動度 **2DEG の移動度

第2章 GaN HEMT の特徴

R_{on} はオン抵抗, V は耐電圧, μ は透磁率, ϵ は誘電率, A はショットキーバリアダイオードのドリフト層面積, E_c は絶縁破壊電圧である。この式から耐電圧を同じとすると絶縁破壊電圧の3乗に比例してオン抵抗が小さくなることがわかる。従って, GaN を使用することにより Si よりも 1000 倍オン抵抗を下げるができる。

2.2.2 GaN HEMT のデバイス構造

GaN HEMT は, バンドギャップが異なる 2 種類の半導体 AlGaN (Aluminum Gallium Nitride) と GaN を用いたヘテロ接合構造のパワー半導体デバイスである。バンドギャップの異なる半導体を接合することによりエネルギーバンドが歪み, 伝導体準位 E_C がフェルミ準位 E_F を下回る領域が生まれる。この領域には高濃度の電子層である二次元電子ガス (2DEG: 2 Dimensional Electron Gas) が発生する (図 2.1)。2DEG は不純物をドーピングすることでキャリアを増加させているわけではないため不純物散乱が無く, また, 高い移動度を示すため高速に動作する。

具体的なデバイス構造を図 2.2 に示す。AlGaN と GaN を接合させただけではゲート電圧が 0V の状態でドレインとソースが 2DEG で繋がっているため, ノーマリオンデバイスとなっている。パワー半導体デバイスではフェイルセーフの観点からノーマリオフデバイスが求められる。

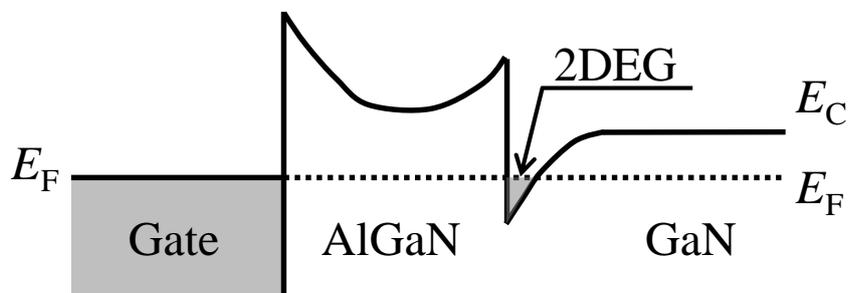


図 2.1 AlGaN と GaN のヘテロ接合

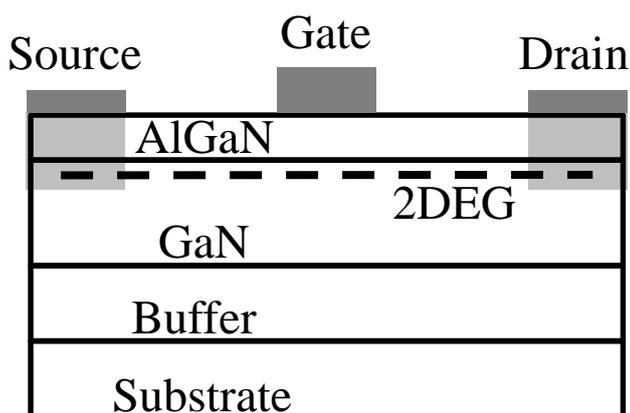


図 2.2 GaN HEMT のデバイス構造

2.2.3 GaN HEMT のノーマリオフ化手法

GaN HEMT は AlGaN と GaN を単純に接合させただけでは、ノーマリオンデバイスとなってしまふ。電力変換回路が故障時に短絡状態になってしまうことを避けるため、ノーマリオフ化手法が考案されている。図 2.3 に 4 種類のノーマリオフ化手法を示す。ゲート部の AlGaN 層が薄くなるように彫り込むリセス構造⁽³⁾、ゲート部に p 型の半導体をキャップ層として用いる方法⁽⁴⁾、その両方を用いるケース⁽⁵⁾とプロセス技術によってノーマリオフ化させる手法がある。この他に、ノーマリオンの GaN HEMT とノーマリオフの Si MOSFET をカスコード接続させるような回路技術によるノーマリオフ化手法がある⁽⁶⁾。

図 2.3(b)を例にバンド図を描くと図 2.4 のようになる。キャップ層を入れることでエネルギーバンド全体が持ち上げられるため、AlGaN と GaN の境目の歪部分がフェルミ準位より高くなり、2DEG が消失する⁽⁴⁾。この状態で、ゲートに正バイアスをかけると図 2.5 のようにバンド全体が下方に引っ張られることで 2DEG が発生し、ドレインとソース間が導通するためオン状態へと移行する。

第2章 GaN HEMT の特徴

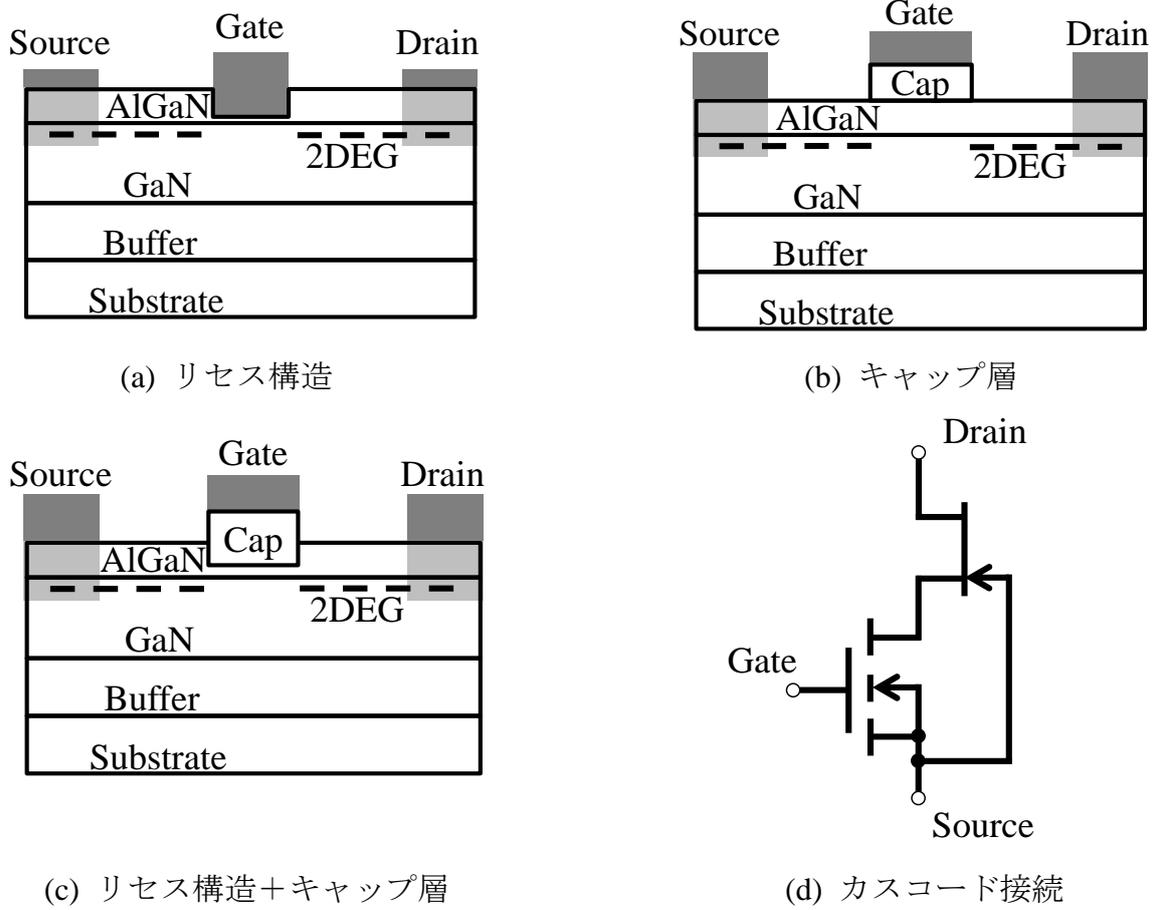


図 2.3 GaN HEMT のノーマリオフ化手法

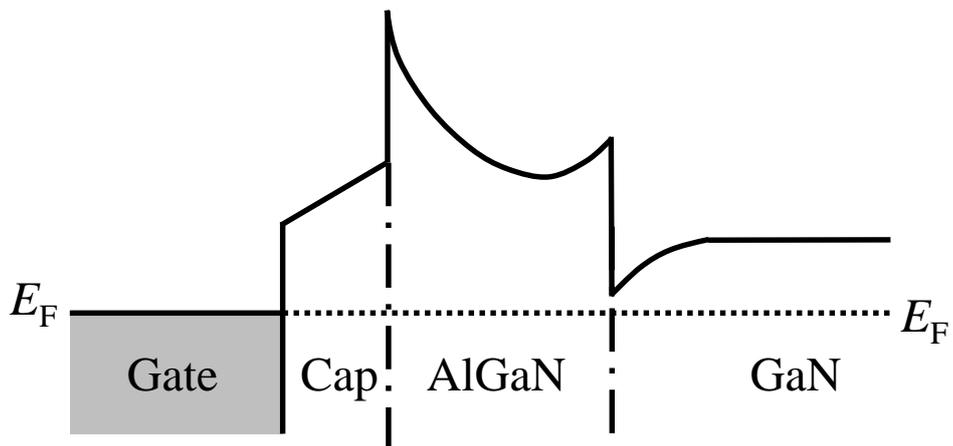


図 2.4 キャップ層を用いた Normally-off GaN HEMT のエネルギーバンド図

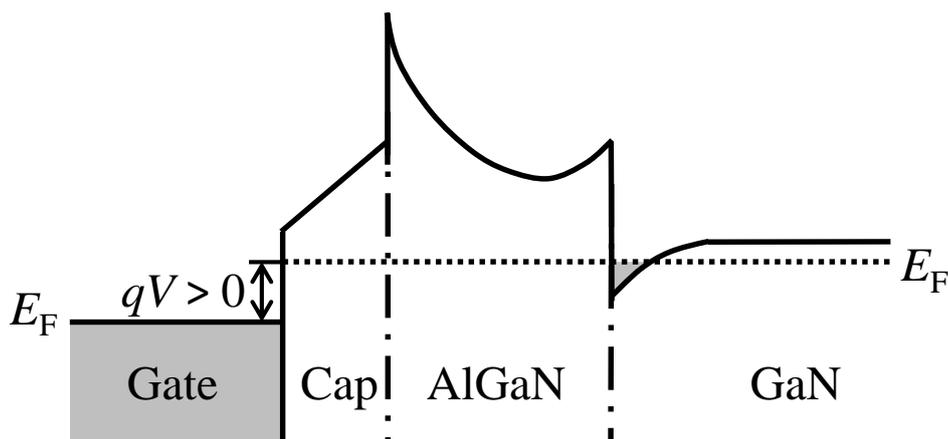


図 2.5 キャップ層を用いた Normally-off GaN HEMT のバイアス印加時のバンド図

2.2.4 GaN HEMT の逆導通特性

Si MOSFET はデバイス構造上、逆並列にダイオードが構成される。そのため、ソースからドレインに逆電流が流れる場合、ソースドレイン間の電圧はダイオードの順方向降下電圧で一定となる（図 2.6）。

GaN HEMT はデバイス構造から逆並列ダイオードをもたない。しかし、ソースからドレインに逆電流が流れるデバイスである。これは、ゲートソース間に閾値電圧が印加されるとドレインソース間に電流が流れるのと同様に、ゲートドレイン間に閾値電圧が印加されることでソースドレイン間に電流が流れるためである。通常のオン状態では、ゲートソース間電圧と同じ電圧がゲートドレイン間に加わるため、ドレインソース間はゼロ電圧となる。一方、逆電流通電時は、ゲートソース間はオフ電圧に固定されているが、ゲートドレイン間が閾値電圧になるため両者の電圧バランスが異なる（図 2.7）。そのため、ゲートソース間のオフ電圧により逆導通時のソースドレイン間電圧が変化し、以下のような関係をもつ⁽⁷⁾。

$$V_{ds} = V_{gs} - V_{gd} \dots\dots\dots (2.2)$$

第2章 GaN HEMT の特徴

(2.3)式から逆電流通電時は V_{gd} は V_{th} となり, V_{gs} が 0V の場合, V_{ds} は $-V_{th}$ で電流が流れ始める。また, V_{gs} に負電圧を印加すると, その分だけ V_{ds} のオン電圧の絶対値が大きくなる。逆導通時のソースドレイン間電圧は損失に寄与するため, ゲートのオフ電圧はアプリケーションによって考慮されるべきデバイス特性であるといえる。

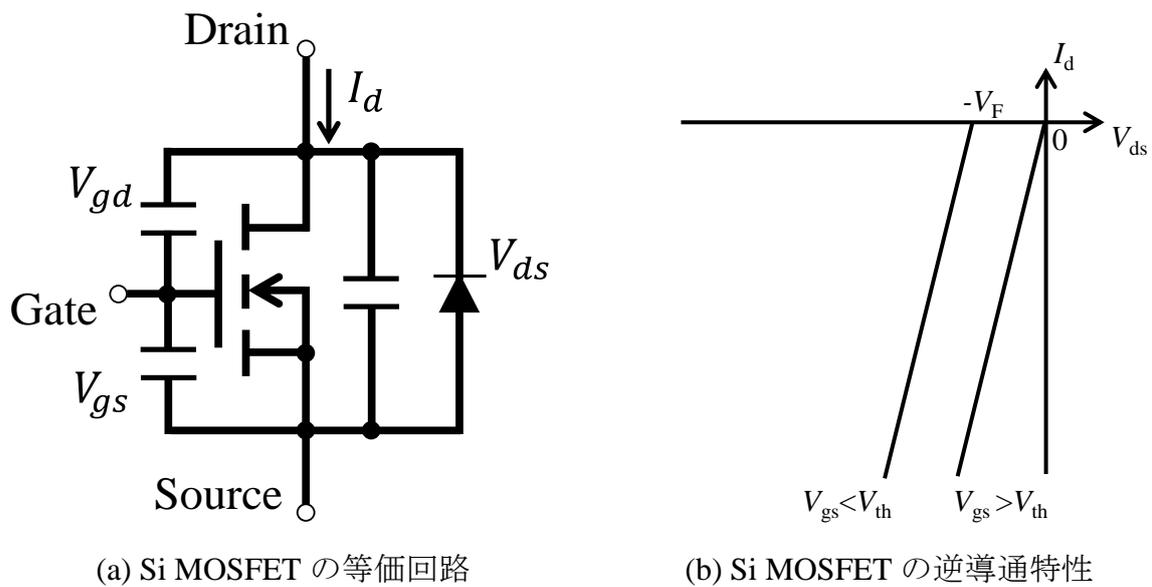


図 2.6 Si MOSFET の等価回路と逆導通特性

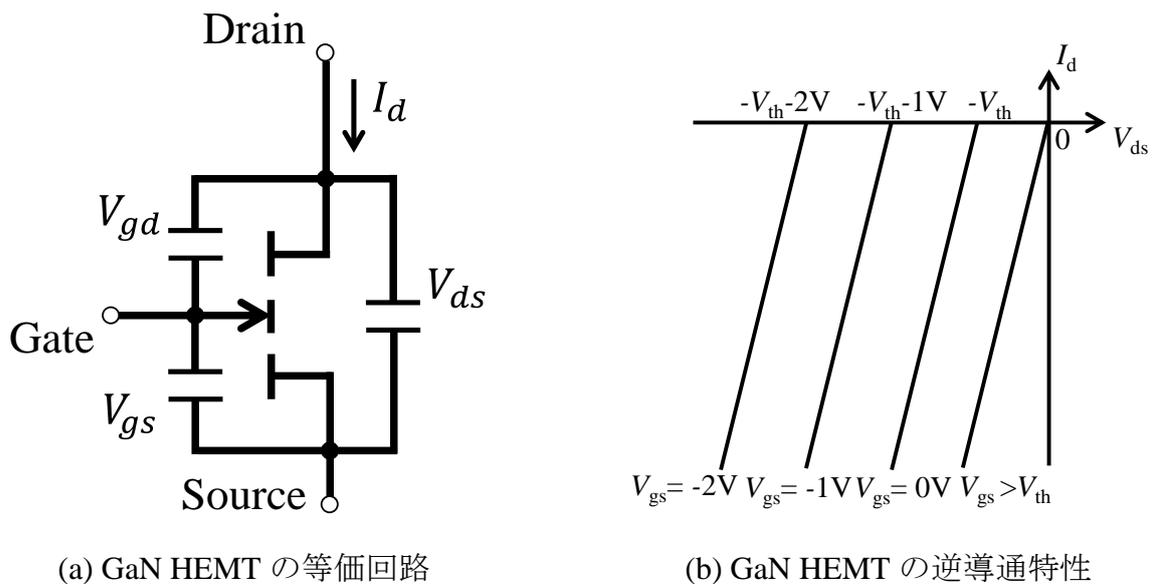


図 2.7 GaN HEMT の等価回路と逆導通特性

2.3 ゲート駆動時のデバイスの振舞い

電圧制御型の自己消弧デバイスは制御端子であるゲートに印加される電圧によって、デバイスの導電特性が変化する。そのため、デバイスのゲート端子をいかに駆動することができるかが重要となる。デバイスは理想的にはゲートに電圧を印加すると、ゲート電圧は瞬時に印加電圧と等しくなり、また、ゲートに閾値電圧以上の電圧が加えられると、瞬時にドレイン - ソース間電圧はゼロ電圧となる。しかし、デバイスには寄生容量が存在するため、瞬間的に電圧は切り替わらず、有限の遷移時間をもって電圧が変化する。

図 2.8 にゲート電圧、ドレイン電圧、ドレイン電流の遷移状態を示す。点弧時は 4 つの遷移状態に分けることができ、それぞれのデバイスの振舞いを図 2.9 に示す⁽⁸⁾⁻⁽¹¹⁾。状態 I では、ゲート電圧が閾値電圧に充電されるまで、ゲート - ソース間容量へ電荷が充電され、ゲート - ドレイン間に蓄積されている電荷が放電される。ゲート電圧が閾値電圧を超えると状態 II に移行し、デバイスにドレイン電流が流れ始める。ドレイン電流が飽和すると状態 III に移行する。状態 III は、ゲート - ドレイン間の蓄積電荷が放電し尽され、ゲート電圧と同じ電圧に充電されるまで続く。この間、ゲート電圧はプラトー電圧で一定値となり、ゲート - ドレイン間の放電と同時にドレイン - ソース間に蓄積されている電荷も放電され、電圧が下がる。状態 IV では、ゲート電圧がゲート駆動電源電圧になるまで、ゲート - ソース間容量およびゲート - ドレイン間容量が充電される。

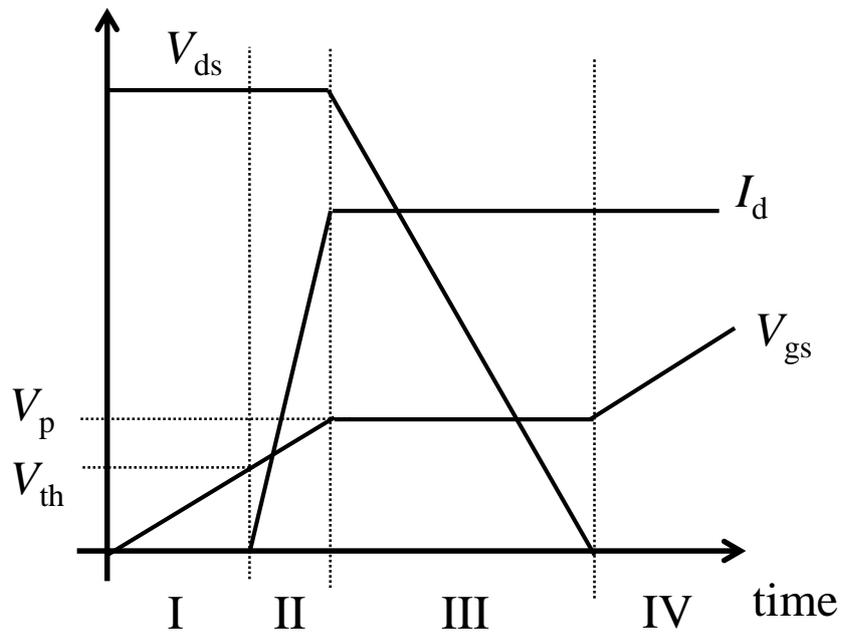


図 2.8 ゲート駆動時の各遷移波形

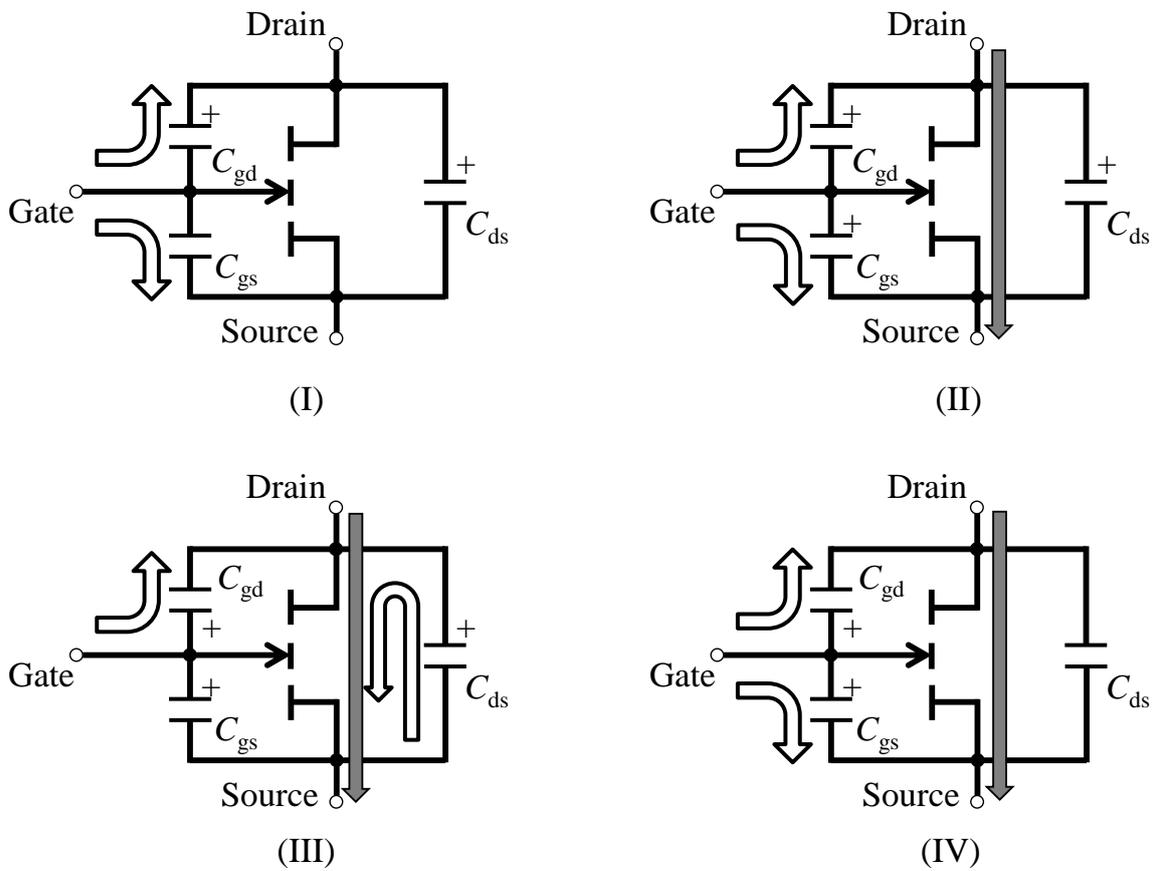


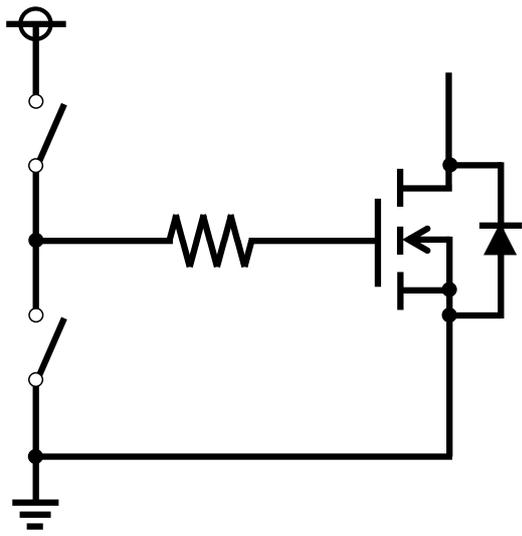
図 2.9 ゲート駆動時の各状態でのデバイスの振舞い

2.4 ゲート駆動回路

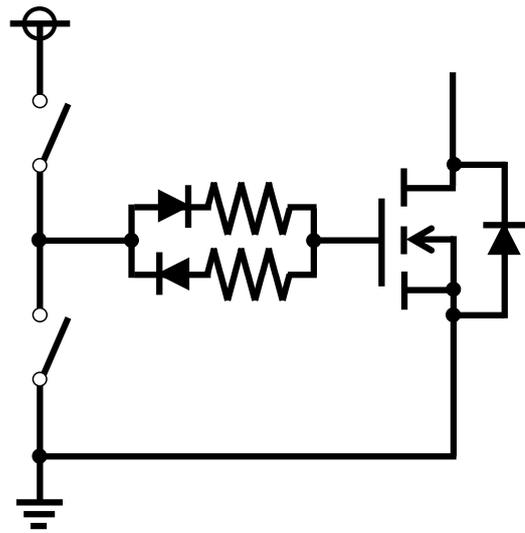
ゲート駆動回路はデバイスを安定して動作させるために必要となる回路である。また、ゲート駆動回路の構成によってスイッチング遷移時間が増加するため、安定に高速に動作させることができるゲート駆動回路が求められる。

ゲート抵抗のみを使用したゲート駆動回路が最も簡易であり、また、広く使用されている⁽¹²⁾⁻⁽¹⁴⁾ (図 2.10)。1つのゲート抵抗でゲートを駆動する場合、オン時とオフ時の時定数は等しくなるが、一般にデバイスのオン抵抗を下げるために大きなゲート電圧を印加するオーバードライブ手法が用いられることからオフ時間が長くなる。これを回避する目的で、2つのゲート抵抗を用いて充放電の時定数を変えたゲート駆動回路も用いられる。

抵抗によるゲート駆動回路は高速なスイッチングを実現するためには、抵抗値を下げる必要があるが、低抵抗なゲート駆動回路は回路全体のインピーダンスが小さくなるため、ノイズに弱くなり、ゲート電圧が振動してしまう。そこで、インダクタンスを用いた共振型のゲート駆動回路やインダクタに電流を蓄積させることにより定電流でゲート駆動する回路なども提案されている⁽¹⁵⁾⁻⁽¹⁸⁾ (図 2.11)。

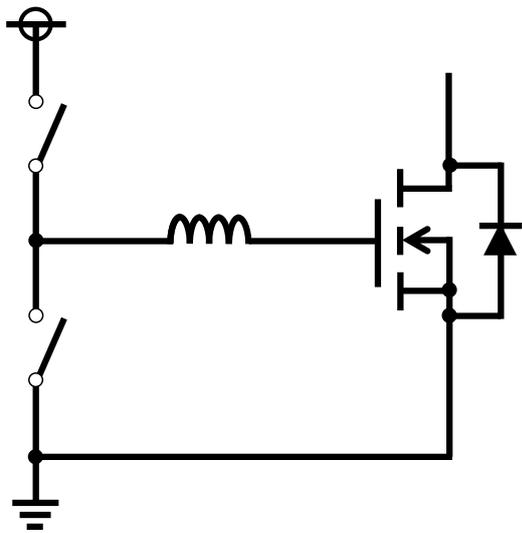


(a) 充放電の時定数が同じ駆動回路

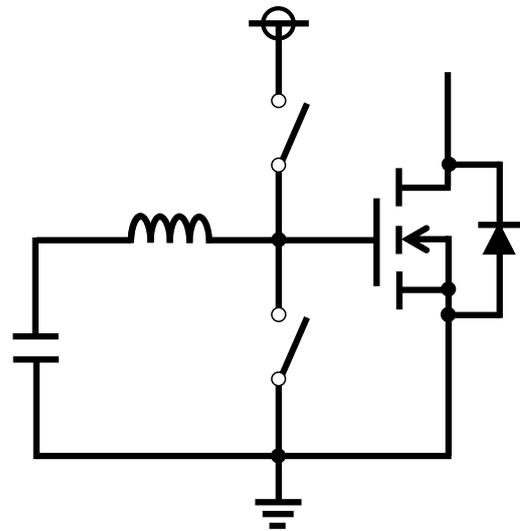


(b) 充放電の時定数が異なる駆動回路

図 2.10 抵抗を用いたゲート駆動回路



(a) 共振駆動回路



(b) 準定電流駆動回路

図 2.11 インダクタを用いたゲート駆動回路

2.5 誤点弧の問題

パワー半導体デバイスの動作を不安定にさせる要素としてゲート電圧振動とそれに伴って発生する誤点弧問題が挙げられる。誤点弧問題は、パワー半導体デバイスを 2 つ直列に接続するトーテムポール回路構成になる同期整流型降圧チョッパ回路⁽¹⁹⁾⁻⁽²³⁾やインバータ回路⁽²⁴⁾⁻⁽³⁰⁾などで技術課題となっている。また、電力変換回路の大容量化のため、パワー半導体デバイスを複数並列接続させるような場合にも問題となる⁽³¹⁾⁻⁽³²⁾。

図 2.12 にトーテムポール回路とそのゲート駆動パターンを示す。トーテムポール回路構成時には、スイッチ Q_1 と Q_2 が同時にオンすると短絡回路が構成されてしまうため 180 度位相をずらして交互に駆動し、さらに、 Q_1 と Q_2 が同時にオフするデッドタイム期間を設けることで安全性を高めている。このトーテムポール回路にインダクタンスを負荷した場合の例を図 2.13 に示す。インダクタンスを負荷すると、タイミング I, II, そして、IV ではインダクタに蓄積された電流は Q_2 を通って流れる。しかし、タイミング III では Q_2 がオフの状態でも Q_1 がオンする。このとき、 Q_2 に電源電圧 V が瞬間的に印加されることによって、 Q_2 のゲート部に電圧ノイズが発生し、 Q_2 がオンしてしまう誤点弧が発生することがある (図 2.14)。 Q_2 が誤点弧すると、短絡回路が構成されるため過大電流が流れ、スイッチが発熱し、破壊に至る危険性がある。そのため、トーテムポール回路が構成される電力変換回路では誤点弧を確実に防ぐことが求められる。

図 2.15 にローサイドスイッチである Q_2 を実際のパワー半導体デバイスに存在する寄生キャパシタンスや寄生インダクタンスを含んだ等価回路で表す。図 2.15(a)は寄生容量のみの等価回路であるが、寄生インダクタンスを無視できるスイッチング

第2章 GaN HEMT の特徴

速度の場合や簡易解析に使用される。ハイサイドである Q_1 がオンするとローサイドの Q_2 に電源電圧が印加されるが、寄生容量 C_{ds} が存在するため有限の遷移時間で Q_2 に加わる電圧が変化する。これはハイサイドの Q_1 のスイッチング速度に依存する。この電圧遷移速度に依存して Q_2 の帰還容量である C_{gd} を通してゲート部に電流が流れ込み、ゲート電圧を変動させる。この時の電流 i は以下のように表せる。

$$i = C_{gd} \frac{d}{dt} V_{ds} \dots\dots\dots (2.3)$$

また、この時の遷移時間を t_r とすると、ゲート電圧は以下の式で表される。

$$v_{gs} = R_g C_{gd} \frac{dV_{ds}}{dt} \left(1 - e^{-\frac{t_r}{(C_{gs} + C_{gd})R_g}} \right) \dots\dots\dots (2.4)$$

そのため、この帰還容量と電圧遷移速度に着目した研究がなされている^{(22), (25)-(26), (28)-(29)}。しかし、スイッチング速度が速い場合や多並列駆動した場合には寄生インダクタンスは無視できないため、図 2.15(b)の等価回路が用いられている^{(27), (30)-(33)}。

解析手法としては、時間領域やラプラス領域で数式化しているもの^{(20), (26)-(30)} や誤点弧が起こるものとして解析を進めることで誤点弧発生条件を導出しているものがある⁽²¹⁾。また、パワー半導体デバイスは印加される電圧によって寄生容量値が変化するため、誤点弧発生後、正常動作に戻る場合と発振する場合の2通り存在する(図 2.16)。そのため、ゲートソース間に発生する電圧変動の一巡伝達関数から安定判別を行うことでパワー半導体デバイスが破壊に至るかどうかを判断できるようにしている報告がある⁽³⁰⁾⁻⁽³³⁾。

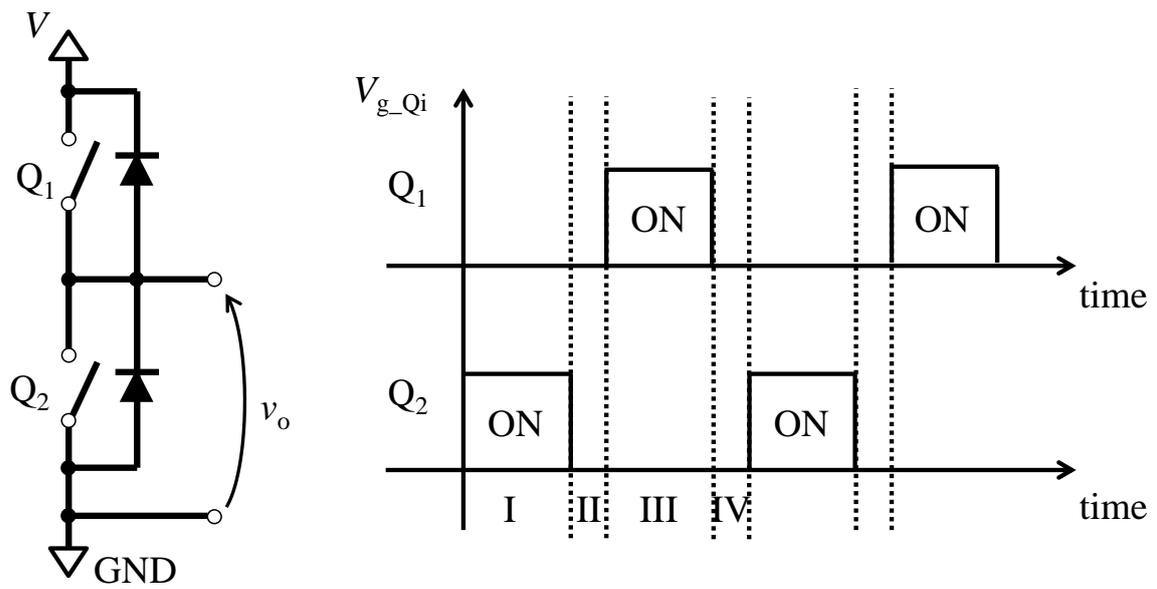


図 2.12 トーテムポール回路とその駆動タイミング

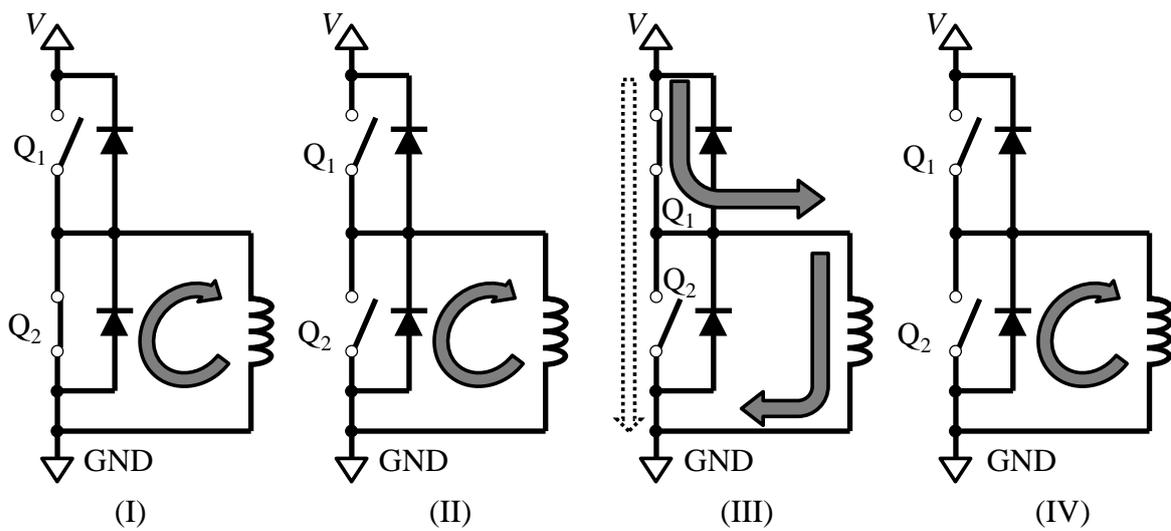


図 2.13 各駆動タイミングでの回路状態

第2章 GaN HEMT の特徴

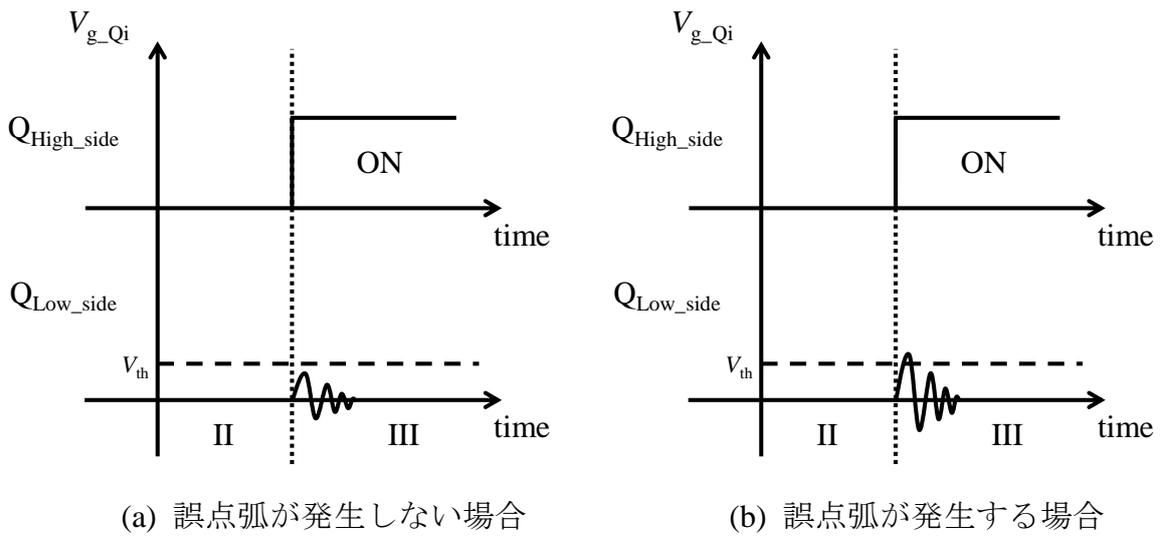


図 2.14 誤点弧が発生するゲート電圧振幅の違い

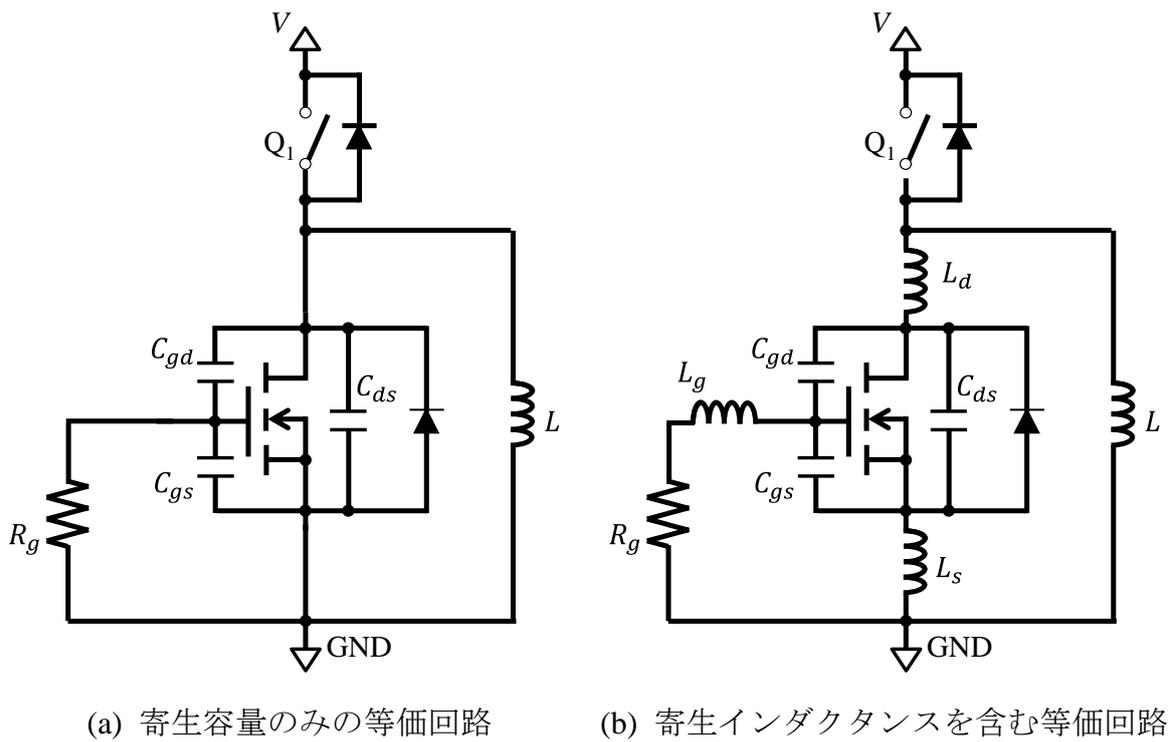


図 2.15 ローサイドスイッチの等価回路

第2章 GaN HEMT の特徴

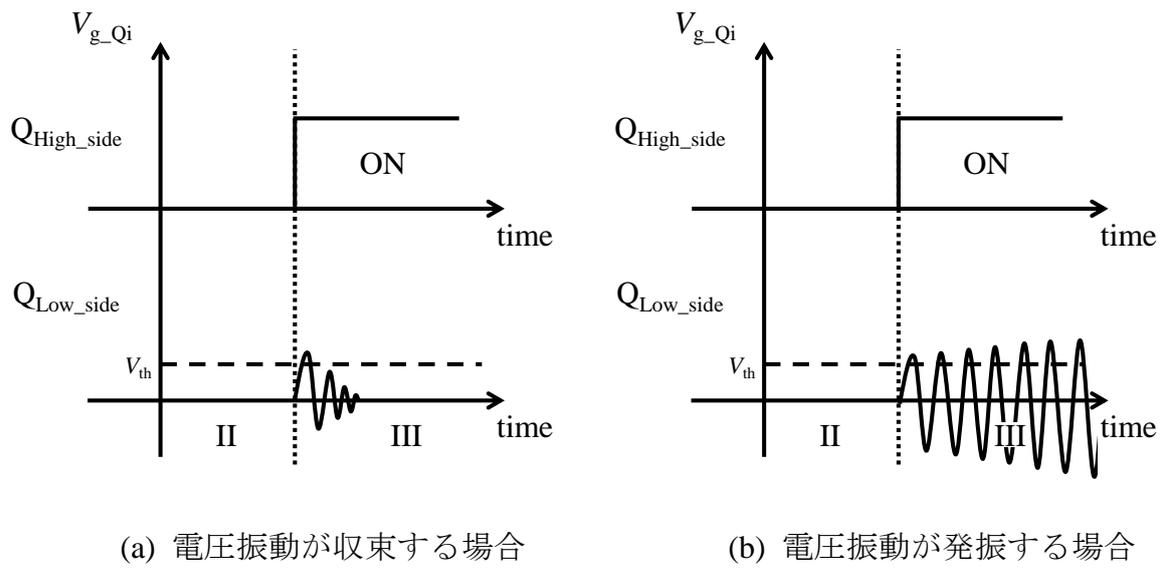


図 2.16 誤点弧発生後のゲート電圧振動の振舞い

参考文献

- (1) N. Kaminski and O. Hilt, “SiC and GaN devices – Competition or coexistence?,” in *Proc. Integr. Power Electron. Syst.*, pp. 1–11, Mar. 2012.
- (2) 菅沼克昭, 「SiC/GaN パワー半導体の実装と信頼性評価技術」, 日刊工業新聞社, 2014年12月
- (3) 池田成明, 李江, 加藤禎宏, 増田満, 吉田清輝, 「薄層 AlGaIn 構造を用いた電源用 GaN パワーデバイスの開発」, 古河電工時報第 117 号, pp. 1–5, 2006 年 1 月
- (4) 李旭, 黒田正仁, 岸本茂, 水谷孝, 中村文彦, 「p-InGaIn cap 層を用いたノーマリオフ型 AlGaIn/GaN HEMTs」, 信学技報 ED2008-177, pp. 125–129, 2008 年 11 月
- (5) N. Kaneko, O. Machida, M. Yanagihara, S. Iwakami., R. Baba., H. Goto and A. Iwabuchi, “Normally-off AlGaIn/GaN HFETs using NiOx Gate with Recess,” in *Proc. Power Semicond. Devices IC’s*, pp. 25–28, Jun. 2009.
- (6) L. C. M. Carrasco and A. J. Forsyth, “Energy Analysis and Performance Evaluation of GaN Cascode Switches in an Inverter Leg Configuration,” in *Proc. IEEE Energy Convers. Congr. Expo.*, pp. 3296–3302, Sep. 2010.
- (7) Z. Dong, Z. Zhang, X. Ren, X. Ruan and Y. Liu, “A Gate Drive Circuit With Mid-Level Voltage for GaN Transistors in A 7-MHz Isolated Resonant Converter,” in *Proc. IEEE Appl. Power Electron. Conf. Expo.*, pp. 731–736, Mar. 2015.
- (8) D. M. Joo, B. K. Lee, D. S. Kim, J. S. Kim and H. J. Kim, “Analysis of GaN HEMT-based Phase Shifted Full Bridge dc-dc Converter,” in *Proc. 37th Inter. Telec. Energy Conf.*, pp. 1268–1272, Oct. 2015.
- (9) On Semiconductor, “Understanding and Predicting Power MOSFET Switching Behavior,” Available: http://www.onsemi.jp/pub_link/Collateral/AN1090-D.PDF
- (10) Vishay, “Power MOSFET Basics: Understanding Gate Charge and Using it to Assess Switching Performance,” Available: <http://www.vishay.com/docs/73217/73217.pdf>
- (11) F. Bjoerk, J. Hancock and G. Deboy, “CoolMOS™ CP – How to make most beneficial

第 2 章 GaN HEMT の特徴

- use of the latest generation of super junction technology devices,” Infineon, Ver. 1.1, Feb. 2007.
- Available:<http://www.infineon.com/dgdl/Infineon---Application+Note---PowerMOSFETs---600V+CoolMOSTM---CP---Most+beneficial+use+of+superjunction+technologie+devices.pdf?fileId=db3a304412b407950112b40ac9a40688>
- (12) 富士電機株式会社, 「富士 IGBT モジュールアプリケーション マニュアル」, 2015 年 3 月, Available: <https://www.fujielectric.co.jp/products/semiconductor/model/igbt/application/box/doc/pdf/RH984c/RH984c.pdf>
- (13) GaN Systems, “How to Drive GaN Enhancement Mode Power Switching Transistors,” Oct. 2014.
- Available: http://www.gansystems.com/_uploads/whitepapers/982304_GN00_1_App>Note-How-to-Drive-GaN-E-Mode-Transistors-2014-10-21.pdf
- (14) M. Jones, B. Ratliff, Y. C. Chen, C. Neft and A. Bhunia, “High-Temperature Gate Drive Circuit for Silicon-Carbide JFETs,” in *Proc. Wide Bandg. Power Devic. Applic.*, pp. 72-75, Oct. 2013.
- (15) Z. Yang, S. Ye and Y. F. Liu, “A New Dual-Channel Resonant Gate Drive Circuit for Low Gate Drive Loss and Low Switching Loss,” *IEEE Trans. Power Electron.*, Vol. 23, Issue 3, pp. 1574-1583, May 2008.
- (16) D. Maksimovic, “A MOS gate drive with resonant transitions,” in *Proc. IEEE Power Electron. Special. Conf.*, pp. 527–532, Jun. 1991.
- (17) T. Lopez, G. Sauerlaender, T. Duerbaum and T. Tolle, “A Detailed Analysis of a Resonant Gate Driver for PWM Applications,” in *Proc. Appl. Power Electron. Conf. Expo.*, pp. 873–878, Feb. 2003.
- (18) H. Fujita, “A Resonant Gate-Drive Circuit Capable of High-Frequency and High-Efficiency Operation,” in *Proc. IEEE Power Electron. Motion Contr. Conf.*, pp. 351–357, May 2009.
- (19) Y. Kawaguchi, T. Kawano, H. Takei, S. Ono and A. Nakagawa, “Multi Chip Module with Minimum Parasitic Inductance for New Generation Voltage Regulator,” in *Proc. IEEE Inter. Symp. Power Semicon. Devic. IC's*, pp. 371–374, May 2005.

- (20) R. Khanna, A. Amrhein, W. Stanchina, G. Reed and Z. H. Mao, “An Analytical Model for Evaluating the Influence of Device Parasitics on Cdv/dt Induced False Turn-on in SiC MOSFETs,” in *Proc. IEEE Appl. Power Electron. Conf. Expo.*, pp. 518–525, Mar. 2013.
- (21) K. Murata and K. Harada, “Analysis of a Self Turn-on Phenomenon on the Synchronous Rectifier in a DC-DC Converter,” in *Proc. IEEE Telecom. Energy Conf.*, pp. 199–204, Oct. 2003.
- (22) K. Murata and K. Harada, “A Self Turn-on Mechanism of the Synchronous Rectifier in a DC/DC Converter,” in *Proc. IEEE Telecom. Energy Conf.*, pp. 624–646, Sep. 2004.
- (23) K. Murata, K. Harada and T. Harimoto, “Self Turn-on Loss of MOSFET as Synchronous Rectifier in DC/DC Buck Converter – in case of a Low Driving Impedance –,” in *Proc. IEEE Power Electron. Special. Conf.*, pp. 3348–3353, Jun. 2008.
- (24) S. Jahdi, O. Alatise, J. O. Gonzalez, P. Gammon, L. Ran and P. Mawby, “Investigation of Parasitic Turn-ON in Silicon IGBT and Silicon Carbide MOSFET Devices: A Technology Evaluation,” in *Proc. IEEE Power Electron. Appl.*, pp. 1–8, Sep. 2015.
- (25) S. Jahdi, O. Alatise, J. O. Gonzalez, L. Ran and P. Mawby, “Comparative Analysis of False Turn-ON in Silicon Bipolar and SiC Unipolar Power Devices,” in *Proc. IEEE Energy Convers. Congr. Expo.*, pp. 2239–2246, Sep. 2015.
- (26) S. Jahdi, O. Alatise, J. A. O. Gonzalez, R. Bonyadi, L. Ran and P. Mawby, “Temperature and Switching Rate Dependence of Crosstalk in Si-IGBT and SiC Power Modules,” *IEEE Trans. Indus. Electron.*, Vol. PP, Issue 99, pp. 1–12, Oct. 2015.
- (27) R. Bonyadi, O. Alatise, S. Jahdi, J. O. Gonzalez, L. Ran and P. A. Mawby, “Modeling of Temperature Dependent Parasitic Gate Turn-On in Silicon IGBTs,” in *Proc. Power Electron. ECCE Asia*, pp. 560–566, Jun. 2015.
- (28) S. Xu, W. Sun and D. Sun, “Analysis and Design Optimization of Brushless DC Motor’s Driving Circuit Considering the Cdv/Dt Induced Effect,” in *Proc. Energy. Conver. Congr. Expo.*, pp. 2091–2095, Sep. 2010.
- (29) T. Funaki, “A study on self turn-on phenomenon in fast switching operation of high

第2章 GaN HEMT の特徴

- voltage power MOSFET,” in *Proc. IEEE CPMT Sympo. Japan*, pp. 1–4, Nov. 2015.
- (30) K. Watanabe and J. Itoh, “Investigation of the Circuit Parameters Design in a Power Converter by using High-Frequency Power Devices,” in *Proc. Power Electron. Drive Syst.*, pp. 15–20, Dec. 2011.
- (31) T. H. Sloane, H. A. Owen and T. G. Wilson, “SWITCHING TRANSIENTS IN HIGH-FREQUENCY HIGH-POWER CONVERTERS USING POWER MOSFET’S,” in *Proc. Power Electron. Special. Conf.*, pp. 224–255, Jun. 1979.
- (32) J. G. Kassakian and D. Lau, “An Analysis and Experimental Verification of Parasitic Oscillations in Parralleled Power MOSFET’s,” *IEEE Trans. Electron Devices*, Vol. 31, Issue 7, pp. 959–963, Jul. 1984.
- (33) 梅谷 和弘, 柳生 啓佑, 「高速スイッチングに伴う GaN-FET の連鎖的誤動作に対する配線インダクタンスの依存性解析」, 電子デバイス半導体電力変換合同研究会, pp. 41–46, SPC-14-134, Oct. 2014.

第3章 ノーマリオフ GaN HEMT のゲート駆動回路

3.1 はじめに

ゲート駆動回路はパワー半導体デバイスを使用するための必須となる回路であり、デバイスの特性にあった回路構成が求められる。Si MOSFET や Si IGBT はゲート部が絶縁されているため、最も簡易なゲート駆動回路では抵抗 1 つでの構成が可能である。しかし、GaN HEMT はそのデバイス特性からゲートを駆動するためには異なる回路構成が必要となる。

本章では、ノーマリオフ GaN HEMT に適用できるゲート駆動回路として、キャパシタ分圧型ゲート駆動回路とアクティブ放電型ゲート駆動回路について取り扱う⁽¹⁾。両者の回路構成とゲート駆動損失を解析し、電力変換回路への適用事例として LLC コンバータ回路に実装する。そして、ゲート駆動回路が電力変換回路に与える影響について言及する。

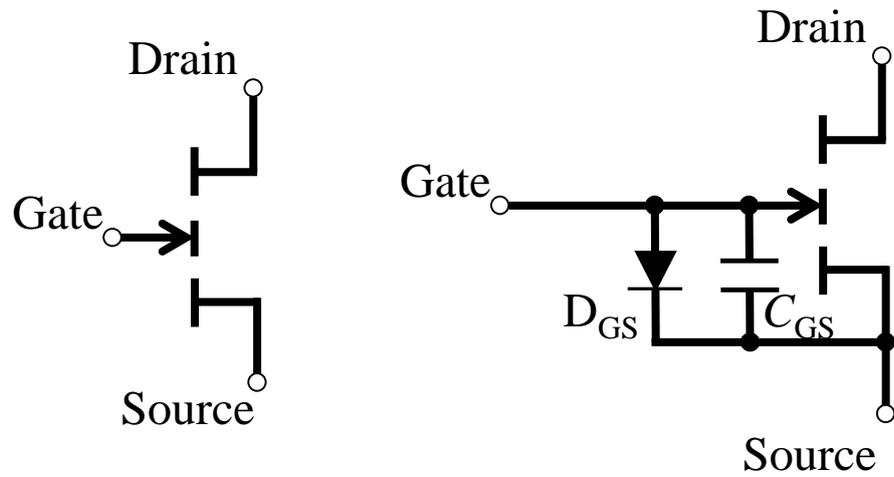
3.2 ゲート駆動回路の構成

3.2.1 キャパシタ分圧型ゲート駆動回路

本研究で用いるノーマリオフ GaN HEMT⁽²⁾⁻⁽³⁾は非絶縁型のゲート構造であるため回路図記号とゲート - ソース間の等価回路モデルは図 3.1 のようになる。ゲート - ソース間のダイオード特性は、その閾値が約 2 V である。2 V 未満でゲートを駆動する場合には、大きな駆動電流でゲートを駆動できないためスイッチング速度が遅くなることに加え、十分にオン抵抗を下げることができない。そのため、大きな駆動電流とオン抵抗を下げるためのオーバードライブを両立させる必要がある。図 3.2

第3章 ノーマリオフ GaN HEMT のゲート駆動回路

に示すようなキャパシタ分圧型ゲート駆動回路は、GaN HEMT を高速に駆動させることができる低抵抗とコンデンサの直列回路とオン状態でのゲート電流を制限する高抵抗が並列に接続されているゲート駆動回路である。コンデンサを接続していることにより、コンデンサが充電されると低抵抗側の回路には電流が流れなくなり、高抵抗側の回路で電流を制限することができる。また、キャパシタ分圧型ゲート駆動回路は、コンデンサに充電された電圧によって、GaN HEMT に負電圧を印加することができるため、閾値電圧の低い GaN HEMT の誤点弧を防ぐことができる。



(a) 回路図記号 (b) ゲート - ソース間の等価回路モデル

図 3.1 GaN HEMT の回路図記号と等価回路モデル

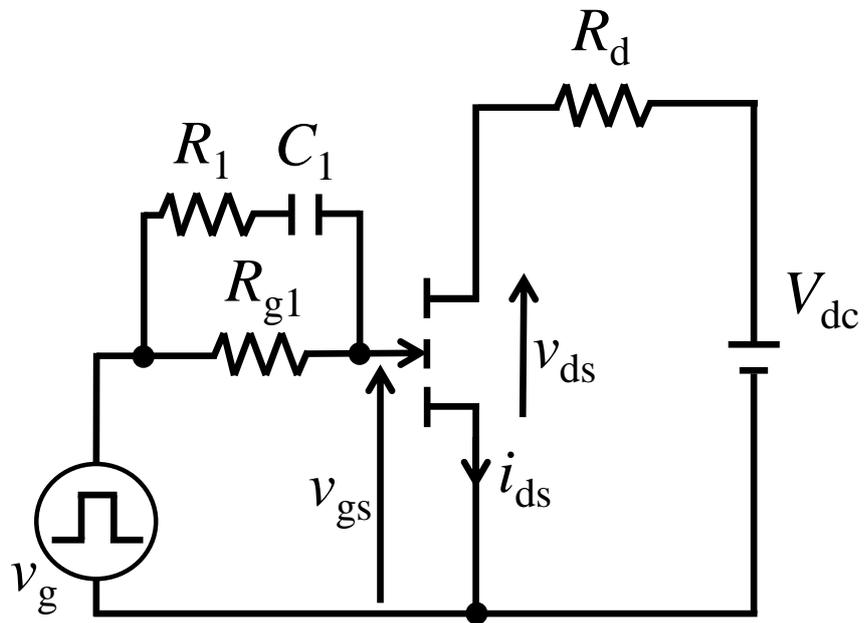


図 3.2 キャパシタ分圧型ゲート駆動回路

第3章 ノーマリオフ GaN HEMT のゲート駆動回路

キャパシタ分圧型ゲート駆動回路は5つの動作モードに分けられる (図 3.3)。

<MODE 1>

モード1では GaN HEMT の入力容量を低抵抗 R_1 と分圧コンデンサ C_1 の直列回路を介して充電する。ここで、 $R_1 \ll R_{g1}$ の条件において回路設計を行うため、主電流が流れる経路は低抵抗側の回路であると考えることができる。

<MODE 2>

モード2では、GaN HEMT の入力容量がゲート - ソース間の寄生ダイオードの閾値電圧まで充電され、ダイオードを通る経路に電流が転流する。ここでは、まだ分圧コンデンサ C_1 は完全に充電されないため低抵抗側の回路を主電流が流れる。

<MODE 3>

モード3では、分圧コンデンサ C_1 が完全に充電され、主電流が高抵抗 R_{g1} を通る経路に転流する。定常的に電流を流入させ、オン状態を維持する。

<MODE 4>

モード4では分圧コンデンサ C_1 の充電電圧を利用し、GaN HEMT の入力容量に蓄電された電荷を急速に放電させる。ここで、 $C_1 \gg C_{iss}$ であり、 $V_{C1} > V_{Ciss}$ であることから GaN HEMT の入力容量は負電圧に再充電される。

<MODE 5>

モード5では高抵抗 R_{g1} を通る経路で分圧コンデンサ C_1 と、負電圧に充電された入力容量 C_{iss} の電荷が放電する。そして、再びモード1へ戻る。

第3章 ノーマリオフ GaN HEMT のゲート駆動回路

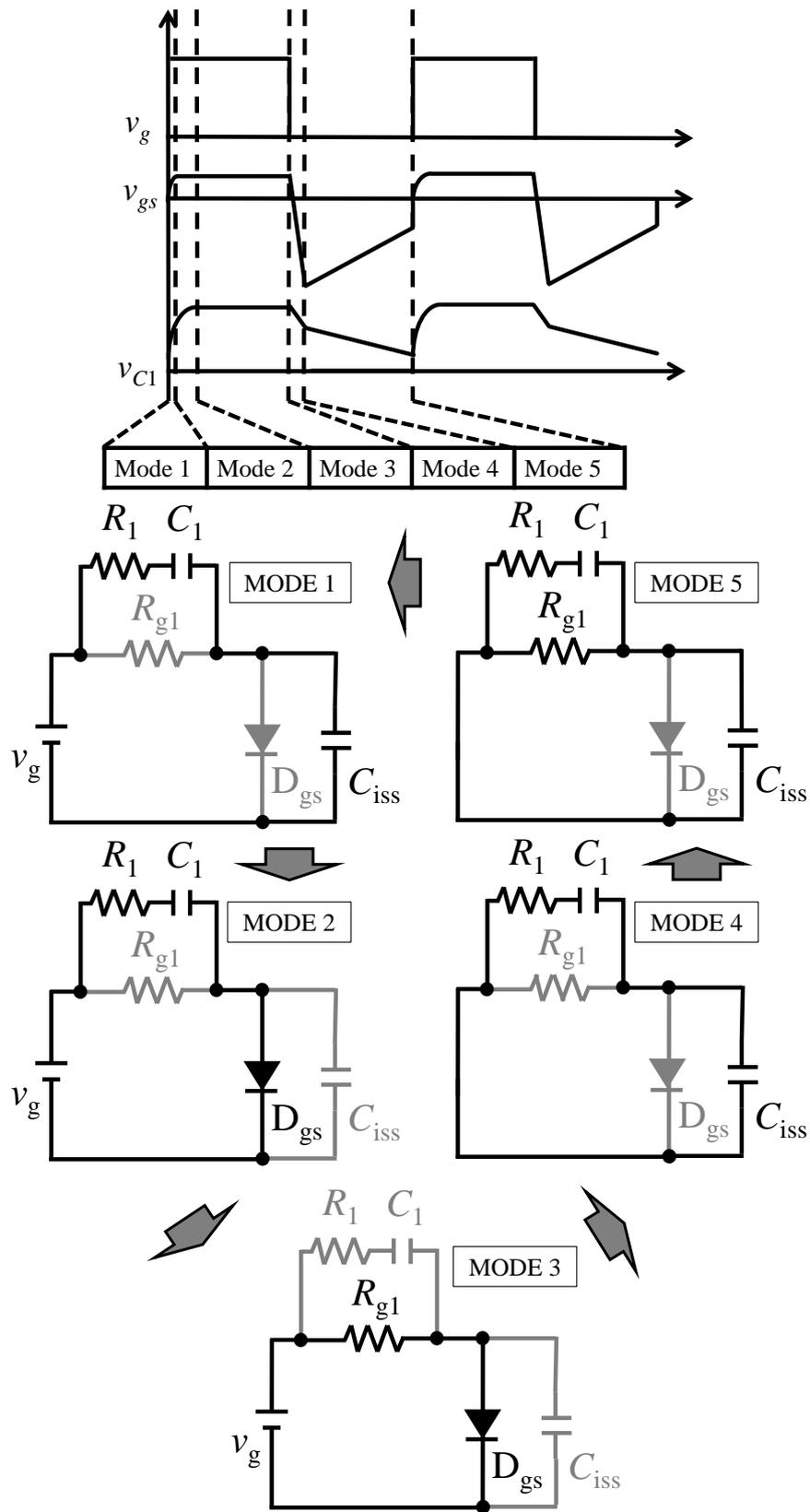


図 3.3 キャパシタ分圧型ゲート駆動回路のモード遷移図

3.2.2 アクティブ放電型ゲート駆動回路

キャパシタ分圧型ゲート駆動回路は、GaN HEMT のゲート - ソース間のダイオード特性に着目し、最も簡単な方法でゲートを駆動する回路であった。しかし、GaN HEMT には、図 3.4 に示すようなゲート電圧に依存した逆導通特性をもつ。GaN HEMT に逆電流が流れた場合に、 $V_{ds} \times I_{ds}$ の電力損失が生じる。そのため、ゲートに大きな負電圧がかかるキャパシタ分圧型ゲート駆動回路は共振コンバータやインバータなどの回生モードが存在する電力変換回路への適用が難しい。この問題点を解決するアクティブ放電型ゲート駆動回路を図 3.5 に示す。

アクティブ放電型ゲート駆動回路では、点線で囲まれた抵抗 R_3 、キャパシタ C_3 、ダイオード D_{gs} 、スイッチ Q_1 で構成される回路を付加している。キャパシタ分圧型ゲート駆動回路では分圧コンデンサの充電電圧がゲートに負電圧として印加され、また、分圧コンデンサに蓄積された電荷は高抵抗の経路で放電されるため時定数が大きく、ゲートに負電圧が長い間印加されることになる。そこで、付加回路により高抵抗の経路とは別に低インピーダンスの経路を形成し、分圧コンデンサの充電電荷を急速に放電させている。また、ゲート - ソース間に低い閾値電圧のダイオードを挿入することにより、ゲートに印加される負電圧を低電圧でクランプさせることで逆導通特性を改善できる。また、スイッチ Q_1 には p 型 MOSFET を使用しており、キャパシタ C_3 の充電電圧を利用することにより、自励式で Q_1 を駆動させることができる。

第3章 ノーマリオフ GaN HEMT のゲート駆動回路

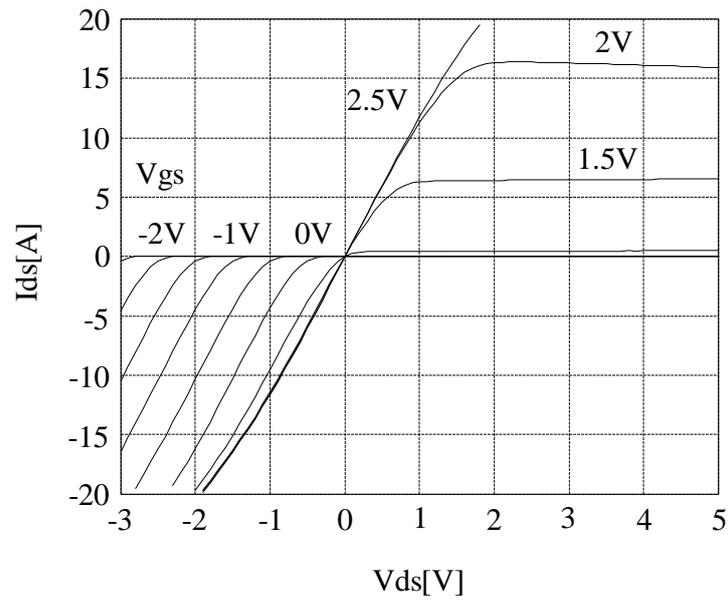


図 3.4 GaN HEMT の電流 - 電圧特性

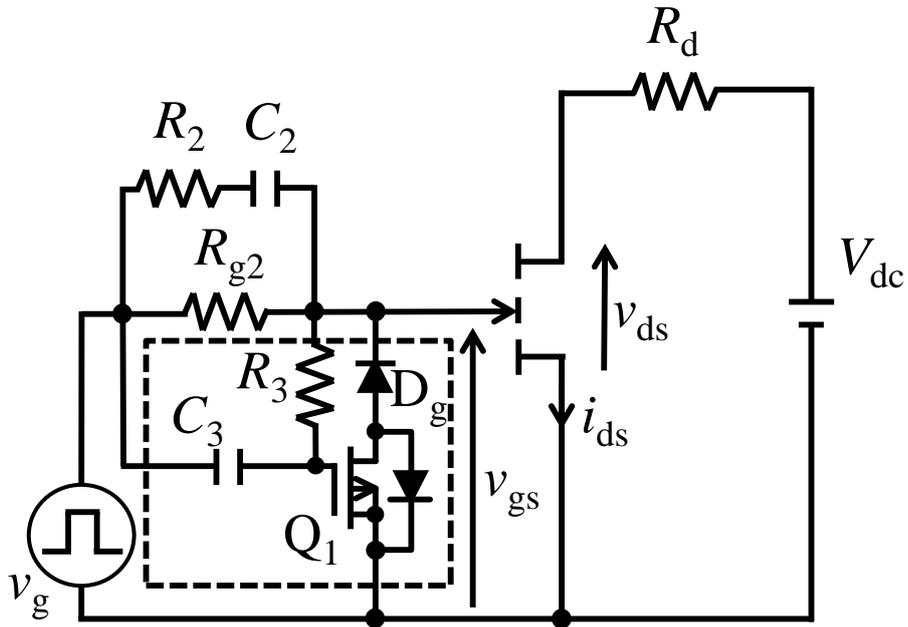


図 3.5 アクティブ放電型ゲート駆動回路

第3章 ノーマリオフ GaN HEMT のゲート駆動回路

アクティブ放電型ゲート駆動回路は6つの動作モードに分けられる (図 3.6)。

<MODE 1>

モード1では GaN HEMT の入力容量を低抵抗 R_2 と分圧コンデンサ C_2 の直列回路を介して充電する。ここで、 $R_2 \ll R_{g2}, R_3$ の条件において回路設計を行うため、主電流は低抵抗側の回路を流れると考えることができる。

<MODE 2>

モード2では GaN HEMT の入力容量がゲート - ソース間ダイオードの閾値電圧まで充電されると、ダイオードを通る経路に電流が転流する。ここではまだ分圧コンデンサ C_2 は完全に充電されていないため直列回路側を主電流が流れる。

<MODE 3>

モード3では分圧コンデンサ C_2 が完全に充電され主電流が高抵抗 R_{g2} を通る経路と、p型 MOSFET の駆動用コンデンサ C_3 を充電する経路に転流する。高抵抗 R_{g2} を通る経路で定常的に電流を流入させ、オン状態を維持させる。

<MODE 4>

モード4では分圧コンデンサ C_2 の充電電圧を利用し、入力容量に蓄電された電荷を急速に放電させる。ここで、時定数 C_2R_2 と C_3R_3 は、 $C_2R_2 \ll C_3R_3$ であるため分圧コンデンサ C_2 による電流経路を優先的に考えることができる。ここで、理想的にはスイッチ Q_1 は瞬間的に点弧するはずであるが、スイッチ Q_1 の入力容量や回路構成上の寄生成分、また、オン時間などの影響によりゲート信号がオフになってから Q_1

第3章 ノーマリオフ GaN HEMT のゲート駆動回路

が実際に点弧するまでには遅延が生じる。そのため、回路パラメータは $C_2 \gg C_{iss}$ であり、 $V_{C2} > V_{Ciss}$ であることからキャパシタ分圧型ゲート駆動回路と同様に、入力容量は負電圧に再充電される。その後、スイッチ Q_1 が点弧すると回路構成上の寄生抵抗により決定する時定数において放電する。

<MODE 5>

モード5ではコンデンサ C_2 と C_3 の放電が継続する。

<MODE 6>

モード6では分圧コンデンサ C_2 が完全に放電する。また、ゲート-ソース間を D_g の閾値電圧にクランプし続けるため、 C_3 はオフ期間中放電し続ける。

第3章 ノーマリオフ GaN HEMT のゲート駆動回路

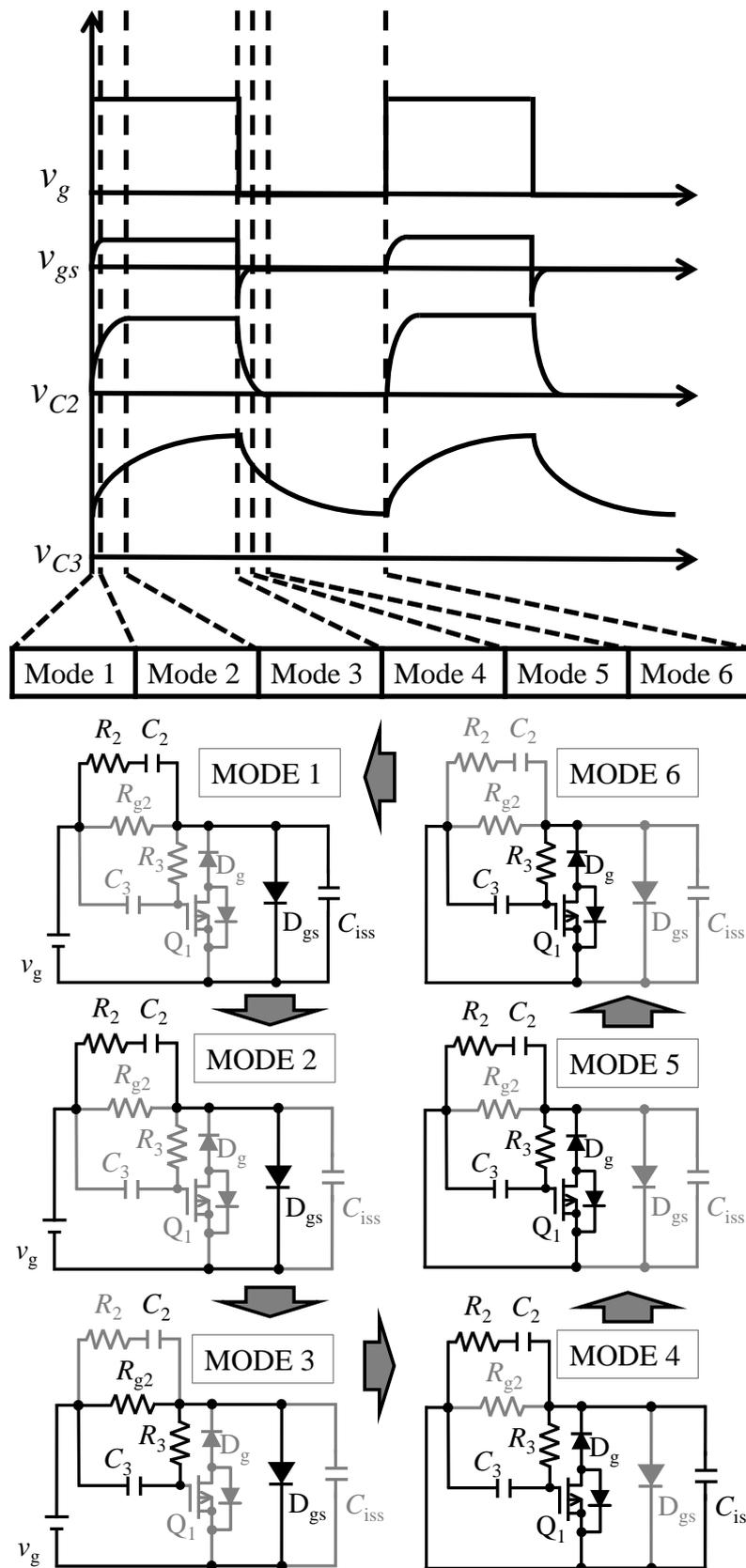


図 3.6 アクティブ放電型ゲート駆動回路のモード遷移図

3.3 ゲート駆動損失解析

3.3.1 キャパシタ分圧型ゲート駆動回路の損失解析

GaN HEMT のゲート駆動回路について、キャパシタ分圧型ゲート駆動回路のゲート駆動損失解析を行う。図 3.3 に示すモード毎にゲート駆動損失 P を計算すると以下の結果を得る（詳しい解析内容は付録 A1 を参照）。

$$P = \left\{ \frac{V_g (V_g - V_{sa})}{R_{g1}} t_{on} + C_1 V_g (V_g - V_0 - V_{sa}) \right\} f \dots\dots\dots (3.1)$$

$$V_0 = \left(\frac{C_1}{C_1 + C_{iss}} V_g - V_{sa} \right) \exp \left[- \frac{t_{off}}{(C_1 + C_{iss}) R_{g1}} \right] \dots\dots\dots (3.2)$$

ここで、 V_g はゲート駆動電源電圧、 V_{sa} はゲートソース間ダイオードの順方向降下電圧、 R_{g1} はゲート高抵抗、 t_{on} はオン時間、 C_1 は分圧コンデンサ容量、 V_0 は分圧コンデンサ C_1 の蓄積電圧、 f はスイッチング周波数、 C_{iss} は GaN HEMT の入力容量、 t_{off} はオフ電圧である。

(3.1)式および(3.2)式において、自比率 50% を仮定すると、 $t_{on} = t_{off} = 1/2f$ であるため、以下のように変形することが出来る。

$$P = \frac{V_g (V_g - V_{sa})}{2R_{g1}} + C_1 V_g (V_g - V_0 - V_{sa}) f \dots\dots\dots (3.3)$$

$$V_0 = \left(\frac{C_1}{C_1 + C_{iss}} V_g - V_{sa} \right) \exp \left[- \frac{1}{(C_1 + C_{iss}) R_{g1} \cdot 2f} \right] \dots\dots\dots (3.4)$$

(3.1)式および(3.3)式から第 1 項がオン状態を維持するために消費する電力損失であり、第 2 項が分圧コンデンサ C_1 の充放電に関わる電力損失を意味する。

3.3.2 損失解析における入力容量

キャパシタ分圧型ゲート駆動回路のゲート駆動損失を解析する場合には、入力容量を実験的に求める必要がある。パワー半導体デバイスの一般的な入力容量は、ゲート-ソース間の電圧が 0 V の条件下での C メータによる測定値である。しかし、実際にゲートを駆動する場合には、ゲート電圧は負電圧から正電圧まで大きく変動する。そして、閾値電圧以上では帰還容量の影響が大きく現れるために、ゲート電圧が閾値電圧以下である領域と容量値が大きく異なる。そのため、ゲート電圧の振幅に応じた等価入力容量値が必要となる。本項では、算出法について述べる。

図 3.7 に入力容量測定回路を示す。入力電圧 v_g は、 $+V_g$ から $-(V_g - V_{sa})$ までのパルス電圧とする。図 3.8 に測定波形を示す。この図より入力容量 C_{iss} を算出する。実際のゲート-ソース間電圧 v_{gs} は途中で傾きが変わっているが、静電容量は積分経路で値が変わらないので図中の点線の経路で変化すると考える。そうすると単純な CR の過渡応答回路であるためゲート電圧 V_{gs} は以下のように表すことができる。

$$V_{gs} = V_- + (V_+ - V_-) \left(1 - \exp \left[-\frac{t}{C_{iss} R_g} \right] \right) \dots\dots\dots (3.5)$$

V_{gs} が飽和電圧 V_{sa} になるまでの時間を Δt とすると入力容量 C_{iss} は、

$$C_{iss} = -\frac{\Delta t}{R_g \ln \frac{V_+ - V_{sa}}{V_+ - V_-}} \dots\dots\dots (3.6)$$

と計算できる。この(3.6)式で求まる等価容量が損失解析上での入力容量となる。

また、この解析上の入力容量はゲート駆動電源電圧が変わると変化してしまうため電源電圧が変化した場合にも入力容量が推定できることが必要となる。 V_{sa} が 2.2 V の条件下で V_g が 10 V の場合と 15 V の場合の測定波形を図 3.9 と図 3.10 に示す。

第3章 ノーマリオフ GaN HEMT のゲート駆動回路

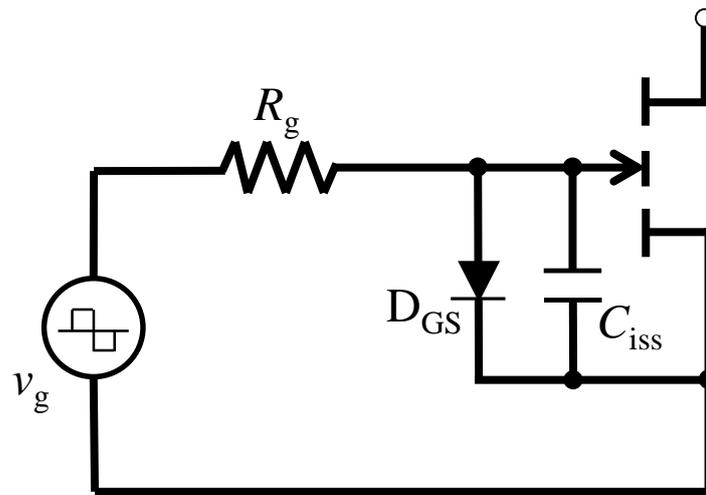


図 3.7 入力容量測定回路

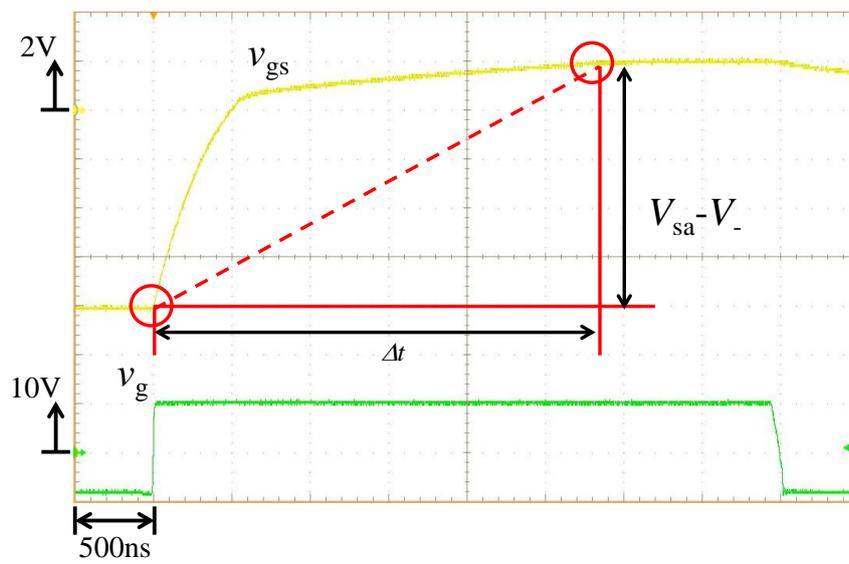


図 3.8 測定波形

第3章 ノーマリオフ GaN HEMT のゲート駆動回路

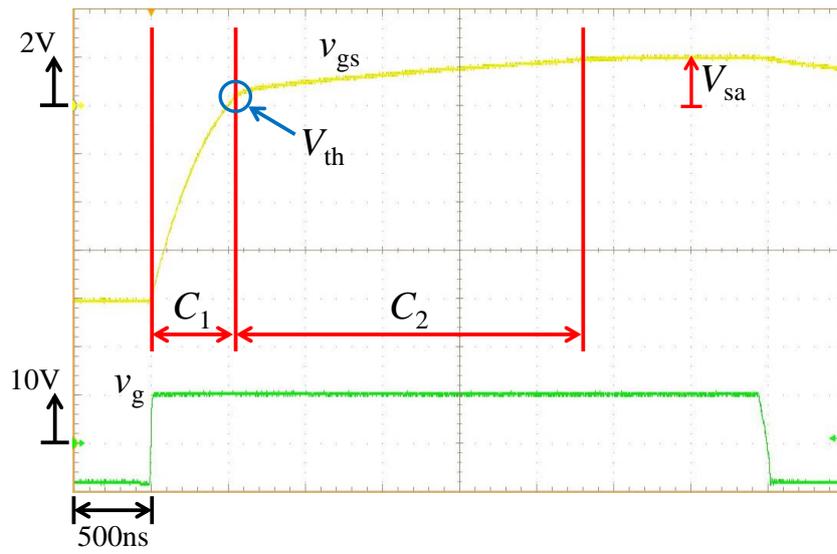


図 3.9 +10V から-7.8V の測定波形

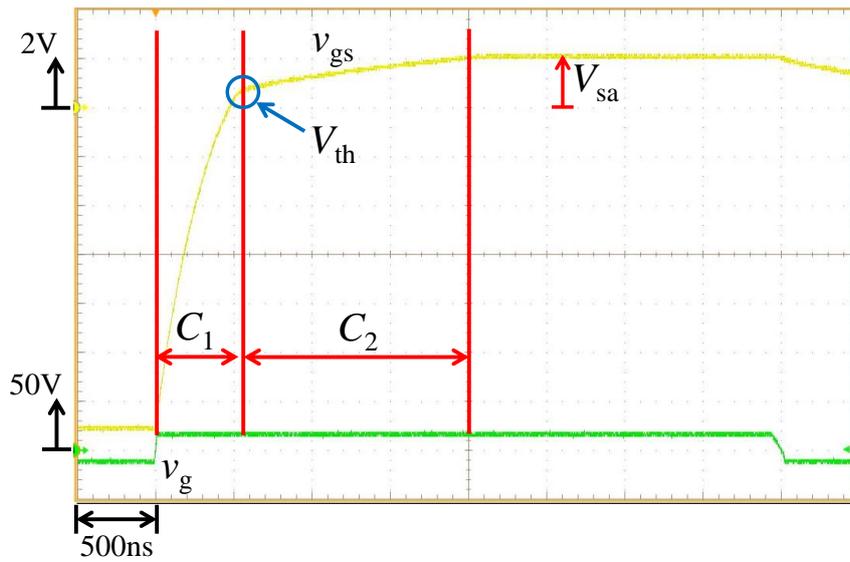


図 3.10 +15V から-12.8V の測定波形

第3章 ノーマリオフ GaN HEMT のゲート駆動回路

実験波形より GaN HEMT の閾値電圧 V_{th} を超えると、帰還容量の影響によりゲート電圧の上昇が緩やかになっていることが分かる。閾値電圧までの領域における容量を C_1 とし、閾値電圧以上の帰還容量の影響がある領域における容量として C_2 とする。それぞれの定義領域において、CR 回路の過渡応答を用いて計算ができる。従って、閾値電圧以下の領域は(3.9)式を用いて $V_{gs} = V_{th}$ において解くと容量 C_1 は、

$$C_1 = -\frac{\Delta t_{C1}}{R_g \ln \frac{V_+ - V_{th}}{V_+ - V_-}} \dots\dots\dots (3.10)$$

と導ける。ここで、 Δt_{C1} は閾値電圧以下における遷移時間である。次に、閾値電圧以上の領域においても同様に、(3.9)式を用いて $V_-=V_{th}$ であるから、容量 C_2 は、

$$C_2 = -\frac{\Delta t_{C2}}{R_g \ln \frac{V_+ - V_{sa}}{V_+ - V_{th}}} \dots\dots\dots (3.11)$$

となる。ここで、 Δt_{C2} は閾値電圧以上における遷移時間である。以上より総合入力容量を計算する。合計遷移時間は以下のようなになるので、

$$\Delta t = \Delta t_{C1} + \Delta t_{C2} \dots\dots\dots (3.12)$$

(3.9)式に(3.10)式、(3.11)式、(3.12)式を代入すると、総合入力容量 C は、

$$C = C_1 \ln \frac{V_+ - V_{th}}{V_+ - V_{sa}} + C_2 \ln \frac{V_+ - V_-}{V_+ - V_{th}} \dots\dots\dots (3.13)$$

と求めることができる。

容量測定実験を行うことで入力容量を決定する必要があるが一度測定しておけば条件を変更しても(3.13)式を用いて推定することができる。

3.3.3 アクティブ放電型ゲート駆動損失解析

アクティブ放電型ゲート駆動回路のゲート駆動損失解析を行う。図 3.6 に示すモード毎にゲート駆動損失 P を計算すると以下の結果を得る（詳しい解析内容は付録 A2 を参照）。

$$P = \left(\frac{V_g(V_g - V_{sa})}{R_{g2}} t_{on} + C_2 V_g (V_g - V_F - V_{sa}) + C_3 V_g (V_g - V_0 - V_{sa}) \left(1 - \exp \left[-\frac{t_{on}}{C_3 R_3} \right] \right) \right) f \dots (3.14)$$

$$V_0 = \frac{\exp \left[-\frac{t_{off}}{C_3 R_3} \right] - \exp \left[-\frac{t_{on} + t_{off}}{C_3 R_3} \right]}{1 - \exp \left[-\frac{t_{on} + t_{off}}{C_3 R_3} \right]} (V_g - V_{sa}) \dots (3.15)$$

ここで、 V_g はゲート駆動電源電圧、 V_{sa} はゲートソース間ダイオードの順方向降下電圧、 R_{g2} はゲート高抵抗、 t_{on} はオン時間、 C_2 は分圧コンデンサ容量、 V_F はダイオード D_g の順方向降下電圧、 C_3 はスイッチ Q_1 駆動用コンデンサ容量、 V_0 はコンデンサ C_3 の蓄積電圧、 R_3 は制限抵抗、 f はスイッチング周波数、 t_{off} はオフ電圧である。

(3.14)式および(3.15)式において、自比率 50% を仮定すると、 $t_{on} = t_{off} = 1/2f$ であるため、以下のように変形することが出来る。

$$P = \frac{V_g(V_g - V_{sa})}{2R_{g2}} + V_g \left(C_2 (V_g - V_F - V_{sa}) + C_3 (V_g - V_0 - V_{sa}) \left(1 - \exp \left[-\frac{1}{C_3 R_3 \cdot 2f} \right] \right) \right) f \dots (3.16)$$

$$V_0 = \frac{\exp \left[-\frac{1}{C_3 R_3 \cdot 2f} \right]}{1 + \exp \left[-\frac{1}{C_3 R_3 \cdot 2f} \right]} (V_g - V_{sa}) \dots (3.17)$$

(3.14)式および(3.16)式から第 1 項がオン状態を維持するために消費する電力損失を表し、第 2 項は分圧コンデンサ C_2 の充放電に関わる電力損失、第 3 項はコンデンサ C_3 の充放電に関わる電力損失を表している。

キャパシタ分圧型ゲート駆動回路の損失解析結果である(3.1)式および(3.3)式と比

第3章 ノーマリオフ GaN HEMT のゲート駆動回路

較すると第3項による損失項が数式上の増加分である。しかし、第2項がキャパシタ分圧型とアクティブ放電型の損失解析において重要な違いとなっている。アクティブ放電型では、キャパシタ分圧型の第2項である $C_1V_g(V_g-V_0-V_{sa})f$ から $C_2V_g(V_g-V_F-V_{sa})f$ に変わっている。キャパシタ分圧型の V_0 は(3.4)式で与えられるが、スイッチング周波数が大きくなると大きな値として残るため、この第2項は値として小さくなる。しかし、アクティブ放電型ではゲート-ソース間電圧がダイオード D_g の小さい順方向降下電圧 $V_F \approx 0$ にクランプされる。従って、アクティブ放電型の第2項は周波数によらず大きな値をもつ。故に、実際には第2項がアクティブ放電型において、キャパシタ分圧型と比較した場合に大きな電力損失の増加分となる。

3.4 解析結果と実機評価

3.4.1 キャパシタ分圧型ゲート駆動損失解析の結果

キャパシタ分圧型ゲート駆動損失の解析式を用いて、実験結果との整合性を検証する。主な回路定数を図 3.11 に示す。ここで、ゲート駆動電源電圧は 10 V または 15 V のパルス入力とし、自比率を 50 %、周波数 10 kHz から 1 MHz まで変化させ、実験を行った。また、入力容量は(3.6)式を用いて、 $V_g = 10$ V の時は図 3.9 から 3.35 nF、15 V の時は図 3.10 から 2.56 nF と求めた。それぞれの結果を図 3.12 および、図 3.13 に示す。10 V 時の最大誤差は 3.8 %、15 V 時は 10.8 % となった。15 V での実験結果において誤差が大きくなった要因として、ゲート駆動損失解析時に厳密解は大変複雑になる上、解析が困難であることから回路を単純化するために主電流路を考慮したモデル化を行ったが、その許容範囲から外れていくためであると考えられる。また、入力容量の算出時に読み取り誤差も原因として挙げられる。

第3章 ノーマリオフ GaN HEMT のゲート駆動回路

$V_g = 15\text{ V}$ の時の測定波形である図 3.13 から(3.13)式を用いて、 $V_g = 10\text{ V}$ 時の入力容量を測定したところ入力容量は 3.43 nF と求めた。また、その逆においては、 2.54 nF であった。これらの推定結果を加えた解析結果を図 3.14 および図 3.15 に示す。それぞれの誤差は、 5.0% および 10.8% であり、良い推定結果が得られた。

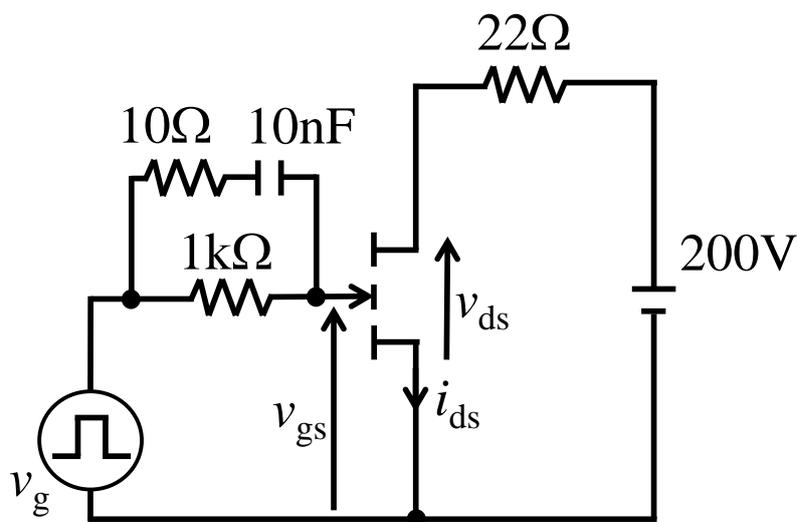


図 3.11 ゲート駆動損失計測回路

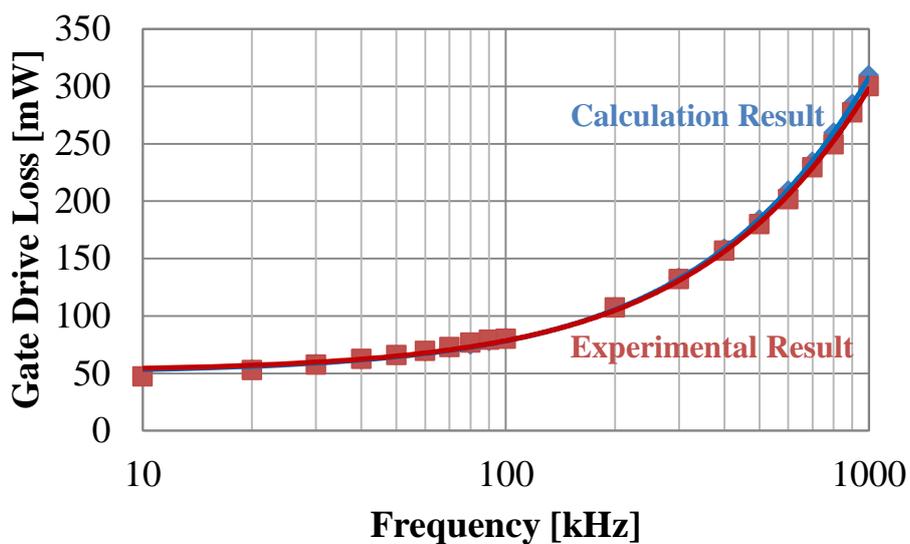


図 3.12 キャパシタ分圧型のゲート駆動損失解析 ($V_g = 10\text{ V}$)

第3章 ノーマリオフ GaN HEMT のゲート駆動回路

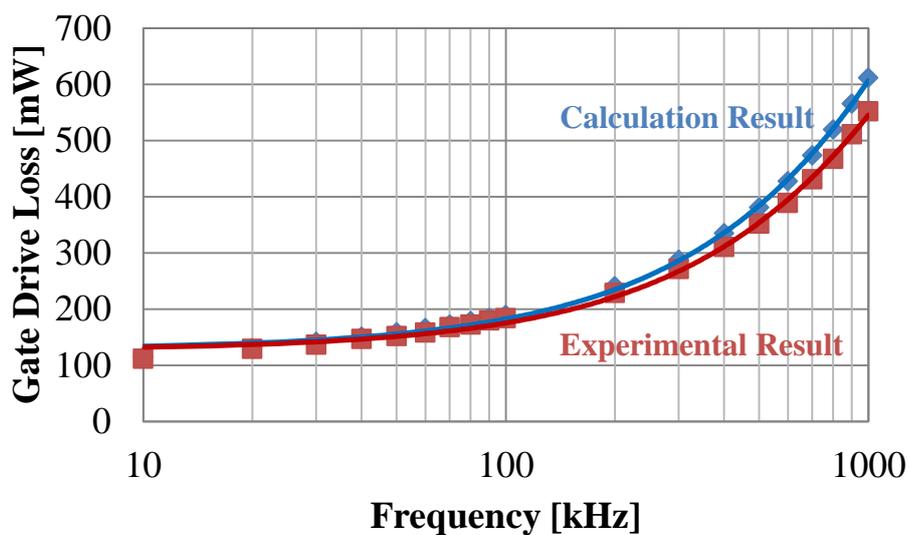


図 3.13 キャパシタ分圧型のゲート駆動損失解析 ($V_g = 15 \text{ V}$)

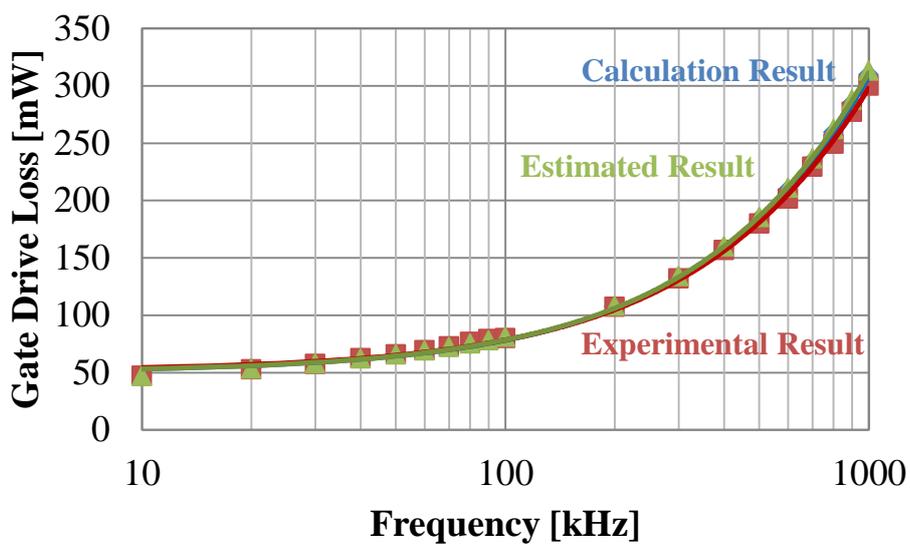


図 3.14 入力容量を推定したゲート駆動損失解析 ($V_g = 10 \text{ V}$)

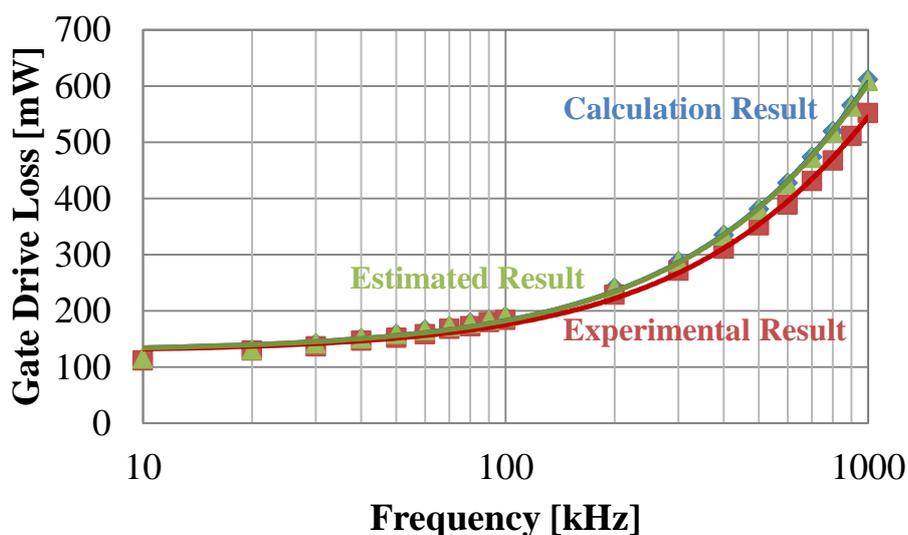


図 3.15 入力容量を推定したゲート駆動損失解析 ($V_g = 15 \text{ V}$)

3.4.2 アクティブ放電型ゲート駆動損失解析の結果

アクティブ放電型ゲート駆動損失の解析式を用いて、実験結果との整合性を検証する。主な回路定数を図 3.16 に示す。ここで、ゲート駆動電圧電源は 10 V または 15 V のパルス入力とし、自比率を 50% 、周波数 10 kHz から 1 MHz まで変化させ、実験を行った (図 3.17, 図 3.18)。双方の最大誤差は 20% を超えてしまった。しかし、 10 V 時で 500 kHz まで、 15 V 時で 400 kHz までは誤差が 10% 以内に収まっていた。誤差が大きい原因としては、高周波になるとオン時間が短くなり、スイッチ Q_1 がオンするまでの遅延時間や時定数の関係からコンデンサ C_3 の電荷が完全に放電しなくなりモデル化が崩れてくることにあると考えられる。

また、キャパシタ分圧型ゲート駆動回路と、アクティブ放電型ゲート駆動回路の実験値を比較した結果を図 3.19 に示す。低い周波数領域では、ゲート駆動電圧電源の値が大きいほど双方のゲート駆動損失は大きくなっている。しかし、 300 kHz を堺に $V_g = 10 \text{ V}$ のアクティブ放電型の損失が $V_g = 15 \text{ V}$ のキャパシタ分圧型の損失を

第3章 ノーマリオフ GaN HEMT のゲート駆動回路

上回っている。周波数が低い領域では電圧を下げることで損失は下がるが、周波数が高くなると理論的な損失の増加分が強く効いてくることを示している。

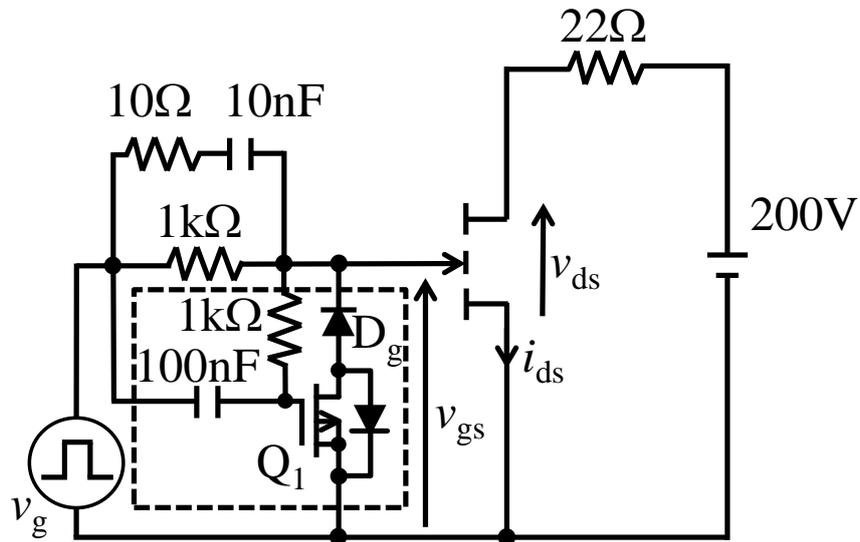


図 3.16 ゲート駆動損失計測回路

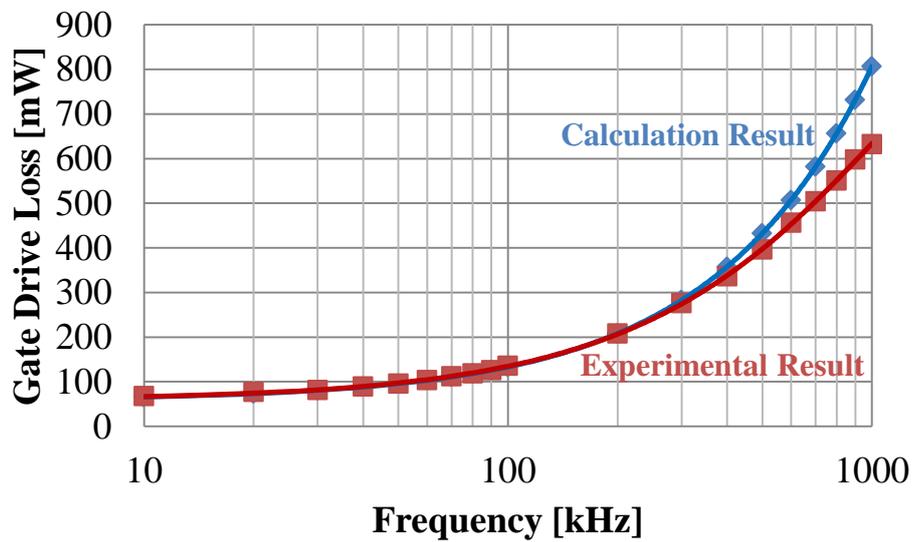


図 3.17 アクティブ放電型のゲート駆動損失解析 ($V_g = 10\text{ V}$)

第3章 ノーマリオフ GaN HEMT のゲート駆動回路

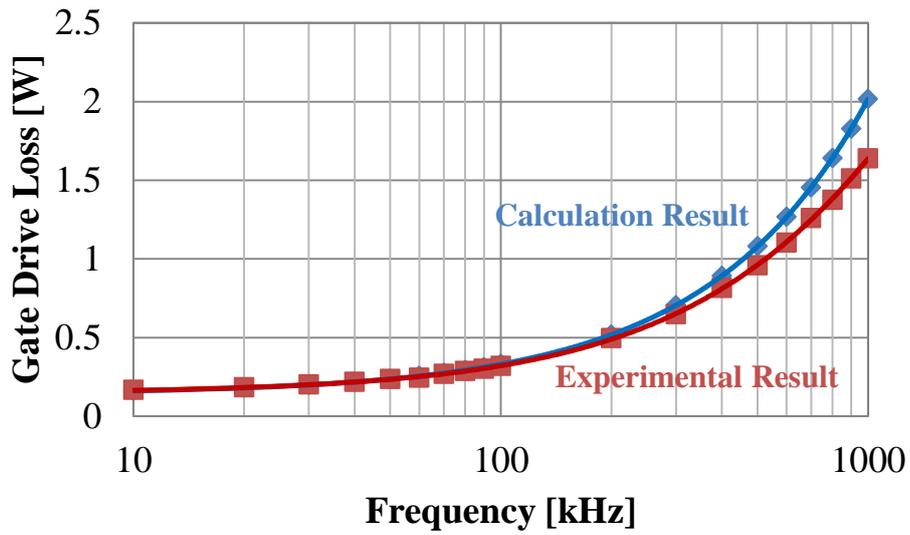


図 3.18 アクティブ放電型のゲート駆動損失解析 ($V_g = 15\text{ V}$)

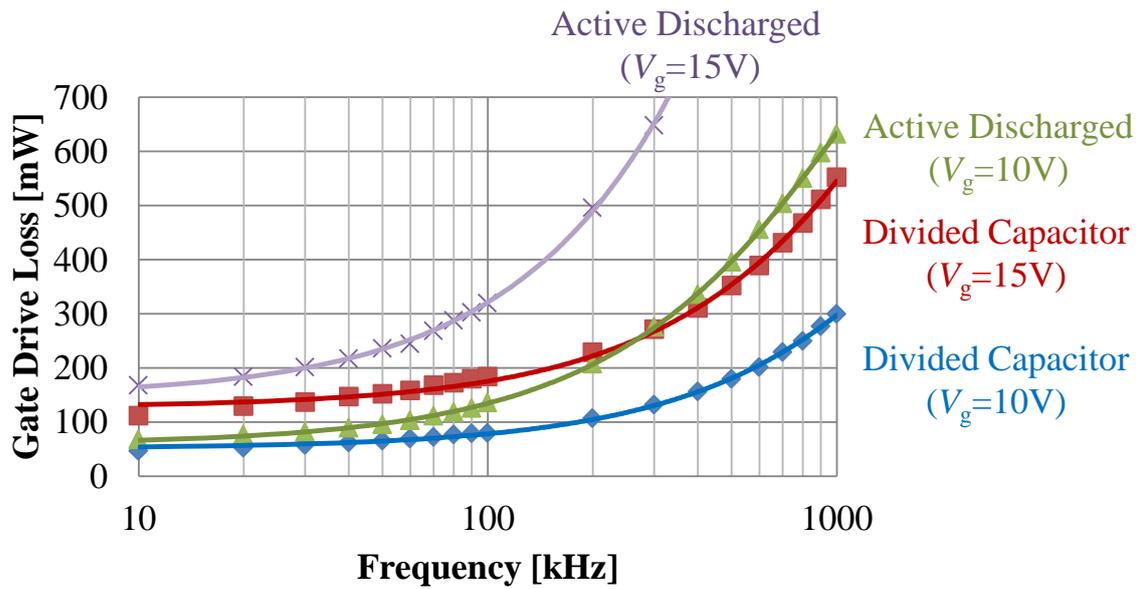


図 3.19 ゲート駆動損失の比較

3.5 電力変換回路での評価

スイッチングコンバータは理想的には 100 %の効率において電力変換を行うことができる電力変換回路である。しかし、実際はスイッチのオン抵抗やスイッチング遷移時の電圧と電流の重なりにより発生するスイッチング損失などにより 100 %の効率を実現することは難しい。さらに、スイッチングコンバータはスイッチング素子やダイオードなどから電力変換時に伝導性ノイズと放射性ノイズを発生してしまうという問題を抱えている。スイッチング素子でのノイズはオンまたはオフ時に発生し、電圧や電流の過渡的な変化によって発生する。ダイオードでは主にオフ時に発生し、リカバリによる過渡的な電流変化によって発生する。

上記のようなノイズ問題を解決する手法として共振現象を利用した電力変換回路が注目を集めている。そのうちの一つに電圧型のソフトスイッチングが挙げられる⁽⁴⁾⁽⁵⁾。共振現象を利用した電圧型のソフトスイッチングは部分共振とも呼ばれ、メインスイッチのオン、オフ時にインダクタ L 、コンデンサ C を用いて共振させることによりサージエネルギーを電圧電流変換させ、電源に電力を回生しスイッチング損失を減らすことができる。また、この時、パワー半導体デバイスには逆電流が流れるモードが生じることになる。

本項目では、ハーフブリッジ LLC 共振コンバータを用いてキャパシタ分圧型ゲート駆動回路とアクティブ放電型ゲート駆動回路を比較する。実験回路である LLC 共振コンバータを図 3.20 に示す。このコンバータにおいて、トランスの 1 次側にはハーフブリッジ構成である 2 個のスイッチング素子 Q_1 、 Q_2 と電流共振コンデンサ C_{ri} が接続されており、2 次側には整流ダイオード D_1 、 D_2 と平滑コンデンサ C_o が接続されている。変圧器の一次側漏れインダクタンス L_{pl} と励磁インダクタンス L_m 、理

第3章 ノーマリオフ GaN HEMT のゲート駆動回路

想トランス T に分けて表現している。コンデンサ C_{rv1} , C_{rv2} は GaN HEMT のドレイン - ソース間の寄生容量と外付けに接続したコンデンサの総和である。

回路定数を表 3.1 に示す。負荷抵抗を $8\ \Omega$ から $3.3\ \Omega$ まで変化させ、出力容量を $388\ \text{W}$ から $730\ \text{W}$ まで変化させた。LLC 共振コンバータでは、デッドタイム期間中に逆電流が流れるゼロ電圧ソフトスイッチング領域が存在するため、オフ時のゲート電圧がゲート駆動回路の違いによって電力変換効率に差が生じると考えられる。

図 3.21 および図 3.22 に両ゲート駆動回路におけるスイッチング波形を示した。キャパシタ分圧型ゲート駆動回路では、GaN HEMT に逆電流が流れている期間に、ゲート - ソース間に負電圧が印加されているのに対して、アクティブ放電型ゲート駆動回路では、ほぼゼロ電圧になっていることが確認できる。また、図 3.23 および図 3.24 に示したスイッチング波形の拡大図において、アクティブ放電型ゲート駆動回路はキャパシタ分圧型ゲート駆動回路と比較してスイッチングのノイズに対して、強い特性をもつことも確認できる。次に、図 3.25 に、キャパシタ分圧型ゲート駆動回路およびアクティブ放電型ゲート駆動回路を実装した場合の出力電力容量と効率とのグラフを示す。アクティブ放電型ゲート駆動回路は、LLC 共振コンバータの全出力電力領域において、キャパシタ分圧型ゲート駆動回路の効率を上回っていることが確認できる。この要因は共振時に GaN HEMT の逆導通特性により発生する損失の違いであると言える。アクティブ放電型ゲート駆動回路ではゲート - ソースの電圧が $0\ \text{V}$ 付近まで小さくなっているため効率が向上している。

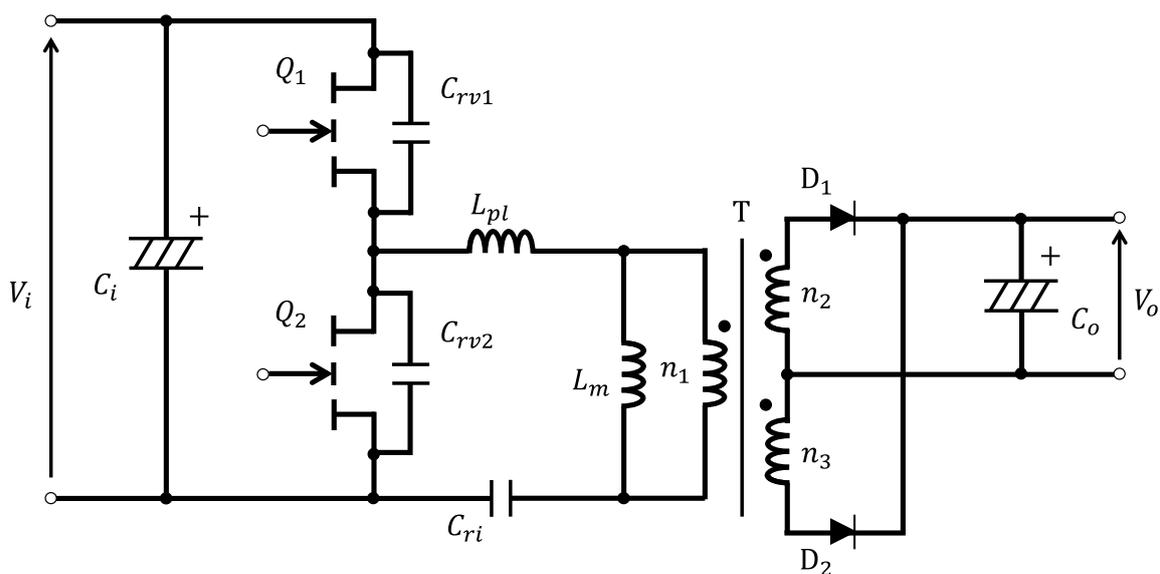


図 3.20 LLC 共振コンバータの回路構成

表 3.1 LLC 共振コンバータの回路定数

Circuit Parameter		Value
Input Voltage	V_i [V]	200
Output Voltage	V_o [V]	48
Primary Leakage Inductance	L_{pl} [μ H]	20
Magnetizing Inductance	L_m [μ H]	54
Output Capacitance	C_o [μ F]	2460
Load Resistance	R_1 [Ω]	3.2 – 8.0
Turn Ratio	$n_1:n_2:n_3$	2:1:1
Capacitance for Voltage Resonance	$C_{rv1,2}$ [nF]	4.4
Capacitance for Current Resonance	C_{ri} [nF]	336
Switching Frequency	f_{sw} [kHz]	55

第3章 ノーマリオフ GaN HEMT のゲート駆動回路

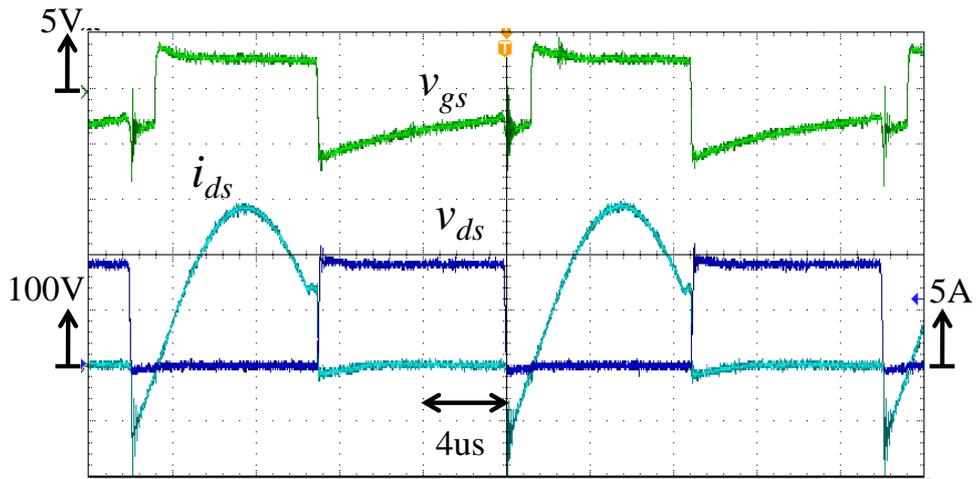


図 3.21 キャパシタ分圧型ゲート駆動回路の動作波形

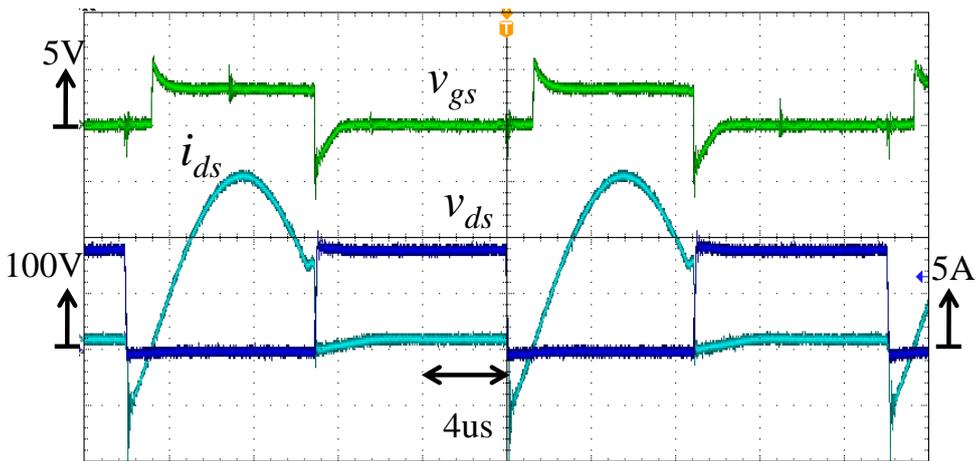


図 3.22 アクティブ放電型ゲート駆動回路の動作波形

第3章 ノーマリオフ GaN HEMT のゲート駆動回路

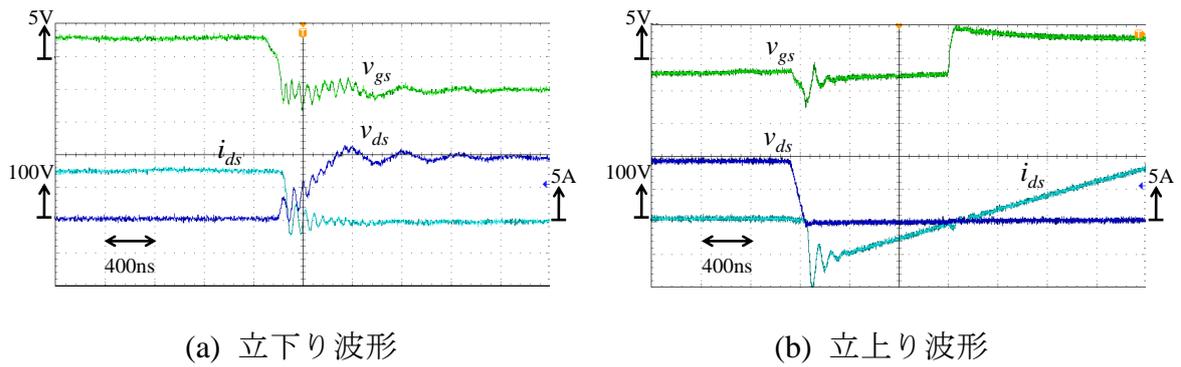


図 3.23 キャパシタ分圧型ゲート駆動回路の動作波形の拡大図

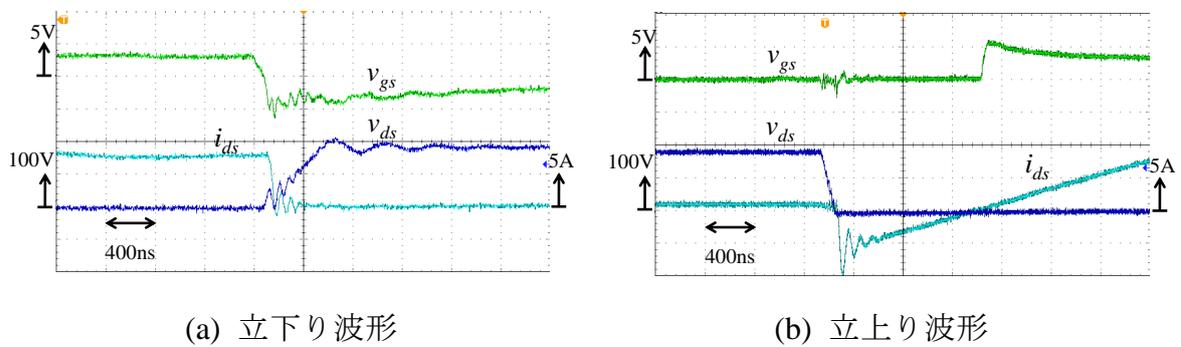


図 3.24 アクティブ放電型ゲート駆動回路の動作波形の拡大図

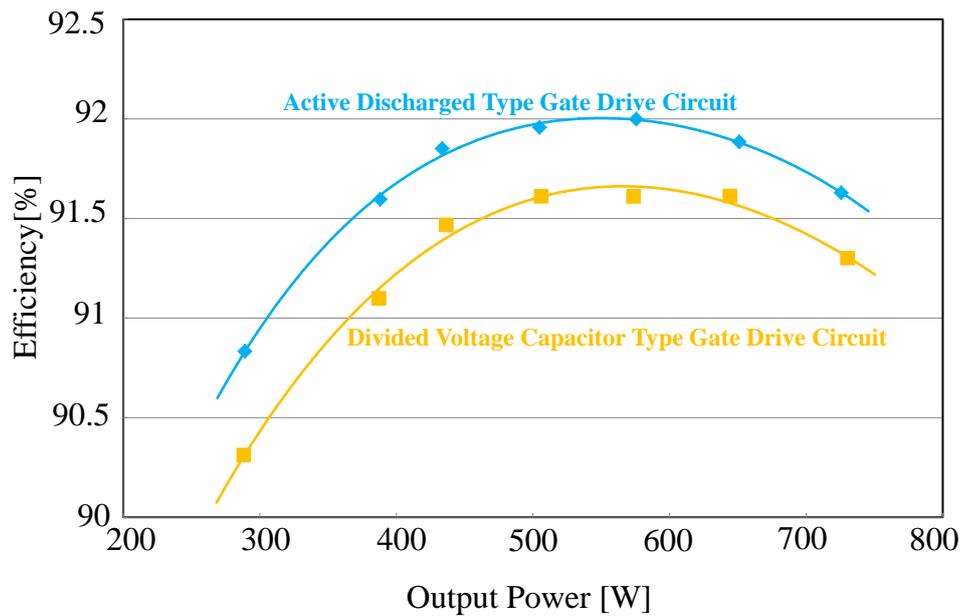


図 3.25 LLC 共振コンバータに適用した場合の出力容量と効率の比較

3.6 まとめ

本章では、従来の Si デバイスとは異なる特性を有する次世代型のパワー半導体デバイスである GaN HEMT のディスクリート構成におけるゲート駆動回路として、キャパシタ分圧型ゲート駆動回路とアクティブ放電型ゲート駆動回路を提案した。また、双方のゲート駆動回路について損失解析を行い、電力変換回路に実装することで、GaN HEMT を応用した場合の特性を確認した。

まず、ゲート駆動損失解析においては双方のゲート駆動回路をモード別に分け、主電流経路を考慮してモデル化を行い、解析式を簡易化した。解析モデルにおいてモード毎に損失を導出することで総合損失式を算出した。解析式により計算される周波数ごとの損失と、実機による実測値を比較することにより整合性を確認した。その結果、キャパシタ分圧型ゲート駆動回路では、ゲート駆動用の電源電圧を 10 V または 15 V に設定し駆動周波数を 10 kHz から 1 MHz に変化させた場合、それぞれ最大誤差 3.8 %、10.8 % となった。また、アクティブ放電型ゲート駆動回路においても同様の条件で比較を行ったが誤差が 30 % を超える結果となった。しかし、ゲート駆動用電源電圧が 10 V 時では 500 kHz まで、15 V 時では 400 kHz までにおいて最大誤差が 10 % 未満となった。ゲート駆動用電源電圧を大きくした場合や駆動周波数を高くした場合においては解析モデルが悪くなり、誤差が増大していると考えられる。理論解析式において 1 割の誤差を許容すれば十分に有効なゲート損失の近似解析式であると考えられる。より高精度な解析式の導出には複雑な損失解析を必要とする。

そして、LLC 共振コンバータにキャパシタ分圧型ゲート駆動回路と、アクティブ放電型ゲート駆動回路を適用し、スイッチング性能と効率比較を行った。その結果、アクティブ放電型ゲート駆動回路では、キャパシタ分圧型ゲート駆動回路に比べ、

第3章 ノーマリオフ GaN HEMT のゲート駆動回路

LLC 共振コンバータの全出力領域において効率の改善を確認した。これは、GaN HEMT の特異な特性の一つであるゲート電圧に依存した逆導通特性を考慮したゲート駆動回路であるアクティブ放電型ゲート駆動回路の有効性を示唆するものである。また、アクティブ放電型ゲート駆動回路ではスイッチング時のノイズを低減できる効果があることも確認した。従って、両ゲート駆動回路はディスクリート構成において、GaN HEMT を正常にスイッチング動作させることが可能なゲート駆動回路であり、電力変換回路にも適用可能であることを確認した。

参考文献

- (1) H. Umegami, F. Hattori, Y. Nozaki, M. Yamamoto and O. Machida, “A Novel High-Efficiency Gate Drive Circuit for Normally-Off Type GaN FET,” *IEEE Trans. Indus. Appl.*, Vol. 50, No. 1, pp. 593–599, Jan./Feb. 2014.
- (2) 町田修, 柳原将貴, 千野恵美子, 岩上信一, 金子信男, 後藤博一, 大塚泰二, 「Si基板上 AlGaIn/GaN HFETの高耐圧化」, 電子情報通信学会技術研究報告, レーザ・量子エレクトロニクス, 103(346), pp. 35–40, 2003年9月
- (3) 町田修, 金子信男, 馬場良平, 猪澤道能, 岩上信一, 柳原将貴, 後藤博一, 岩渕昭夫, 「逆導通GaN FETの特性評価」, 電子情報通信学会技術研究報告, 電子デバイス, 108(376), pp. 29–34, 2009年1月
- (4) H. Chung, S. Y. R. Hui and K. K. Tse, “Reduction of Power Converter EMI Emission Using Soft-Switching Technique,” *IEEE Trans. Electromag. Compatibl.*, Vol. 40, Issue 3, pp. 282–287, Aug. 1998.
- (5) F. Dianbo, K. Pengyu, W. Shuo, F. C. Lee and X. Ming, “Analysis and Suppression of Conducted EMI Emissions for Front-end LLC Resonant DC/DC Converters,” in *Proc. Power. Electron. Special. Conf.*, pp. 1144–1150, Jun. 2008.

第4章 誤点弧発生メカニズム

4.1 はじめに

パワー半導体デバイスを2石直列に接続したトータムポール回路構成において、デッドタイム期間を経てハイサイドのデバイスが点弧した際に発生する電圧変動によってローサイドのデバイスが誤点弧する現象が回路応用上の技術課題となっている⁽¹⁾⁻⁽⁴⁾。次世代パワー半導体デバイスでは、シリコン系よりも大きな電力を高速に扱うことができるため、誤点弧の発生要因の解明や抑制方法に関しての重要性が高まっている。

誤点弧の解析において次の2つのアプローチが主流である。

- ・ゲート部に誘導される電圧を解析するもの
- ・誤点弧が発生した場合に発振条件を満足するか否かを解析するもの

前者は、誘導されるゲート電圧振動が閾値電圧を超えるか否かを解析することで誤点弧そのものが起こらない設計指針を示すものである。後者は、誤点弧が発生した場合に回路が破壊に至るか否かを判断するものである。後者のそれは、誤点弧発生後、ゲート部に誘導された電圧振動が増幅される場合と減衰する場合の2パターンのどちらに属するかを示す。

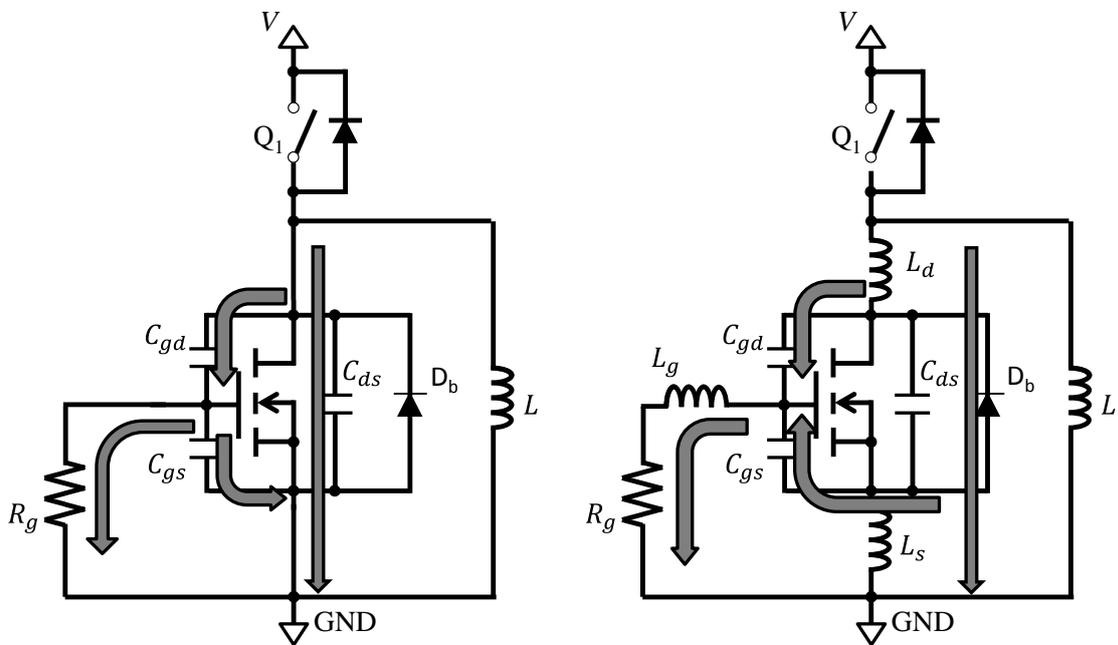
本章では、前者のゲート部に誘導される電圧を解析する⁽⁵⁾⁻⁽⁶⁾。また、スイッチング速度やリカバリの有無による誤点弧メカニズムの違いについて言及し、寄生インダクタンスやゲート抵抗によってゲート部に誘導される電圧の傾向について検討する。

4.2 寄生インダクタンスの誤点弧への影響

4.2.1 リカバリを併発する場合の誤点弧

誤点弧が発生する要因は主にドレイン-ソース間の寄生容量が高速に充電されることで発生する電圧遷移である。これは同様にゲート-ドレイン間の寄生容量も充電されることを意味し、この充電過程で生じる充電電流がゲート部に流れ込むことでゲート-ソース間容量が充電される(図4.1(a))。そして、ゲート電圧が閾値電圧を超えると誤点弧が発生し、トータムポール構成の回路が短絡する。また、ゲート抵抗が大きいほどゲート-ソース間容量の電荷が蓄積し易くなるため、誤点弧を抑制するためにはゲート抵抗を小さくする必要がある。

Si MOSFETではボディダイオードをもつためリカバリ現象が生じる。この場合にも、寄生容量のみの考慮で十分であれば誤点弧の発生要因は上述と同様である。



(a) 寄生容量の影響のみの場合

(b) 寄生インダクタンスを考慮した場合

図4.1 寄生インダクタンスのリカバリ期間中の誤点弧発生への影響

第4章 誤点弧発生メカニズム

しかし、寄生インダクタンスの影響が無視できない場合、誤点弧の発生メカニズムが異なる。寄生インダクタンスの中でもコモンソースインダクタンスの影響によってリカバリ時に流れる電流の一部がソース端子からゲート端子に向かって流れるため、ゲート - ソース間容量が負に充電される。そして、ゲート駆動回路内で LC 振動を起こし、ゲート - ソース間容量が正に再充電される。この再充電時にゲート電圧が閾値を超えると誤点弧が発生する。つまり、リカバリ時に充電される負電圧が大きいほど誤点弧が発生し易くなると考えられる。また、ゲート抵抗が小さいほどゲート駆動側に抜けるリカバリ電流が多くなるため、誤点弧を抑制するためにはゲート抵抗を大きくする必要がある。

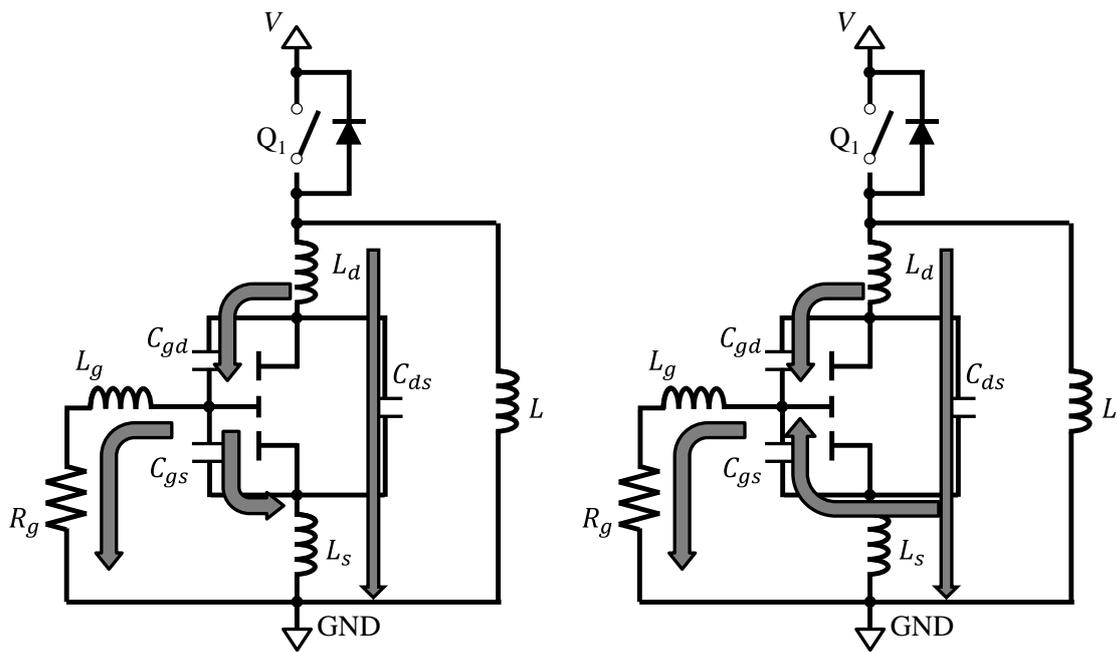
以上のことから、リカバリが発生するパワー半導体デバイスでは、スイッチング速度が遅く、寄生容量を無視できる場合にはゲート抵抗を小さくすることが誤点弧対策となる。しかし、スイッチング速度が速く、コモンソースインダクタンスの影響が表れる場合にはゲート抵抗を大きくする必要がある。つまり、誤点弧対策にはトレードオフ関係があり、クロスポイントの存在が示唆される。

4.2.2 リカバリを併発しない場合の誤点弧

GaN HEMT はそのデバイス構造から Si MOSFET のようにボディーダイオードが構成されないため、リカバリ特性をもたない。そのため、図 4.1(b) のような経緯での誤点弧発生は起こらない。しかし、少し複雑な誤点弧の発生要因が存在する。すべての寄生回路要素を考慮すると、ゲート - ドレイン間容量とドレイン - ソース間容量、そして、ゲートインダクタンスとソースインダクタンスの4つの回路要素によってホイーストンブリッジ回路が構成されている。デバイスの寄生容量は印加電

第4章 誤点弧発生メカニズム

圧によって容量値が変化するため、スイッチング遷移の全領域で平衡条件満たすことができない。従って、電圧遷移の各電圧値における周波数成分において平衡条件に対してどちらにバランスが崩れるかによって、図 4.2(a)と(b)の誤点弧発生要素に分かれることになる。



(a) $L_g C_g > L_s C_d$ の場合

(b) $L_g C_g < L_s C_d$ の場合

図 4.2 リカバリを併発しない場合の誤点弧発生メカニズム

4.3 ゲートに表れる電圧振動

4.3.1 実験回路

図 4.3 に示すようなダブルパルス回路を構成し、ローサイドのパワー半導体デバイスのゲートに表れる電圧振動を計測できるようにした。実験回路は、入力電源電圧 50V、ハイサイドのゲート抵抗 3Ω、負荷インダクタンス 1mH とした。入力パルスは 50kHz の定常状態を設定し、オン時間 9μs、デッドタイム時間 1μs とした。ゲート駆動電源電圧は、リカバリ特性をもつ Si MOSFET の駆動の場合には 12V とし、リカバリ特性をもたない GaN HEMT の駆動の場合には 6V とする。また、Si MOSFET には Vishay 社製 IRF740LC を用い、GaN HEMT には EPC 社製 EPC2010 を用いた。

実験変数として、ローサイドのパワー半導体デバイスのドレイン、ゲート、ソースのそれぞれに外付けのインダクタを接続することで、その影響を計測した。また、ゲート抵抗値を 3~20Ωまで変化させ、その影響を計測した。

計測波形はドレイン電流、ドレイン電圧に加え、2通りのゲート電圧波形を計測している。パワー半導体デバイスはパッケージングされているため、寄生のゲート抵抗やインダクタンス成分をもつ。そのため、通常、計測できるゲート電圧波形はパッケージ内部の寄生ゲート抵抗や寄生インダクタンス成分を含んだ電圧を計測している。そのため、 v_{gs1} は理想的なゲート-ソース間電圧、 v_{gs2} は寄生回路成分を含むゲート-ソース間電圧を想定することで、実際に計測できるゲート電圧波形と本来のゲート電圧波形の違いを確認することができる。

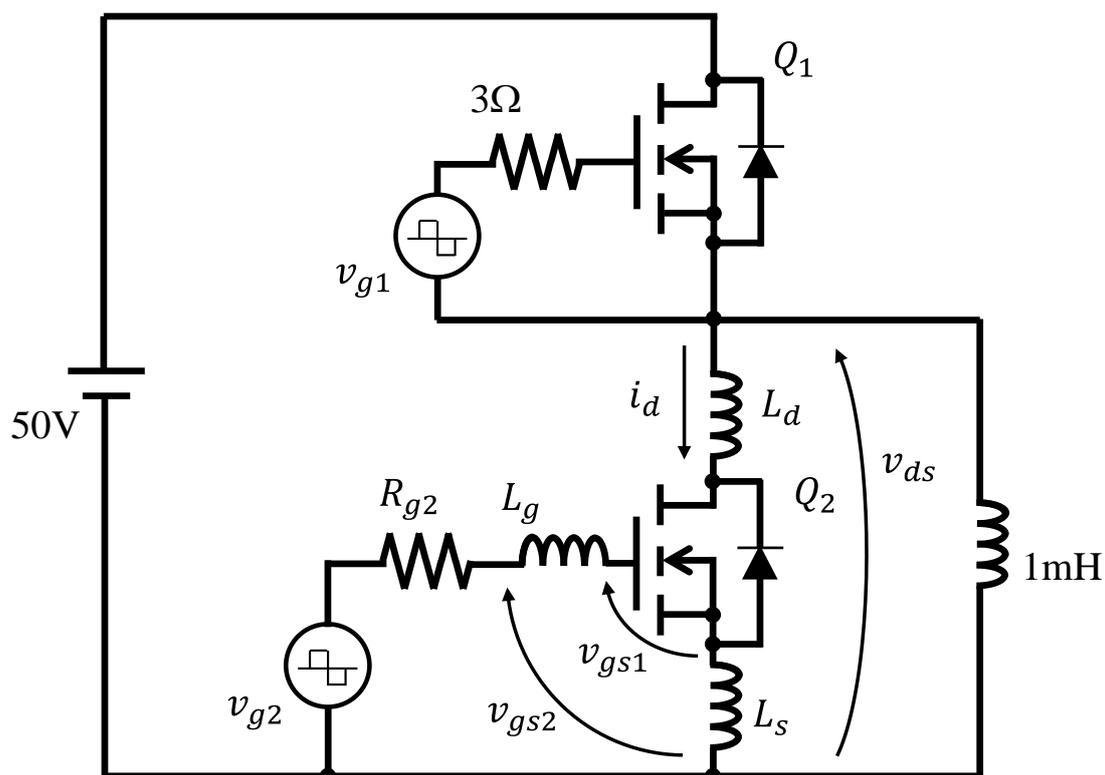


図 4.3 実験回路

4.3.2 リカバリを併発する場合の実験結果

図 4.4 および図 4.5 にパワー半導体デバイスに Si MOSFET を使用し、ローサイドの MOSFET のゲートに 22nH 接続した場合とソースに 22nH 接続した場合の実験波形を示す。図 4.4 ではゲート側のインピーダンスが大きいため、 v_{gs1} と v_{gs2} は正電圧から振動が始まっている。また、22nH のゲートインダクタンスを包括する v_{gs2} は v_{gs1} に比べて電圧振幅が大きく表れていることがわかる。一方、図 4.5 ではソース部のインピーダンスが大きくなったことによって、 v_{gs1} は大きな負電圧に振れていることが分かる。しかし、ソースインダクタンスを含めた v_{gs2} は正電圧から振動が始まっており、図 4.4 の v_{gs2} と同様の波形を示している。

また、図 4.4 および図 4.5 からリカバリ期間に発生するゲート電圧変動値 (1st peak)

第4章 誤点弧発生メカニズム

は誤点弧には寄与していないことが分かる。リカバリ期間後に発生するゲート電圧変動(2nd peak)のところで誤点弧がそれぞれ発生している。そのため、誤点弧の発生には 2nd peak 値が重要であるといえる。

図 4.6 および図 4.7 に外付けインダクタを接続しない場合とソース部に 22nH 接続した場合でゲート抵抗を 3~20Ωまで変化させた場合のゲート電圧振動のピーク値の変化を示す。図 4.6 ではゲート抵抗の増加に伴いリカバリ期間の電圧ピーク (1st peak) は増加傾向にある。そして、リカバリ期間後の電圧ピーク(2nd peak)は減少傾向にある。ここから、ゲート抵抗を増加させることで 1st peak 値は増加しているが、誤点弧発生に関わっており、且つ、ドレイン-ソース間の電圧遷移が表れる 2nd peak 値は減少しており、寄生容量のみを主とする従来の考え方とは異なる結果となった。

図 4.7 では、ソース部に接続した 22nH がパワー半導体デバイス内の寄生インダクタンスだと想定すると、 v_{gs2} が測定可能なゲート電圧変化となり、 v_{gs1} が実際のゲート電圧の変化と考えることができる。 v_{gs2} のリカバリ期間の電圧ピーク (1st peak) の変化傾向は図 4.6 と同様にゲート抵抗の増加とともに、単調増加している。しかし、リカバリ期間後の電圧ピーク(2nd peak)はソースインダクタンスが大きいことが起因しているためか 12Ωを境に増加から減少に転じている。

一方、 v_{gs1} のリカバリ期間の電圧ピーク (1st peak) は大きな負電圧となっており、ゲート抵抗の増加とともに減少している。リカバリ期間後の電圧ピーク(2nd peak) は大きく変化することなく、5V 付近でほぼ一定を保っている。ゲート抵抗が小さい領域ではソース端子からゲート端子に流れる電流が支配的であるが、ゲート抵抗が大きくなるとゲート端子への転流成分が小さくなり、ソースインダクタンスでの電圧降下成分が増大することで図 4.6 の変化傾向に近づいていると考えられる。

第4章 誤点弧発生メカニズム

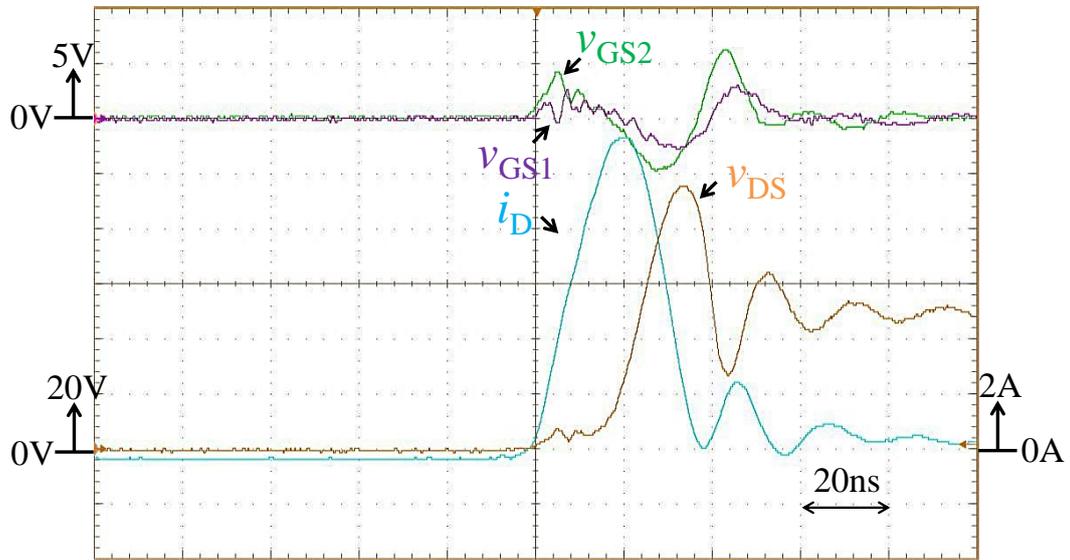


図 4.4 $L_G=22\text{ nH}$ 付加時における実験波形

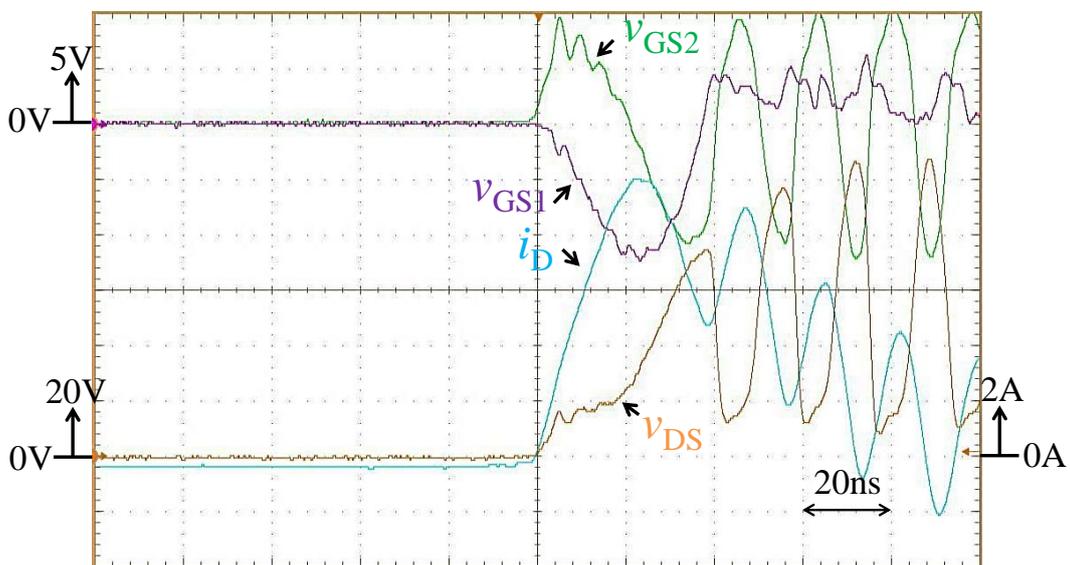


図 4.5 $L_S=22\text{ nH}$ 付加時における実験波形

第4章 誤点弧発生メカニズム

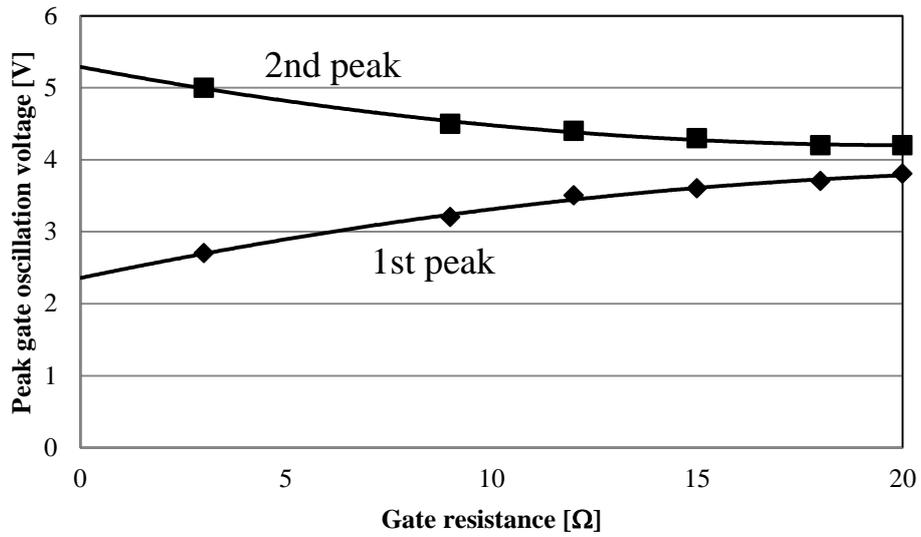


図 4.6 $L_d=L_g=L_s=0\text{nH}$ 付加時のゲート電圧ピーク値のゲート抵抗依存性

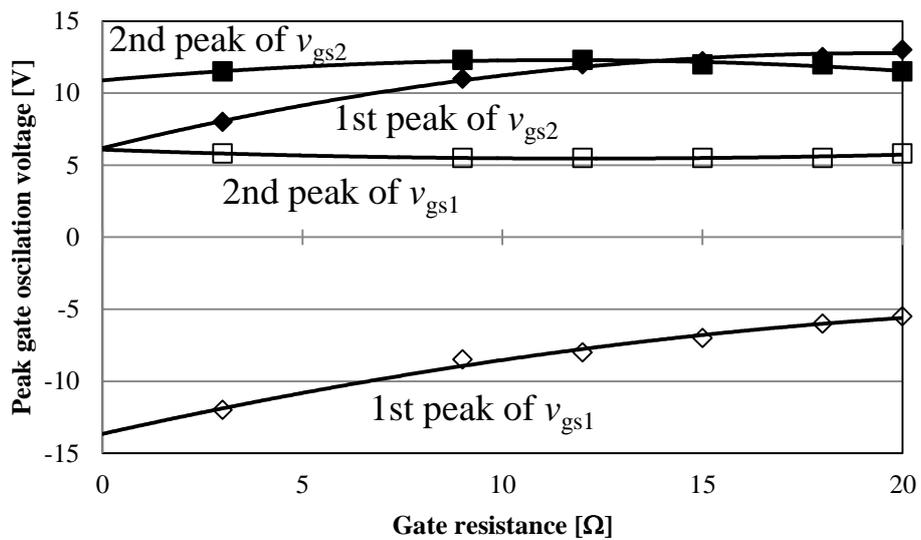


図 4.7 $L_s=22\text{nH}$ 付加時のゲート電圧ピーク値のゲート抵抗依存性

4.3.3 リカバリを併発しない場合の実験結果

図 4.8 および図 4.9 にパワー半導体デバイスに GaN HEMT を使用し、ローサイドの GaN HEMT のゲートに 5nH 接続した場合とソースに 5nH 接続した場合の実験波形を示す。図 4.8 では MOSFET の時と同様に v_{gs1} と v_{gs2} は正電圧から振動が始まっており、インダクタンス値が小さいため両者の波形に大きな違いがない。一方、図 4.9 ではソースインダクタンス値が 5nH と小さくても v_{gs1} は負電圧に振れていることが分かる。しかし、ソースインダクタンスを含めた v_{gs2} は正電圧から振動が始まっており、図 4.8 と同様の波形を示している。

図 4.10 および図 4.11 に外付けインダクタを接続しない場合とソース部に 5nH 接続した場合でゲート抵抗を 3~20Ωまで変化させた場合のゲート電圧振動のピーク値の変化を示す。図 4.10 ではゲート抵抗の増加に伴い電圧ピークが増加している。これはホイーストブリッジが正に傾いているためゲート抵抗の増加とともに電圧ピークが上昇しているとみることができる。図 4.11 では、ゲート抵抗の増加に伴い電圧ピークが減少している。これはホイーストブリッジが負に傾いているため、ゲート抵抗の増加と共に打ち消され電圧ピークが低下していると捉えることができる。

第4章 誤点弧発生メカニズム

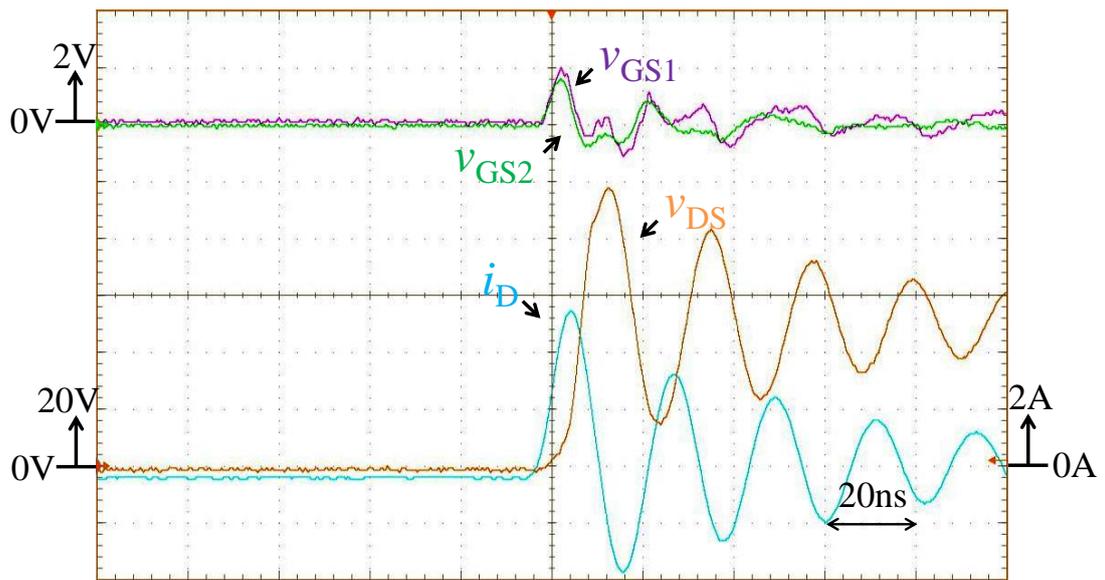


図 4.8 $L_G=5\text{nH}$ 付加時における実験波形

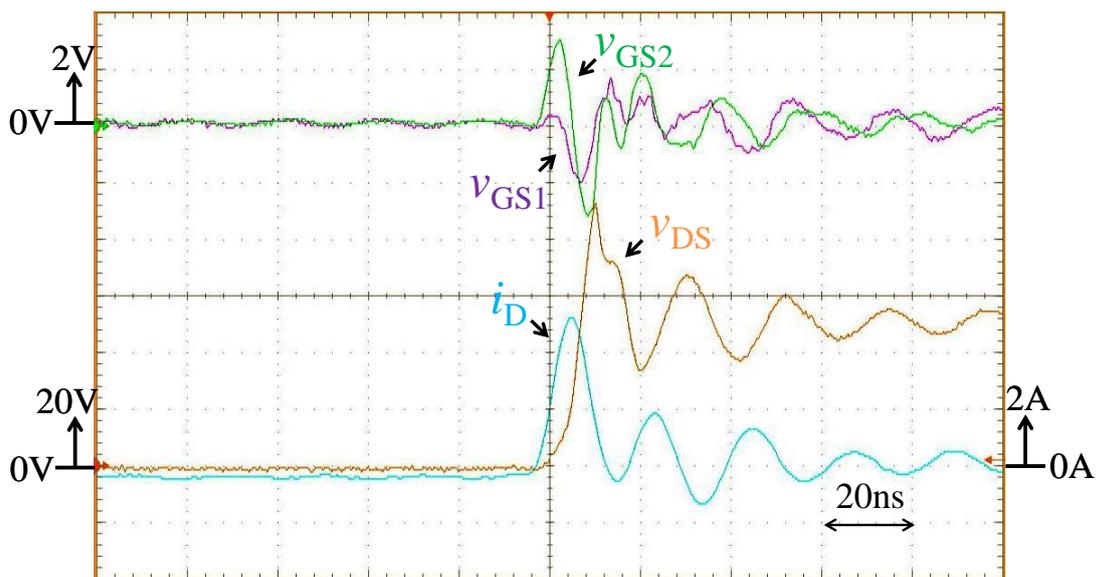


図 4.9 $L_S=5\text{nH}$ 付加時における実験波形

第4章 誤点弧発生メカニズム

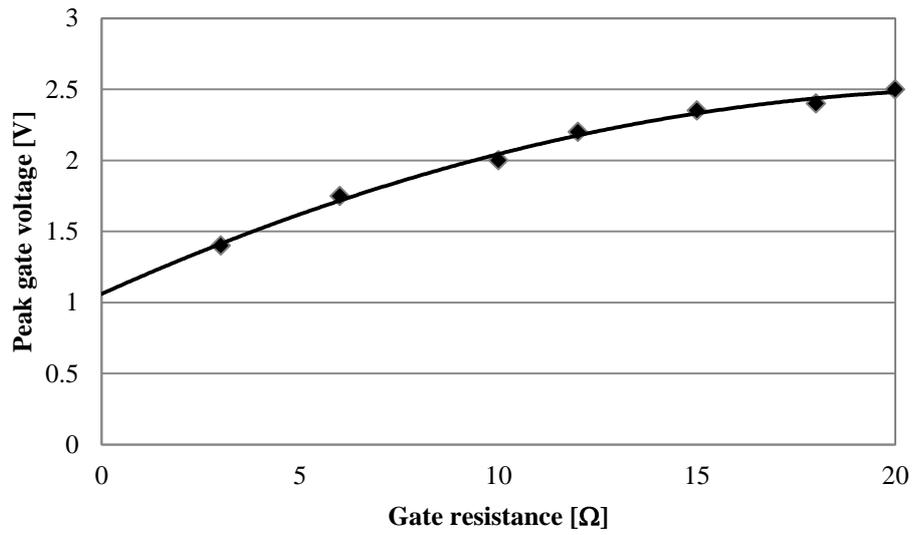


図 4.10 $L_d=L_g=L_s=0\text{nH}$ 付加時のゲート電圧ピーク値のゲート抵抗依存性

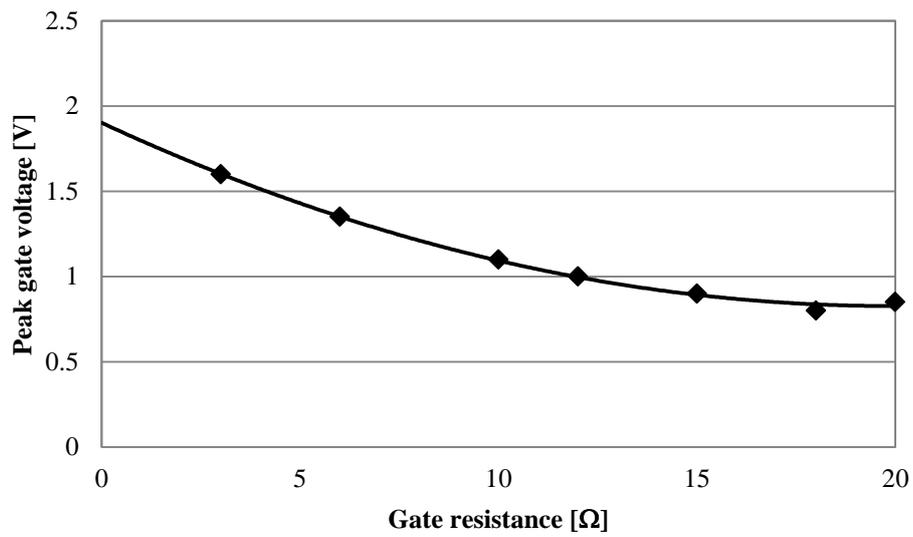


図 4.11 $L_s=5\text{nH}$ 付加時のゲート電圧ピーク値のゲート抵抗依存性

4.4 等価回路モデルによる誤点弧解析

4.4.1 リカバリを併発する場合の誤点弧解析

リカバリを有するパワー半導体デバイスは、リカバリ期間中はドレインソース間が短絡状態と考えることができるため、解析モデルを簡単化することができる。解析を行う等価回路モデルを図4.12に示す。この等価回路を回路方程式に基づいて解くと以下の結果を得ることができる。

$$\Delta v_{gs} = -\frac{L_s}{L_d+L_s} V_i \left\{ 1 - e^{-\frac{R}{2L} t_{rr}} \left(\frac{R}{2\omega_1 L} \sin \omega_1 t_{rr} + \cos \omega_1 t_{rr} \right) \right\} \dots\dots\dots(4.1)$$

$$\Delta v_{gs} = -\frac{L_s}{L_d+L_s} V_i \left\{ 1 - e^{-\frac{R}{2L} t_{rr}} \left(\frac{R}{2L} t_{rr} + 1 \right) \right\} \dots\dots\dots(4.2)$$

$$\Delta v_{gs} = -\frac{L_s}{L_d+L_s} V_i \left\{ 1 - e^{-\frac{R}{2L} t_{rr}} \left(\frac{R}{2\omega_2 L} \sinh \omega_2 t_{rr} + \cosh \omega_2 t_{rr} \right) \right\} \dots\dots\dots(4.3)$$

ここで、

$$L = L_d + \left(1 + \frac{L_d}{L_s} \right) L_g \dots\dots\dots(4.4)$$

$$R = \left(1 + \frac{L_d}{L_s} \right) R_{g2} \dots\dots\dots(4.5)$$

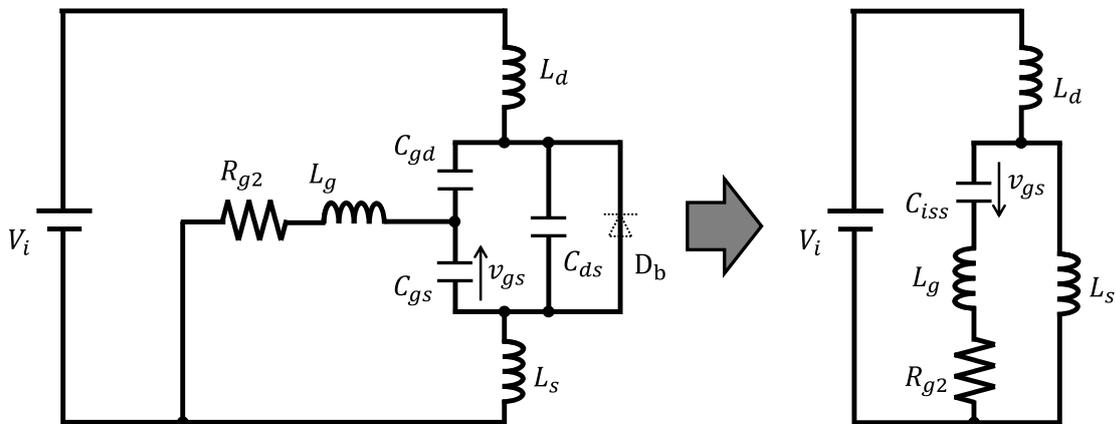


図4.12 リカバリ期間中の等価回路

第4章 誤点弧発生メカニズム

$$C = C_{iss} / \left(1 + \frac{L_d}{L_s}\right) \dots\dots\dots(4.6)$$

であり、 t_{rr} はリカバリ時間を表す。また、判別式 D を

$$D = \left(\frac{R}{L}\right)^2 - \frac{4}{LC} \dots\dots\dots(4.7)$$

とすると、 $D < 0$ の時は、(4.1)式、 $D = 0$ の時は、(4.2)式、 $D > 0$ の時は、(4.3)式がそれぞれの場合の解となる。そして、角周波数 ω_1 および双曲角速度 ω_2 は

$$\omega_1 = \frac{1}{\sqrt{LC}} \sqrt{1 - \frac{C}{L} \left(\frac{R}{2}\right)^2} \dots\dots\dots(4.8)$$

$$\omega_2 = \frac{R}{L} \sqrt{1 - \frac{L}{C} \left(\frac{2}{R}\right)^2} \dots\dots\dots(4.9)$$

である。

4.4.2 リカバリを併発する場合のシミュレーション検証

実機を用いた測定ではパッケージ内の寄生回路成分を取り除くことができないため、回路シミュレータを用いることでゲートソース間に発生する理想的な電圧振動を再現する。使用するシミュレータは回路シミュレータ SPICE (Simulation Program with Integrated Circuit Emphasis) の中でも Linear Technology 社が提供している LTspice IV を用いて図 4.13 に示すシミュレーション回路を構成した。Si MOSFET には IRF740LC の SPICE モデルを使用した⁽⁷⁾。また、実験回路には実機中の寄生インダクタンスなども追加することで実測波形を模擬した。各回路パラメータを表 4.1 にまとめた。デバイス内の寄生回路パラメータはデータシートを参考にした。また、配線インダクタンスは片面プリント基板における以下の算出式を元に計算した⁽⁸⁾。

$$L = 0.0002 \cdot l \cdot \left[\ln\left(\frac{2 \cdot l}{w+t}\right) + 0.2235 \cdot \left(\frac{w+t}{l}\right) + 0.5 \right] \dots\dots\dots(4.10)$$

第4章 誤点弧発生メカニズム

ここで、 L [μH]はインダクタンス値、 l [mm]は長さ、 w [mm]は幅、 t [mm]は厚さである。

図4.14に外付けインダクタを付加しない場合における実測波形とシミュレーション波形を示す。図4.14から実測波形をよく再現できていることが分かる。また、図4.15にパッケージの寄生パラメータを含むゲート電圧 v_{gs1} と寄生パラメータを含まないゲート電圧 v_{gs} を示す。この結果より、実際の使用環境下においてもゲートソース間は負電圧に充電されてから次の正電圧に振れる際のピーク電圧によって誤点弧するか否かを判断すべきことが分かる。

図4.16にはリカバリ終了時のゲート電圧の推移を示した。(4.1)式を用いた計算結果とシミュレーション結果は最大で 0.5V の誤差を含んでいるがゲート抵抗値による変化傾向はよく一致している。この誤差の原因として、IRF740LCのSPICEモデル内の寄生ゲート抵抗による影響が考えられる。この寄生ゲート抵抗をSPICEモデル内から取り出すとシミュレーション結果の再現性が得られなくなったため取り除くことができなかった。図4.17はリカバリ終了後のゲート電圧のピーク値を示しているが、ゲート抵抗が大きくなることでピーク値は減少しており誤点弧抑制効果があることが分かる。このピーク値が閾値電圧に対して大きく表れているのもSPICEモデル内の寄生ゲート抵抗による影響である。

表 4.1 シミュレーション回路の各パラメータ値

Parameter		Value
Bus line inductance	L_b [nH]	30
Bus line resistance	R_b [Ω]	3
Current probe inductance	L_c [nH]	10
Gate drive line inductance	L_p [nH]	50
Parasitic gate inductance	L_{pg} [nH]	7.5
Parasitic drain inductance	L_{pd} [nH]	4.5
Parasitic source inductance	L_{ps} [nH]	7.5

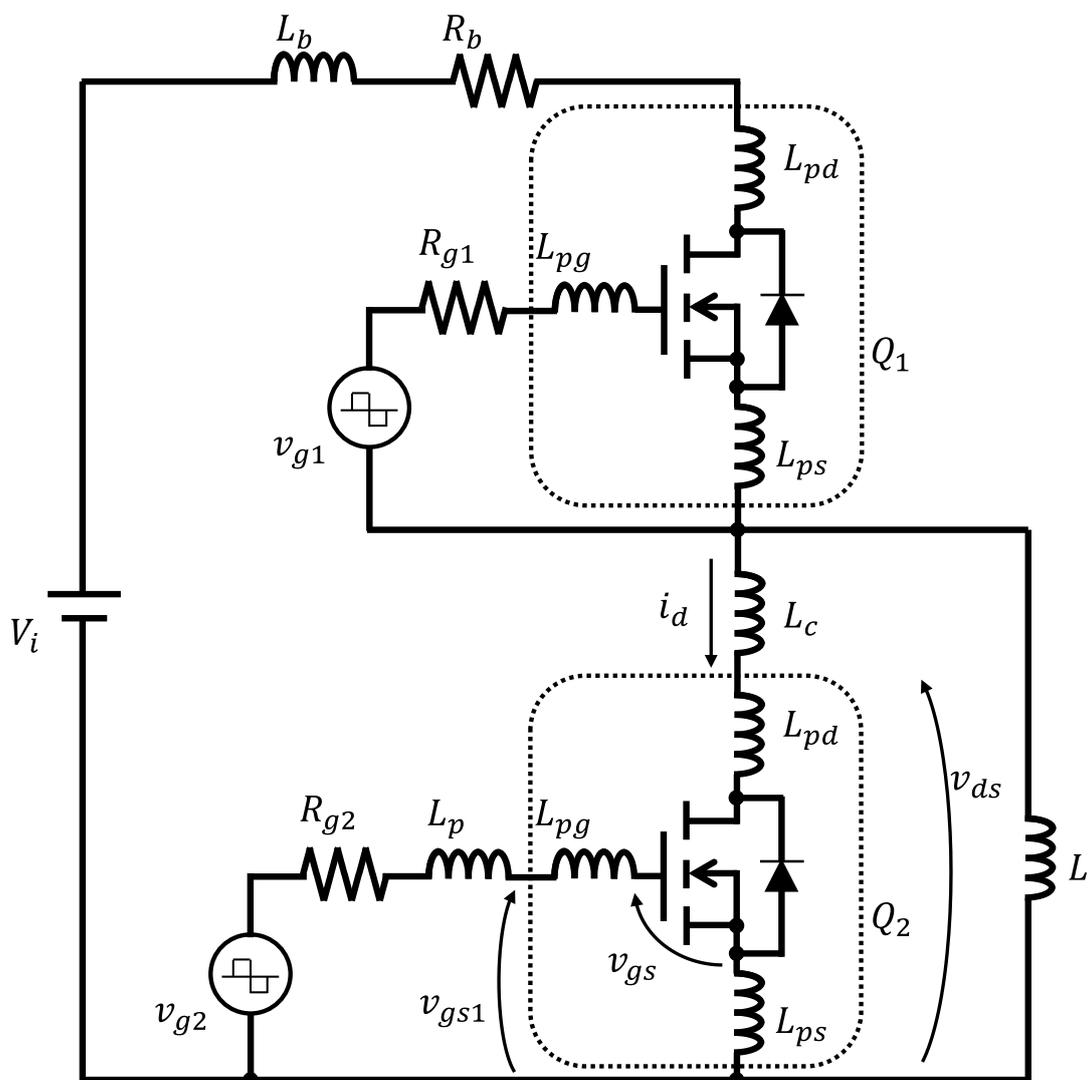


図 4.13 シミュレーション回路

第4章 誤点弧発生メカニズム

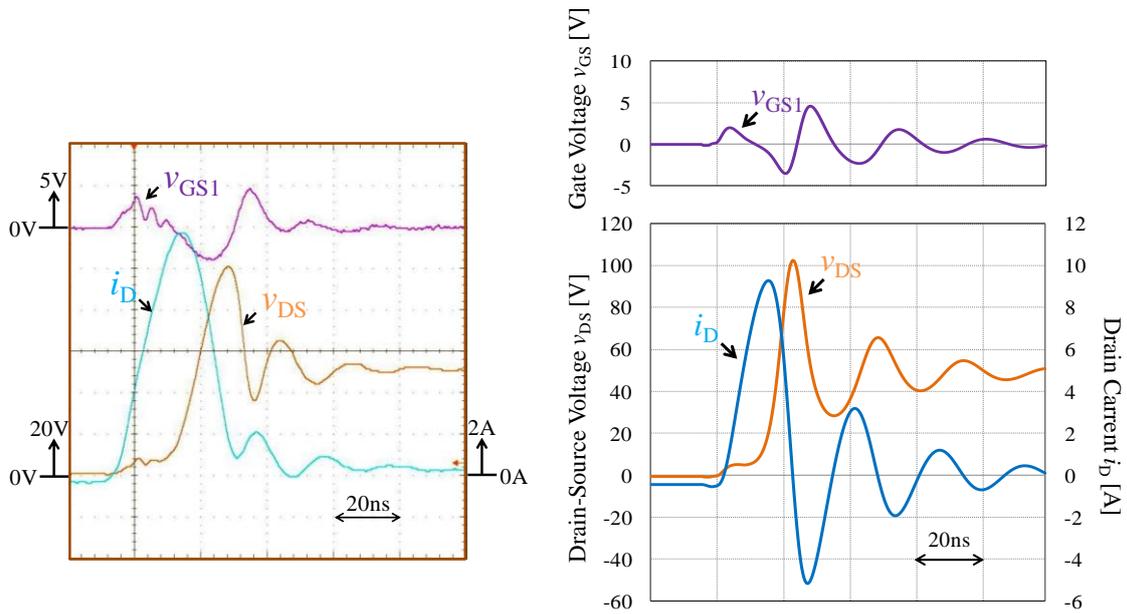


図 4.14 Si MOSFET の実機波形とシミュレーション波形

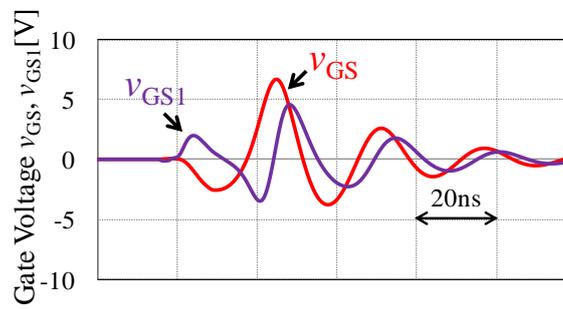


図 4.15 パッケージ内寄生成分の有無によるゲート電圧の違い

第4章 誤点弧発生メカニズム

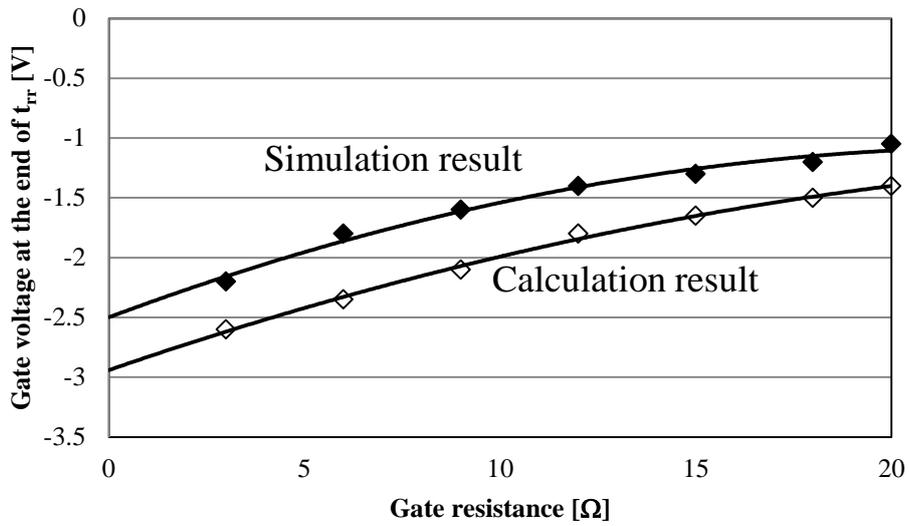


図 4.16 リカバリ終了時のゲート電圧とゲート抵抗の関係

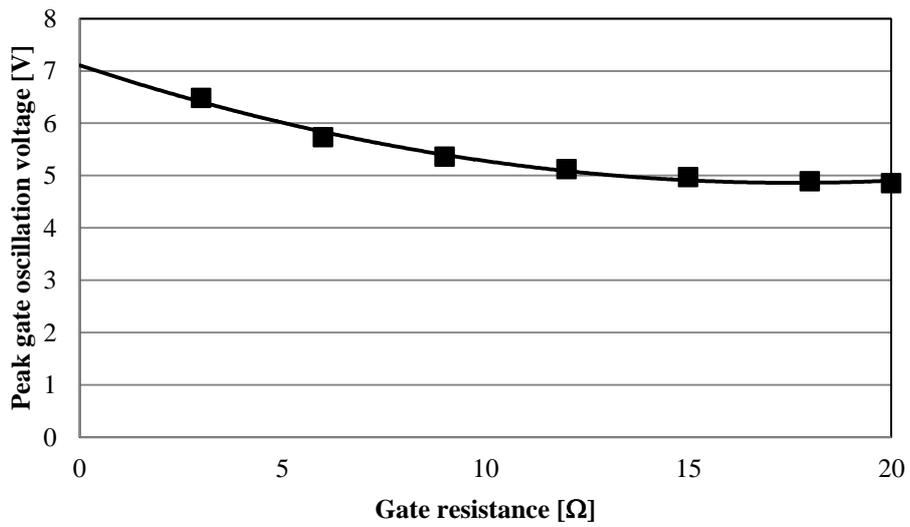


図 4.17 リカバリ終了後のゲート電圧のピーク値

4.4.3 リカバリを併発しない場合の誤点弧解析

リカバリを考える必要がない場合においては、図 4.18 に示す等価回路を用いて解析を行う。この等価回路を回路方程式に基づいて解くと以下の結果を得ることができる。

$$v = \left(1 + \frac{C_{gd}}{C_{gs}}\right) E \frac{e^{-\alpha_1 t}(A \cos \omega_1 t + B \sin \omega_1 t) - e^{-\alpha_2 t}(A \cos \omega_2 t + D \sin \omega_2 t)}{\{(L_2 C_{iss} - L_1 C_{oss})^2 + C_{iss} C_{oss} (L_2 R_d - L_1 R_g)(C_{oss} R_d - C_{iss} R_g)\}} \dots\dots\dots (4.11)$$

ここで、(4.7)式は、 $L_d \gg L_s$, $C_{gs} \gg C_{ds}$, $C_{gs} \gg C_{gd}$ の条件下での解析結果である。

また、

$$A = (L_2 C_{iss} - L_1 C_{oss})(L_g C_{gd} - L_s C_{ds}) - C_{gd} C_{iss} C_{oss} R_g (L_2 R_d - L_1 R_g) \dots\dots\dots (4.12)$$

$$B = \frac{1}{\omega_1 L_1} \left[(L_2 C_{iss} - L_1 C_{oss}) \left\{ \frac{1}{2} R_d (L_s C_{ds} - L_g C_{gd}) + L_1 C_{gd} R_g \right\} - C_{iss} (L_2 R_d - L_1 R_g) \left(L_s C_{ds} - L_g C_{gd} + \frac{1}{2} C_{gd} C_{oss} R_d R_g \right) \right] \dots\dots\dots (4.13)$$

$$D = \frac{1}{\omega_2 L_2} \left[(L_2 C_{iss} - L_1 C_{oss}) \left\{ \frac{1}{2} R_g (L_s C_{ds} - L_g C_{gd}) + L_2 C_{gd} R_g \right\} - C_{oss} (L_2 R_d - L_1 R_g) \left(L_s C_{ds} - L_g C_{gd} + \frac{1}{2} C_{gd} C_{iss} R_g^2 \right) \right] \dots\dots\dots (4.14)$$

$$\alpha_1 = \frac{R_d}{2L_1} \dots\dots\dots (4.15)$$

$$\alpha_2 = \frac{R_g}{2L_2} \dots\dots\dots (4.16)$$

$$\omega_1 = \sqrt{\frac{1}{L_1 C_{oss}} - \frac{R_d^2}{4L_1^2}} \dots\dots\dots (4.17)$$

$$\omega_2 = \sqrt{\frac{1}{L_2 C_{iss}} - \frac{R_g^2}{4L_2^2}} \dots\dots\dots (4.18)$$

$$L_1 = L_d + L_s \dots\dots\dots (4.19)$$

第4章 誤点弧発生メカニズム

$$L_2 = L_g + L_s \dots\dots\dots (4.20)$$

$$C_{oss} = C_{ds} + C_{gd} \dots\dots\dots (4.21)$$

$$C_{iss} = C_{gs} + C_{gd} \dots\dots\dots (4.22)$$

である。

式(4.11)から式(4.14)において重要なパラメータが3つ存在する。1つ目は、 $L_2C_{iss} - L_1C_{oss}$ の関係である。この項は、式(4.17)と式(4.18)に示す抵抗成分の影響を無視すればゲート駆動回路の共振周波数と主電流が流れる閉回路の共振周波数に一致する。すなわち、両者の共振周波数が等しい時、この項はゼロになる。2つ目は、 $L_gC_{gd} - L_sC_{ds}$ の関係である。図4.18において、ドレインの抵抗 R_d とインダクタ L_d を取り除くとホイーストブリッジの回路構成となっている。したがって、この平衡条件を満たせば、この項はゼロとなる。しかし、1つ目と2つ目の項は寄生容量成分が関わっているため、ドレイン電圧の変化に伴い、値が変化してしまう。そのため、3つ目の条件である $L_2R_d - L_1R_g$ の関係が設計値によりゼロにできる項となる。

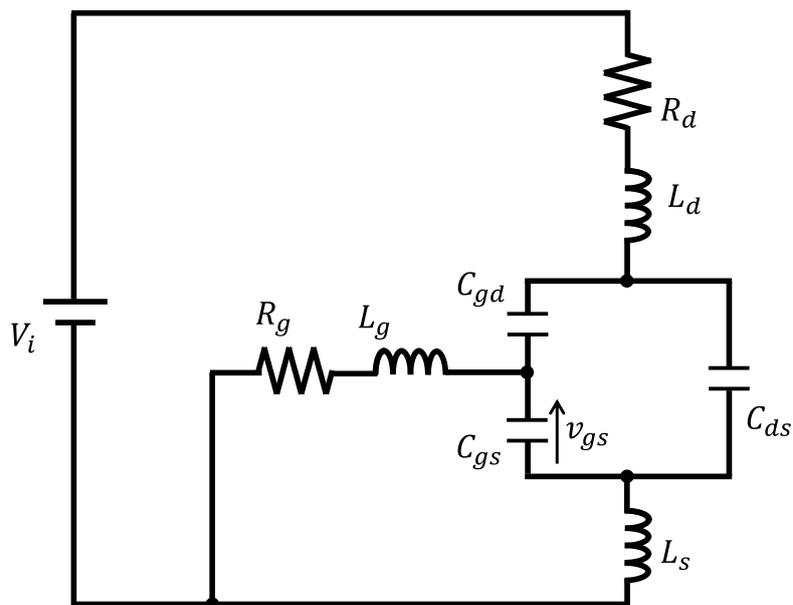


図 4.18 誤点弧解析のための等価回路

4.4.4 リカバリを併発しない場合のシミュレーション検証

図 4.13 と同様の回路構成で EPC 社発行の SPICE モデルを使用してシミュレーションを行った⁽⁹⁾。各回路パラメータを表 4.2 にまとめた。

図 4.19 に外付けインダクタンスを付加しない場合における実測波形とシミュレーション波形を示す。ゲート波形において実測波形では 2 つの周波数成分がみてとれるがシミュレーション波形では低い周波数成分に関しては再現ができていない。また、パッケージに依存する寄生インダクタンスが 0.1nH と小さいため、 v_{gs1} と v_{gs} の間に大きな違いはなく、両者の波形は一致している。

表 4.2 シミュレーション回路の各パラメータ値

Parameter		Value
Bus line inductance	L_b [nH]	30
Bus line resistance	R_b [Ω]	3
Current probe inductance	L_c [nH]	10
Gate drive line inductance	L_p [nH]	50
Parasitic gate inductance	L_{pg} [nH]	1
Parasitic drain inductance	L_{pd} [nH]	0.1
Parasitic source inductance	L_{ps} [nH]	0.1

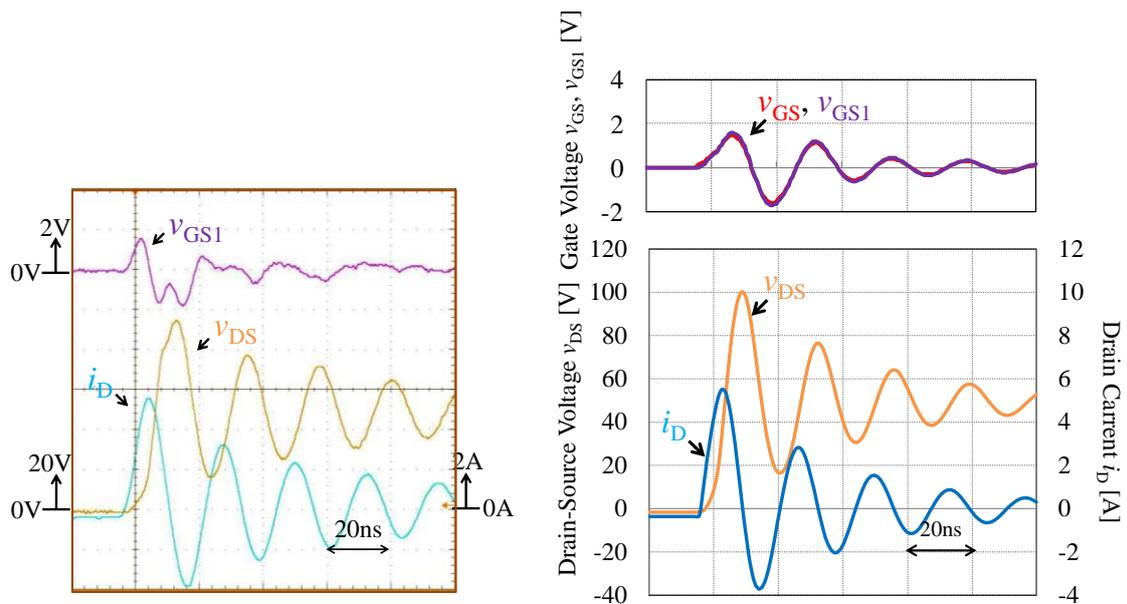


図 4.19 GaN HEMT の実機波形とシミュレーション波形

4.5 まとめ

本章では、パワー半導体デバイスのパッケージング内に存在する寄生回路成分の中でもコモンソースインダクタンスに着目し、リカバリの有無による誤点弧現象について考察した。また、実機によりコモンソースインダクタンスの影響を確認し、シミュレーションと合わせてゲート抵抗によるゲート電圧の変化特性を確認した。最後に、等価回路モデルを構築することでゲート電圧の数式化を行った。

寄生のインダクタンスを考慮した場合においてリカバリが有る場合には、リカバリ期間中にゲートソース間が負電圧に充電された後、ゲート駆動回路の共振によって正電圧に再充電される。このプロセスは実測波形とシミュレーションによって確認した。そして、ゲート抵抗を大きくすることでゲート電圧のピークが減少することを確認した。また、解析式と最大 0.5V の誤差があったもののゲート抵抗の変化に伴う傾向は一致していた。

リカバリ特性を考慮する必要がない場合には、ゲート電圧振動が正電圧から始まる場合と負電圧から始まる場合の2通りあることを確認した。そして、ゲート抵抗を大きくすると、前者の場合ではゲート電圧のピーク値は増大し、反対に、後者の場合では減少した。従って、回路の状態によってゲート抵抗の効果が真逆の影響を及ぼすという結果を得た。また、解析式より、ゲート駆動回路の共振周波数と主電流が流れる閉回路の共振周波数との関係性、ホイーストブリッジの平衡状態、そして、ゲート駆動回路の寄生インダクタンスと抵抗および主電流が流れる閉回路の寄生インダクタンスと抵抗の比率の以上3つのパラメータが重要となることが示唆された。

参考文献

- (1) Q. Zhao and G. Stojcic, “Characterization of Cdv/dt Induced Power Loss in Synchronous Buck DC-DC Converters,” *IEEE Trans. Power Electron.*, Vol. 22, Issue 4, pp. 1508–1513, Jul. 2007.
- (2) Y. Kawaguchi, T. Kawano, H. Takei, S. Ono and A. Nakagawa, “Multi Chip Module with Minimum Parasitic Inductance for New Generation Voltage Regulator,” in *Proc. Power Semicond. Devices IC’s*, pp. 371–374, May 2005.
- (3) D. Heer R. Bayerer and D. Domes, “SiC-JFET in half-bridge configuration – parasitic turn-on at current commutation,” in *Proc. Inter. Exhib. Conf. Power Electron.*, pp. 20–22, May 2014.
- (4) B. Yang and J. Zhang, “Effect and Utilization of Common Source Inductance in Synchronous Rectification,” in *Proc. Appl. Power Electron. Conf. Expo.*, Vol. 3, pp. 1407–1411, Mar. 2005.
- (5) H. Umegami, A. Nishigaki, F. Hattori and M. Yamamoto, “Investigation of False Triggering Mechanism,” *IEEJ Trans. Electrical Electric Eng.*, Vol. 9, Issue 1, pp. 102–104, January 2014.
- (6) 西垣彰紘, 梅上大勝, 三島大地, 服部文哉, 山本真義, 「半導体デバイスの誤点弧メカニズムに関する研究」, 電気学会論文誌 C, Vol. 135, No. 7, pp. 769–775, 2014年9月
- (7) Vishay 社, 「IRF740LC の SPICE モデル」, 2010年2月
Available at: <http://www.vishay.com/docs/90211/sihf740lc.lib>
- (8) 久保寺 忠, 「高速デジタル回路実装ノウハウ-高速信号を確実に伝送する基盤設計」, CQ 出版社, 2002年
- (9) EPC 社, 「EPC GaN の SPICE MODEL」, 2014年11月
Available at: <http://epc-co.com/epc/documents/spice-files/LTSPICE/EPCGaNLibrary.zip>

第5章 結論

本研究では、次世代半導体デバイスの中でもパワー半導体デバイスにとって新しいデバイス構造をとる GaN デバイスについて取り扱った。GaN デバイスは HEMT 構造を得意としており、ゲートは非絶縁構造をとるため絶縁ゲート構造が広く普及しているシリコン系のパワー半導体デバイスとはゲートの駆動方法が異なる。また、GaN デバイスは高速性に優れており、電力変換回路の高周波化において問題となる誤点弧についての解析が求められる。

本章では、GaN デバイスを電力変換回路に適用するための基礎研究について、その成果をとりまとめる。

ノーマリオフ GaN HEMT のゲート駆動回路

第3章では、GaN デバイスを駆動するための最も基礎的な技術となるゲート駆動回路について取り扱った。GaN HEMT は閾値電圧が低いため、ゲートを駆動する際に負電圧を必要とする。その最も簡易なゲート駆動回路としてキャパシタ分圧型ゲート駆動回路を示した。また、同期整流やソフトスイッチングを行うアプリケーションにおいて GaN HEMT の逆導通特性が電力変換効率を悪化させる。これを解決するゲート駆動回路としてアクティブ放電型ゲート駆動回路を示した。これら2つのゲート駆動回路に対し、ゲート駆動損失解析を行い、実験結果との整合性を確認した。また、LLC コンバータにてアクティブ放電型ゲート駆動回路の有効性を示し、ゲート駆動回路によって電力変換効率を向上させることができることを確認した。

誤点弧発生メカニズム

第4章では、パワー半導体デバイスが制御性能をもつことによって生じる誤点弧問題について取り扱った。パワー半導体デバイスの寄生インダクタンスを考慮する

第5章 結論

ことにより，誤点弧が発生するメカニズムにはゲート電圧が正電圧から振動する場合と負電圧から振動する場合の2種類のパターンが存在することを確認した。また，ゲート抵抗が増加すると，前者の場合にはゲート電圧が増加し，後者の場合にはゲート電圧が減少した。このことから回路の構成から誤点弧発生メカニズムがどちらに分類されるのかの判断が必要になる。これは，解析式よりゲート駆動回路の共振周波数と主電流が流れる閉回路の共振周波数との関係性，ホイーストンブリッジの平衡状態，そして，ゲート駆動回路の寄生インダクタンスと抵抗および主電流が流れる閉回路の寄生インダクタンスと抵抗の比率の以上3つのパラメータに依存することを示した。

付録 A1 キャパシタ分圧型ゲート駆動回路の損失解析

本項では、3.3.1 項の(3.1)式から(3.4)式の導出を行う。

図 A1.1 にモード 1 の等価回路モデルを示す。 $R_1 \ll R_{g1}$ の関係から主電流を考えると、この回路における回路方程式は以下のように書ける。

<MODE 1>

$$\left. \begin{aligned} V_g &= R_1 i + V_{C1} + V_{gs} \\ V_{C1} &= V_0 + \frac{1}{C_1} \int idt \\ V_{gs} &= -V_0 + \frac{1}{C_{iss}} \int idt \end{aligned} \right\} \dots\dots\dots (A1.1)$$

ここで、 V_g はゲート駆動電源電圧、 R_1 はゲート抵抗、 C_1 は分圧コンデンサ容量、 C_{iss} は GaN FET の入力容量、 V_{C1} は分圧コンデンサ C_1 の充電電圧、 V_{gs} はゲート - ソース間電圧、 V_0 は初期電圧、 i は電流である。ここで、(A1.1)式は $i = dq/dt$ の関係より以下のように書き直せる。

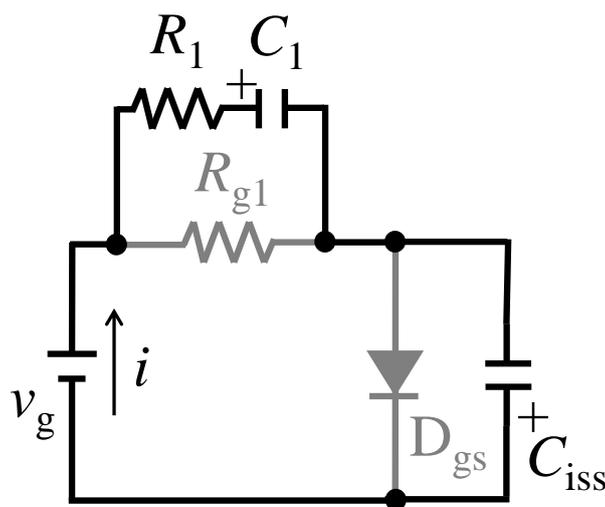


図 A1.1 キャパシタ分圧型ゲート駆動回路のモード 1

付録 A1 キャパシタ分圧型ゲート駆動回路の損失解析

$$\left. \begin{aligned} V_g &= R_1 \frac{dq}{dt} + V_{C1} + V_{gs} \\ V_{C1} &= V_0 + \frac{1}{C_1} q \\ V_{gs} &= -V_0 + \frac{1}{C_{iss}} q \end{aligned} \right\} \dots\dots\dots (A1.2)$$

ここで、 q は電荷である。(A1.2)式を解くと一般解

$$q = \frac{C_1 C_{iss}}{C_1 + C_{iss}} V_g \left(1 - A \exp \left[-\frac{C_1 + C_{iss}}{C_1 C_{iss} R_1} t \right] \right) \dots\dots\dots (A1.3)$$

を得る。 $t=0$ で $q=0$ であるため、 $A=1$ である。そのため特殊解は

$$q = \frac{C_1 C_{iss}}{C_1 + C_{iss}} V_g \left(1 - \exp \left[-\frac{C_1 + C_{iss}}{C_1 C_{iss} R_1} t \right] \right) \dots\dots\dots (A1.4)$$

となる。また、電流 i は

$$i = \frac{dq}{dt} = \frac{V_g}{R_1} \exp \left[-\frac{C_1 + C_{iss}}{C_1 C_{iss} R_1} t \right] \dots\dots\dots (A1.5)$$

である。次にゲート - ソース間ダイオード D_{gs} がオンするまでの遷移時間を求める。

(A1.4)式を(A1.2)式の第3式に代入すると、

$$V_{gs} = -V_0 + \frac{C_1}{C_1 + C_{iss}} V_g \left(1 - \exp \left[-\frac{C_1 + C_{iss}}{C_1 C_{iss} R_1} t \right] \right) \dots\dots\dots (A1.6)$$

となる。(A1.6)式を t について解くと

$$t = -\frac{C_1 C_{iss}}{C_1 + C_{iss}} R_1 \ln \left[1 - \frac{C_1 + C_{iss}}{C_1} \cdot \frac{V_{gs} + V_0}{V_g} \right] \dots\dots\dots (A1.7)$$

を得る。ここで、ダイオード D_{gs} が点弧するまでの遷移時間 t_{tr} は、

$$t_{tr} = -\frac{C_1 C_{iss}}{C_1 + C_{iss}} R_1 \ln \left[1 - \frac{C_1 + C_{iss}}{C_1} \cdot \frac{V_{sa} + V_0}{V_g} \right] \dots\dots\dots (A1.8)$$

と書ける。ここで、 V_{sa} はゲート - ソース間飽和電圧である。

以上よりモード 1 での電力損失を計算する。ここでは、電力損失が電圧電源から

付録 A1 キャパシタ分圧型ゲート駆動回路の損失解析

の出力電力と等しいことを利用し計算を行う。モード 1 での損失電力量 W_1 は、

$$W_1 = \int V_g idt = \int_0^{t_r} V_g \cdot \left(\frac{V_g}{R_1} \exp \left[-\frac{C_1 + C_{iss}}{C_1 C_{iss} R_1} t \right] \right) dt = C_{iss} V_g (V_{sa} + V_0) \dots\dots\dots (A1.9)$$

と求まる。ここで、分圧コンデンサ C_1 の遷移電圧を求めておく。(A1.4)式を(A1.2)式に代入すると、

$$V_{C1} = V_0 + \frac{C_{iss}}{C_1 + C_{iss}} V_g \left(1 - \exp \left[-\frac{C_1 + C_{iss}}{C_1 C_{iss} R_1} t \right] \right) \dots\dots\dots (A1.10)$$

を得る。さらに、(A1.8)式を代入して、遷移電圧 V_{C1_m1} は、

$$V_{C1_m1} = V_0 + \frac{C_{iss}}{C_1} (V_{sa} + V_0) \dots\dots\dots (A1.11)$$

と計算できる。ここで、モード 1 が終了する。

次に、図 A1.2 にモード 2 の等価回路モデルを示す。この回路における回路方程式は以下のように書ける。

<MODE 2>

$$\left. \begin{aligned} V_g &= R_1 i + V_{C1} + V_{sa} \\ V_{C1} &= V_{C1_m1} + \frac{1}{C_1} \int idt \end{aligned} \right\} \dots\dots\dots (A1.12)$$

ここで、(A1.12)式は $i = dq/dt$ の関係より以下のように書き直せる。

$$\left. \begin{aligned} V_g &= R_1 \frac{dq}{dt} + V_{C1} + V_{sa} \\ V_{C1} &= V_{C1_m1} + \frac{1}{C_1} q \end{aligned} \right\} \dots\dots\dots (A1.13)$$

(A1.13)式を解くと一般解

$$q = C_1 (V_g - V_{C1_m1} - V_{sa}) \left(1 - A \exp \left[-\frac{t}{C_1 R_1} \right] \right) \dots\dots\dots (A1.14)$$

を得る。 $t=0$ で $q=0$ であるため、 $A=1$ である。そのため特殊解は

付録 A1 キャパシタ分圧型ゲート駆動回路の損失解析

$$q = C_1(V_g - V_{C1_m1} - V_{sa}) \left(1 - \exp \left[-\frac{t}{C_1 R_1} \right] \right) \dots\dots\dots (A1.15)$$

となる。また、電流 i は以下のように求められる。

$$i = \frac{dq}{dt} = \frac{V_g - V_{C1_m1} - V_{sa}}{R_1} \exp \left[-\frac{t}{C_1 R_1} \right] \dots\dots\dots (A1.16)$$

ここで、オン時間 t_{on} と時定数 $C_1 R_1$ の関係が $t_{on} \gg C_1 R_1$ として $t_{on} \rightarrow \infty$ を考えると、モード 2 の損失電力量 W_2 は、

$$W_2 = \int_0^\infty V_g \cdot \left(\frac{V_g - V_{C1_m1} - V_{sa}}{R_1} \exp \left[-\frac{t}{C_1 R_1} \right] \right) dt = C_1 V_g (V_g - V_{C1_m1} - V_{sa}) \dots\dots\dots (A1.17)$$

と求まる。ここで、(A1.11)式を代入すると、

$$W_2 = C_1 V_g (V_g - V_0 - V_{sa}) - C_{iss} V_g (V_{sa} + V_0) \dots\dots\dots (A1.18)$$

を得る。また、分圧コンデンサ C_1 の最終値電圧は、(A1.13)式の第 2 式と(A1.15)式から

$$V_{C1} = V_{C1_m1} + (V_g - V_{C1_m1} - V_{sa}) \left(1 - \exp \left[-\frac{t}{C_1 R_1} \right] \right) \dots\dots\dots (A1.19)$$

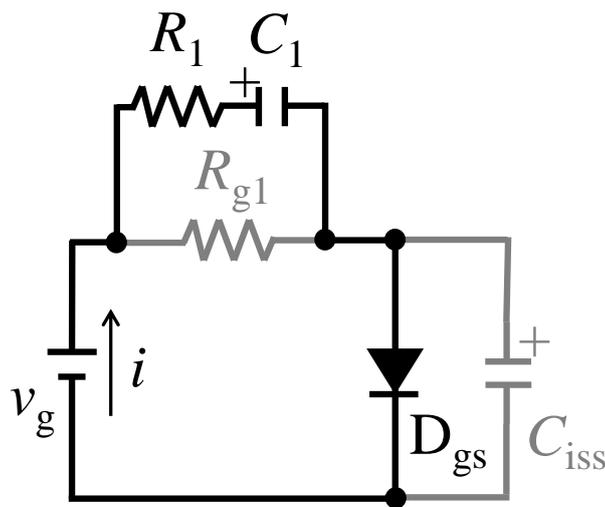


図 A1.2 キャパシタ分圧型ゲート駆動回路のモード 2

付録 A1 キャパシタ分圧型ゲート駆動回路の損失解析

である。ここで、 $t_{on} \gg C_1 R_1$ の関係から $t \rightarrow \infty$ とすると、

$$V_{C1} = V_g - V_{sa} \dots\dots\dots (A1.20)$$

を得る。

続いて、図 A1.3 にモード 3 の等価回路モデルを示す。この等価回路の回路方程式は以下のように書ける。

<MODE 3>

$$V_g = R_{g1} i + V_{sa} \dots\dots\dots (A1.21)$$

ここで、 R_{g1} は制限抵抗である。(A1.21)式を変形し、電流 i は

$$i = \frac{V_g - V_{sa}}{R_{g1}} \dots\dots\dots (A1.22)$$

を得る。ここで、 $t_{on} \gg C_1 R_1$ であったから、 $C_1 R_1$ の時間項を無視し、モード 3 の損失電力量 W_3 を計算すると、

$$W_3 = \int_0^{t_{on}} V_g \cdot \frac{V_g - V_{sa}}{R_{g1}} dt = \frac{V_g (V_g - V_{sa})}{R_{g1}} t_{on} \dots\dots\dots (A1.23)$$

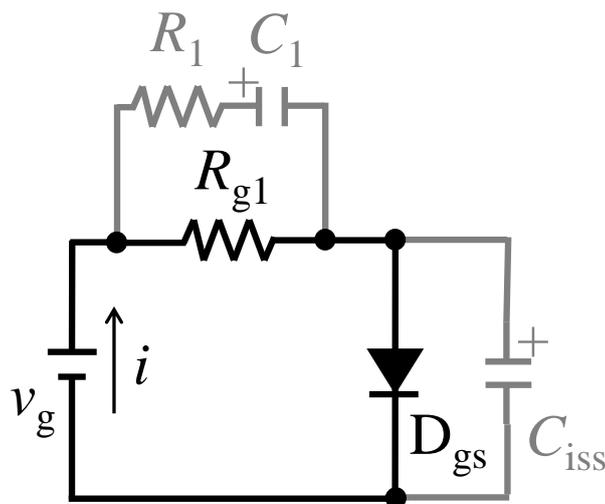


図 A1.3 キャパシタ分圧型ゲート駆動回路のモード 3

付録 A1 キャパシタ分圧型ゲート駆動回路の損失解析

が求まる。

以上のモード 1 からモード 3 において、総合電力損失 P はスイッチング周波数 f を用いて計算すると、

$$P = (W_1 + W_2 + W_3)f = \left(\frac{V_g(V_g - V_{sa})}{R_{g1}} t_{on} + C_1 V_g (V_g - V_0 - V_{sa}) \right) f \dots\dots\dots (A1.24)$$

を得る。ここで、自比率 50 % を仮定すると、 $t_{on} = 1/2f$ であるため、

$$P = (W_1 + W_2 + W_3)f = \frac{V_g(V_g - V_{sa})}{2R_{g1}} + C_1 V_g (V_g - V_0 - V_{sa}) f \dots\dots\dots (A1.25)$$

と変形できる。(A1.24)式は(3.1)式であり、(A1.25)式は(3.3)式である。

では、続いて初期電圧 V_0 を残りのモードから計算する。図 A1.4 にモード 4 の等価回路モデルを示す。モード 4 より、 $R_1 \ll R_{g1}$ の関係から主電流を考えると回路方程式は以下のようなになる。

<MODE 4>

$$\left. \begin{aligned} 0 &= R_1 i + V_{C1} + V_{gs} \\ V_{C1} &= V_g - V_{sa} + \frac{1}{C_1} \int idt \\ V_{gs} &= V_{sa} + \frac{1}{C_{iss}} \int idt \end{aligned} \right\} \dots\dots\dots (A1.26)$$

ここで、(A1.26)式は $i = dq/dt$ の関係より以下のように書き直せる。

$$\left. \begin{aligned} 0 &= R_1 \frac{dq}{dt} + V_{C1} + V_{gs} \\ V_{C1} &= V_g - V_{sa} + \frac{1}{C_1} q \\ V_{gs} &= V_{sa} + \frac{1}{C_{iss}} q \end{aligned} \right\} \dots\dots\dots (A1.27)$$

(A1.27)式を解くと一般解

付録 A1 キャパシタ分圧型ゲート駆動回路の損失解析

$$q = -\frac{C_1 C_{iss}}{C_1 + C_{iss}} V_g \left(1 - A \exp \left[-\frac{C_1 + C_{iss}}{C_1 C_{iss} R_1} t \right] \right) \dots\dots\dots (A1.28)$$

を得る。 $t=0$ で $q=0$ であるため、 $A=1$ である。そのため特殊解は

$$q = -\frac{C_1 C_{iss}}{C_1 + C_{iss}} V_g \left(1 - \exp \left[-\frac{C_1 + C_{iss}}{C_1 C_{iss} R_1} t \right] \right) \dots\dots\dots (A1.29)$$

となる。(A1.29)式を(A1.27)式の第2式と第3式に代入すると以下を得る。

$$V_{C1} = V_g - V_{sa} - \frac{C_{iss}}{C_1 + C_{iss}} V_g \left(1 - \exp \left[-\frac{C_1 + C_{iss}}{C_1 C_{iss} R_1} t \right] \right) \dots\dots\dots (A1.30)$$

$$V_{gs} = V_{sa} - \frac{C_1}{C_1 + C_{iss}} V_g \left(1 - \exp \left[-\frac{C_1 + C_{iss}}{C_1 C_{iss} R_1} t \right] \right) \dots\dots\dots (A1.31)$$

ここで時定数 $C_1 R_1 \ll 1$ から V_{C1} と V_{gs} は最終値をとると仮定し $t \rightarrow \infty$ とすると、それぞれの最終値 V_{C1_m4} と V_{gs_m4} は、

$$V_{C1_m4} = \frac{C_1}{C_1 + C_{iss}} V_g - V_{sa} \dots\dots\dots (A1.32)$$

$$V_{gs_m4} = V_{sa} - \frac{C_1}{C_1 + C_{iss}} V_g \dots\dots\dots (A1.33)$$

と書ける。

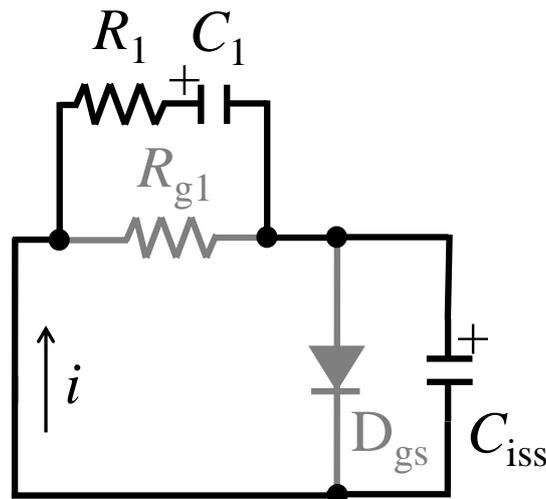


図 A1.4 キャパシタ分圧型ゲート駆動回路のモード4

付録 A1 キャパシタ分圧型ゲート駆動回路の損失解析

続いて、図 A1.5 にモード 5 の回路モデルを示す。通常の等価回路モデルでは複雑な解になるため、 $R_1 \ll R_{g1}$ の関係から R_1 を無視した簡易回路モデルを考える。簡易回路モデルにおいて回路方程式を立て、解を導出する。

<MODE 5>

$$\left. \begin{aligned} 0 &= R_{g1}(i_1 - i_2) + V_{gs} \\ 0 &= R_{g1}(i_2 - i_1) + V_{C1} \\ V_{gs} &= -V_{gs_m4} + \frac{1}{C_{iss}} \int i_1 dt \\ V_{C1} &= V_{C1_m4} + \frac{1}{C_1} \int i_2 dt \end{aligned} \right\} \dots\dots\dots (A1.34)$$

ここで、 i_1 は C_{iss} を充電する向きの電流、 i_2 は C_1 を充電する向きの電流とした。(A1.34)

式は $i = dq/dt$ の関係より以下のように書き直せる。

$$\left. \begin{aligned} 0 &= R_{g1} \left(\frac{dq_1}{dt} - \frac{dq_2}{dt} \right) + V_{gs} \\ 0 &= R_{g1} \left(\frac{dq_2}{dt} - \frac{dq_1}{dt} \right) + V_{C1} \\ V_{gs} &= -V_{gs_m4} + \frac{1}{C_{iss}} q_1 \\ V_{C1} &= V_{C1_m4} + \frac{1}{C_1} q_2 \end{aligned} \right\} \dots\dots\dots (A1.35)$$

ここで、(A1.35)式から q_1 と q_2 の関係は、

$$q_2 = -C_1(V_{C1_m4} - V_{gs_m4}) - \frac{C_1}{C_{iss}} q_1 \dots\dots\dots (A1.36)$$

となる。(A1.35)式と(A1.36)式から、

$$q_1 = C_{iss} V_{gs_m4} \left(1 - A \exp \left[-\frac{t}{(C_1 + C_{iss})R_{g1}} \right] \right) \dots\dots\dots (A1.37)$$

$t=0$ で $q=0$ であるため、 $A=1$ である。そのため特殊解は

付録 A1 キャパシタ分圧型ゲート駆動回路の損失解析

$$q_1 = C_{iss} V_{gs_m4} \left(1 - \exp \left[-\frac{t}{(C_1 + C_{iss}) R_{g1}} \right] \right) \dots\dots\dots (A1.38)$$

と求められる。(A1.38)式を(A1.35)式の第3式に代入すると、

$$V_{gs} = -V_{gs_m4} \exp \left[-\frac{t}{(C_1 + C_{iss}) R_{g1}} \right] \dots\dots\dots (A1.39)$$

を得る。(A1.39)式に(A1.33)式を代入すると、

$$V_{gs} = -\left(\frac{C_1}{C_1 + C_{iss}} V_g - V_{sa} \right) \exp \left[-\frac{t}{(C_1 + C_{iss}) R_{g1}} \right] \dots\dots\dots (A1.40)$$

となる。また、同様に、 V_{C1} を求めると以下の式が得られる。

$$V_{C1} = \left(\frac{C_1}{C_1 + C_{iss}} V_g - V_{sa} \right) \exp \left[-\frac{t}{(C_1 + C_{iss}) R_{g1}} \right] \dots\dots\dots (A1.41)$$

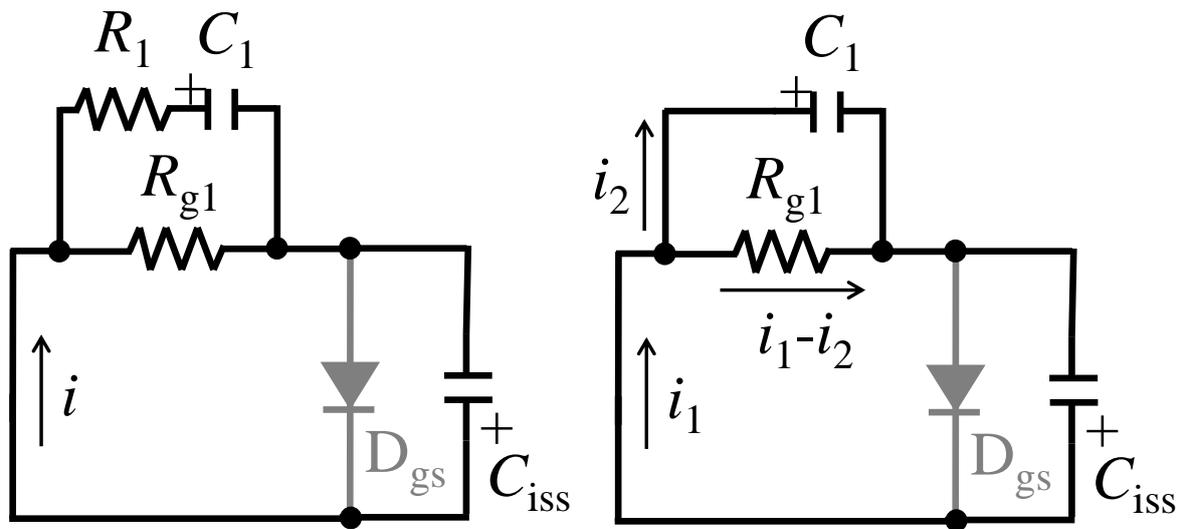
ここで、オフ時間を t_{off} とし、(A1.1)式を振り返ると初期電圧 V_0 は

$$V_0 = \left(\frac{C_1}{C_1 + C_{iss}} V_g - V_{sa} \right) \exp \left[-\frac{t_{off}}{(C_1 + C_{iss}) R_{g1}} \right] \dots\dots\dots (A1.42)$$

と求めることができる。また、自比率 50% を仮定すると、 $t_{off} = 1/2f$ であるため、

$$V_0 = \left(\frac{C_1}{C_1 + C_{iss}} V_g - V_{sa} \right) \exp \left[-\frac{1}{(C_1 + C_{iss}) R_{g1} \cdot 2f} \right] \dots\dots\dots (A1.43)$$

と変形できる。(A1.42)式は(3.2)式であり、(A1.43)式は(3.4)式である。



(a) 等価回路モデル

(b) 簡易回路モデル

図 4-6 キャパシタ分圧型ゲート駆動回路のモード 5

付録 A2 アクティブ放電型ゲート駆動回路の損失解析

本項では、3.3.3 項の(3.14)式から(3.17)式の導出を行う。

図 A2.1 に示すモード 1 の等価回路モデルから、抵抗 $R_2 \ll R_{g2}$, R_3 および時定数 $R_2 C_2 \ll R_3 C_3$ の関係において主電流を考えると、この回路における回路方程式は以下のようなになる。

<MODE 1>

$$\left. \begin{aligned} V_g &= R_2 i + V_{C_2} + V_{gs} \\ V_{C_2} &= V_F + \frac{1}{C_2} \int i dt \\ V_{gs} &= -V_F + \frac{1}{C_{iss}} \int i dt \end{aligned} \right\} \dots\dots\dots (A2.1)$$

ここで、 V_g はゲート駆動電源電圧、 R_2 はゲート抵抗、 C_2 は分圧コンデンサ容量、 C_{iss} は GaN FET の入力容量、 V_{C_2} は分圧コンデンサ C_2 の充電電圧、 V_{gs} はゲート - ソース間電圧、 V_F はダイオード D_g の順方向降下電圧、 i は電流である。ここで、(A2.1) 式は $i = dq/dt$ の関係より以下のように書き直せる。

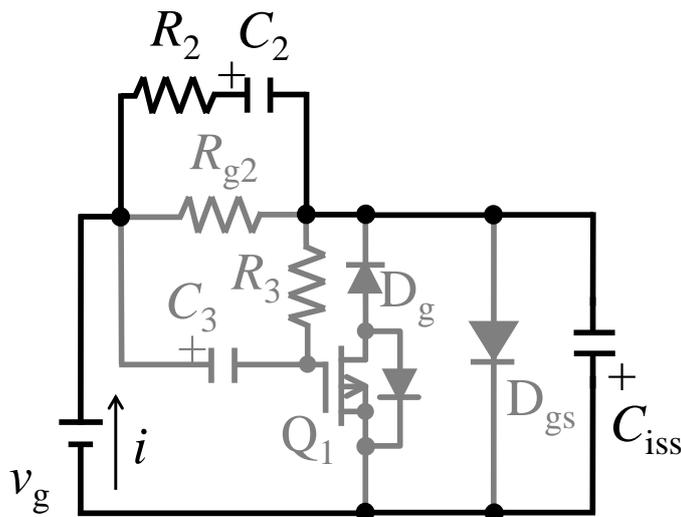


図 A2.1 アクティブ放電型ゲート駆動回路のモード 1

付録 A2 アクティブ放電型ゲート駆動回路の損失解析

$$\left. \begin{aligned} V_g &= R_2 \frac{dq}{dt} + V_{C2} + V_{gs} \\ V_{C2} &= V_F + \frac{1}{C_2} q \\ V_{gs} &= -V_F + \frac{1}{C_{iss}} q \end{aligned} \right\} \dots\dots\dots (A2.2)$$

ここで、 q は電荷である。(A2.2)式を解くと一般解

$$q = \frac{C_2 C_{iss}}{C_2 + C_{iss}} V_g \left(1 - A \exp \left[-\frac{C_2 + C_{iss}}{C_2 C_{iss} R_2} t \right] \right) \dots\dots\dots (A2.3)$$

を得る。 $t=0$ で $q=0$ であるため、 $A=1$ である。そのため特殊解は

$$q = \frac{C_2 C_{iss}}{C_2 + C_{iss}} V_g \left(1 - \exp \left[-\frac{C_2 + C_{iss}}{C_2 C_{iss} R_2} t \right] \right) \dots\dots\dots (A2.4)$$

となる。また、電流 i は

$$i = \frac{dq}{dt} = \frac{V_g}{R_2} \exp \left[-\frac{C_2 + C_{iss}}{C_2 C_{iss} R_2} t \right] \dots\dots\dots (A2.5)$$

である。次にゲート - ソース間ダイオード D_{gs} がオンするまでの遷移時間を求める。

(A2.4)式を(A2.2)式の第3式に代入すると、

$$V_{gs} = -V_F + \frac{C_2}{C_2 + C_{iss}} V_g \left(1 - \exp \left[-\frac{C_2 + C_{iss}}{C_2 C_{iss} R_2} t \right] \right) \dots\dots\dots (A2.6)$$

となる。(A2.6)式を t について解くと

$$t = -\frac{C_2 C_{iss}}{C_2 + C_{iss}} R_2 \ln \left[1 - \frac{C_2 + C_{iss}}{C_2} \cdot \frac{V_{gs} + V_F}{V_g} \right] \dots\dots\dots (A2.7)$$

を得る。ここで、ダイオード D_{gs} が点弧するまでの遷移時間 t_{tr} は、

$$t_{tr} = -\frac{C_2 C_{iss}}{C_2 + C_{iss}} R_2 \ln \left[1 - \frac{C_2 + C_{iss}}{C_2} \cdot \frac{V_{sa} + V_F}{V_g} \right] \dots\dots\dots (A2.8)$$

と書ける。ここで、 V_{sa} はゲート - ソース間飽和電圧である。

以上よりモード 1 での電力損失を計算する。ここでは、電力損失が電圧電源から

付録 A2 アクティブ放電型ゲート駆動回路の損失解析

の出力電力と等しいことを利用し計算を行う。モード 1 での損失電力量 W_1 は、

$$W_1 = \int V_g idt = \int_0^{t_r} V_g \cdot \left(\frac{V_g}{R_2} \exp \left[-\frac{C_2 + C_{iss}}{C_2 C_{iss} R_2} t \right] \right) dt = C_{iss} V_g (V_{sa} + V_F) \dots\dots\dots (A2.9)$$

と求まる。ここで、分圧コンデンサ C_2 の遷移電圧を求めておく。(A2.4)式を(A2.2)

式の第 2 式に代入すると、

$$V_{C2} = V_F + \frac{C_{iss}}{C_2 + C_{iss}} V_g \left(1 - \exp \left[-\frac{C_2 + C_{iss}}{C_2 C_{iss} R_2} t \right] \right) \dots\dots\dots (A2.10)$$

を得る。さらに、(A2.8)式を代入して、遷移電圧 V_{C2_m1} は、

$$V_{C2_m1} = V_F + \frac{C_{iss}}{C_2} (V_{sa} + V_F) \dots\dots\dots (A2.11)$$

と計算できる。ここで、モード 1 が終了する。

次に、図 A2.2 にモード 2 の等価回路モデルを示す。この回路における回路方程式は以下のように書ける。

<MODE 2>

$$\left. \begin{aligned} V_g &= R_2 i + V_{C2} + V_{sa} \\ V_{C2} &= V_{C2_m1} + \frac{1}{C_2} \int idt \end{aligned} \right\} \dots\dots\dots (A2.12)$$

ここで、(A2.12)式は $i = dq/dt$ の関係より以下のように書き直せる。

$$\left. \begin{aligned} V_g &= R_2 \frac{dq}{dt} + V_{C2} + V_{sa} \\ V_{C2} &= V_{C2_m1} + \frac{1}{C_2} q \end{aligned} \right\} \dots\dots\dots (A2.13)$$

(A2.13)式を解くと一般解

$$q = C_2 (V_g - V_{C2_m1} - V_{sa}) \left(1 - A \exp \left[-\frac{t}{C_2 R_2} \right] \right) \dots\dots\dots (A2.14)$$

を得る。 $t=0$ で $q=0$ であるため、 $A=1$ である。そのため特殊解は

付録 A2 アクティブ放電型ゲート駆動回路の損失解析

$$q = C_2(V_g - V_{C2_m1} - V_{sa}) \left(1 - \exp\left[-\frac{t}{C_2 R_2}\right] \right) \dots\dots\dots (A2.15)$$

となる。また、電流 i は以下のように求められる。

$$i = \frac{dq}{dt} = \frac{V_g - V_{C2_m1} - V_{sa}}{R_2} \exp\left[-\frac{t}{C_2 R_2}\right] \dots\dots\dots (A2.16)$$

ここで、オン時間 t_{on} と時定数 $C_2 R_2$ の関係が $t_{on} \gg C_2 R_2$ として $t_{on} \rightarrow \infty$ を考えると、モード 2 の損失電力量 W_2 は、

$$W_2 = \int_0^\infty V_g \cdot \left(\frac{V_g - V_{C2_m1} - V_{sa}}{R_2} \exp\left[-\frac{t}{C_2 R_2}\right] \right) dt = C_2(V_g - V_{C2_m1} - V_{sa})V_g \dots\dots\dots (A2.17)$$

と求まる。ここで、(A2.11)式を代入すると、

$$W_2 = C_2 V_g (V_g - V_F - V_{sa}) - C_{iss} V_g (V_{sa} + V_F) \dots\dots\dots (A2.18)$$

を得る。また、分圧コンデンサ C_2 の最終値電圧は、(A2.13)式の第 2 式と(A2.15)式から

$$V_{C2} = V_{C2_m1} + (V_g - V_{C2_m1} - V_{sa}) \left(1 - \exp\left[-\frac{t}{C_2 R_2}\right] \right) \dots\dots\dots (A2.19)$$

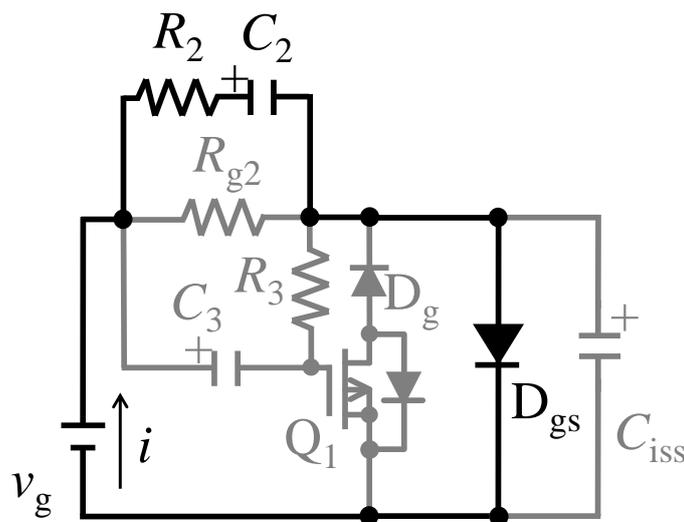


図 A2.2 アクティブ放電型ゲート駆動回路のモード 2

付録 A2 アクティブ放電型ゲート駆動回路の損失解析

である。ここで、 $t_{on} \gg C_2 R_2$ の関係から $t \rightarrow \infty$ とすると、下記の値に収束する。

$$V_{C_2} = V_g - V_{sa} \dots\dots\dots (A2.20)$$

続いて、図 A2.3 にモード 3 の等価回路モデルを示す。この回路モデルにおいて、回路方程式は以下のように書ける。

<MODE 3>

$$V_g = R_{g2} i_1 + V_{sa} \dots\dots\dots (A2.21)$$

$$\left. \begin{aligned} V_g &= V_{C_3} + R_3 i_2 + V_{sa} \\ V_{C_3} &= V_0 + \frac{1}{C_3} \int i_2 dt \end{aligned} \right\} \dots\dots\dots (A2.22)$$

ここで、 R_{g2} は制限抵抗、 V_0 はコンデンサ C_3 の初期電圧、 i_1 は R_{g2} を通る電流、 i_2 は C_3 を充電する電流である。(A2.21)式を変形し、電流 i_1 は

$$i_1 = \frac{V_g - V_{sa}}{R_{g2}} \dots\dots\dots (A2.23)$$

を得る。また、(A2.22)式は $i = dq/dt$ の関係より以下のように書き直せる。

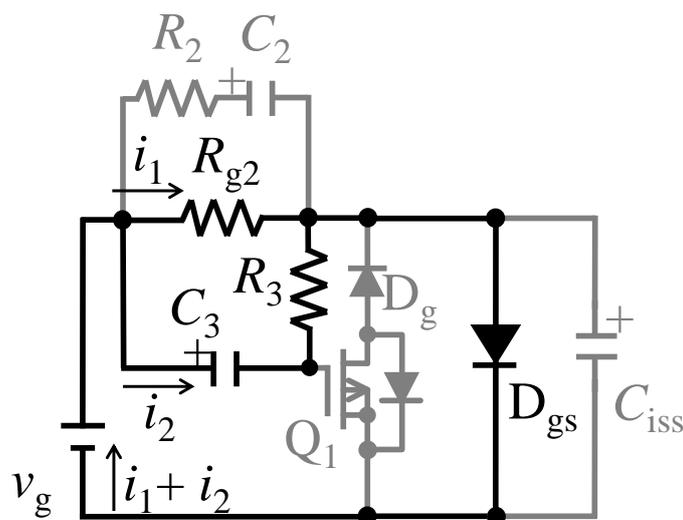


図 A2.3 アクティブ放電型ゲート駆動回路のモード 3

付録 A2 アクティブ放電型ゲート駆動回路の損失解析

$$\left. \begin{aligned} V_g &= V_{C3} + R_3 \frac{dq_2}{dt} + V_{sa} \\ V_{C3} &= V_0 + \frac{1}{C_3} q_2 \end{aligned} \right\} \dots\dots\dots (A2.24)$$

(A2.24)式を解くと一般解

$$q_2 = C_3(V_g - V_0 - V_{sa}) \left(1 - A \exp \left[-\frac{t}{C_3 R_3} \right] \right) \dots\dots\dots (A2.25)$$

を得る。t=0でq=0であるため、A=1である。そのため特殊解は

$$q_2 = C_3(V_g - V_0 - V_{sa}) \left(1 - \exp \left[-\frac{t}{C_3 R_3} \right] \right) \dots\dots\dots (A2.26)$$

となる。また、電流 i₂ は

$$i_2 = \frac{dq_2}{dt} = \frac{V_g - V_0 - V_{sa}}{R_3} \exp \left[-\frac{t}{C_3 R_3} \right] \dots\dots\dots (A2.27)$$

である。従って、電圧電源 V_g の出力電流 i は、

$$i = i_1 + i_2 = \frac{V_g - V_{sa}}{R_{g2}} + \frac{V_g - V_0 - V_{sa}}{R_3} \exp \left[-\frac{t}{C_3 R_3} \right] \dots\dots\dots (A2.28)$$

と導ける。ここで、t_{on}, C₃R₃ >> C₁R₁であったから、C₁R₁の時間項を無視しモード3の損失電力量 W₃ を計算すると、

$$\begin{aligned} W_3 &= \int_0^{t_{on}} V_g \cdot \frac{V_g - V_{sa}}{R_{g2}} + \frac{V_g - V_0 - V_{sa}}{R_3} \exp \left[-\frac{t}{C_3 R_3} \right] dt \\ &= \frac{V_g (V_g - V_{sa})}{R_{g2}} t_{on} + C_3 V_g (V_g - V_0 - V_{sa}) \left(1 - \exp \left[-\frac{t_{on}}{C_3 R_3} \right] \right) \end{aligned} \dots\dots\dots (A2.29)$$

が求まる。ここで、オン時間 t_{on} 後のコンデンサ C₃ の充電電圧 V_{C3_m3} を求めておく。

(A2.22)式の第2式に(A2.26)式を代入して、以下の最終値を得る。

$$V_{C3_m3} = V_0 + (V_g - V_0 - V_{sa}) \left(1 - \exp \left[-\frac{t_{on}}{C_3 R_3} \right] \right) \dots\dots\dots (A2.30)$$

以上のモード1からモード3において、総合電力損失 P をスイッチング周波数 f_{sw}

付録 A2 アクティブ放電型ゲート駆動回路の損失解析

として計算すると,

$$P = (W_1 + W_2 + W_3)f \\ = \left(\frac{V_g(V_g - V_{sa})}{R_{g2}} t_{on} + C_2 V_g (V_g - V_{th} - V_{sa}) + C_3 V_g (V_g - V_0 - V_{sa}) \left(1 - \exp \left[-\frac{t_{on}}{C_3 R_3} \right] \right) \right) f \quad \cdots (A2.31)$$

を得る。ここで、自比率 50 % を仮定すると、 $t_{on} = 1/2f$ であるため、

$$P = (W_1 + W_2 + W_3)f \\ = \frac{V_g(V_g - V_{sa})}{2R_{g2}} + V_g \left(C_2 (V_g - V_{th} - V_{sa}) + C_3 (V_g - V_0 - V_{sa}) \left(1 - \exp \left[-\frac{1}{C_3 R_3 \cdot 2f} \right] \right) \right) f \quad \cdots (A2.32)$$

と変形できる。(A2.31)式は(3.14)式であり、(A2.32)式は(3.16)式である。

では、続いてコンデンサ C_3 の初期電圧 V_0 を計算する。コンデンサ C_3 については、モード 5, 6 において考察すべきだがコンデンサ C_2 と入力容量 C_{iss} はダイオード D_g の順方向降下電圧まで放電するためモード 6 の等価回路モデルを用いることとする。

図 A2.4 に示す等価回路モデルにおける回路方程式は以下ようになる。

<MODE 6>

$$\left. \begin{aligned} 0 &= V_{C3} + R_3 i + V_{th} \\ V_{C3} &= V_{C3_m3} + \frac{1}{C_3} \int idt \end{aligned} \right\} \cdots \cdots \cdots (A2.33)$$

ここで、(A2.33)式は $i = dq/dt$ の関係より以下のように書き直せる。

$$\left. \begin{aligned} 0 &= V_{C3} + R_3 \frac{dq}{dt} + V_{th} \\ V_{C3} &= V_{C3_m3} + \frac{1}{C_3} q \end{aligned} \right\} \cdots \cdots \cdots (A2.34)$$

(A2.34)式を解くと一般解

$$q = -C_3 (V_{C3_m3} + V_{th}) \left(1 - A \exp \left[-\frac{t}{C_3 R_3} \right] \right) \cdots \cdots \cdots (A2.35)$$

を得る。 $t=0$ で $q=0$ であるため、 $A=1$ である。そのため特殊解は

付録 A2 アクティブ放電型ゲート駆動回路の損失解析

$$q = -C_3(V_{C3_m3} + V_{th}) \left(1 - \exp \left[-\frac{t}{C_3 R_3} \right] \right) \dots\dots\dots (A2.36)$$

となる。(A2.36)式を(A2.34)式の第2式に代入すると、 V_{C3} は以下のようになる。

$$V_{C3} = V_{C3_m3} - (V_{C3_m3} + V_{th}) \left(1 - \exp \left[-\frac{t}{C_3 R_3} \right] \right) \dots\dots\dots (A2.37)$$

ここで時定数 $C_2 R_2 \ll$ オフ時間 t_{off} とし、かつ、スイッチ Q_1 のオン遅延時間を無視すると、 V_{C3_m6} の最終値は、

$$V_{C3_m6} = V_{C3_m3} - (V_{C3_m3} + V_{th}) \left(1 - \exp \left[-\frac{t_{off}}{C_3 R_3} \right] \right) \dots\dots\dots (A2.38)$$

である。 V_{C3_m6} は初期電圧 V_0 と等しいことから次の関係式が成り立つ。

$$V_0 = V_{C3_m6} \dots\dots\dots (A2.39)$$

(A2.30)式、(A2.38)式、(A2.39)式を用いて初期電圧 V_0 を求めると、

$$V_0 = \frac{\exp \left[-\frac{t_{off}}{C_3 R_3} \right] - \exp \left[-\frac{t_{on} + t_{off}}{C_3 R_3} \right]}{1 - \exp \left[-\frac{t_{on} + t_{off}}{C_3 R_3} \right]} (V_g - V_{sa}) - \frac{1 - \exp \left[-\frac{t_{off}}{C_3 R_3} \right]}{1 - \exp \left[-\frac{t_{on} + t_{off}}{C_3 R_3} \right]} V_{th} \dots\dots\dots (A2.40)$$

と変形できる。

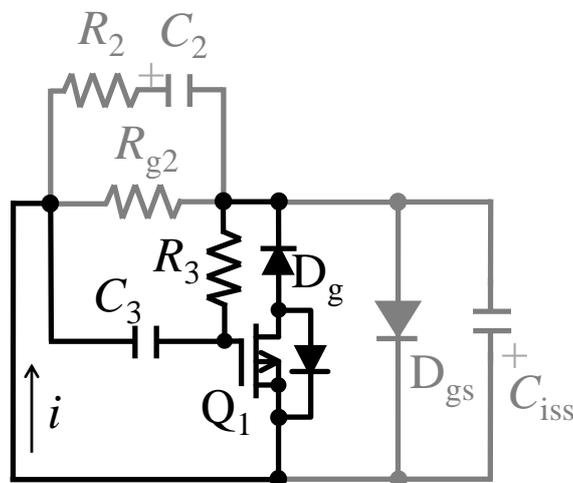


図 A2.4 アクティブ放電型ゲート駆動回路のモード 6

付録 A2 アクティブ放電型ゲート駆動回路の損失解析

(A2.40)式の第2項はしきい値電圧の低いショットキーダイオードなどを選定すれば無視できるため、

$$V_0 = \frac{\exp\left[-\frac{t_{off}}{C_3 R_3}\right] - \exp\left[-\frac{t_{on} + t_{off}}{C_3 R_3}\right]}{1 - \exp\left[-\frac{t_{on} + t_{off}}{C_3 R_3}\right]} (V_g - V_{sa}) \dots \dots \dots (A2.41)$$

(A2.42)式で計算できる。ここで、自比率 50 % を仮定すると $t_{on} = t_{off} = 1/2f$ であるため、

$$V_0 = \frac{\exp\left[-\frac{1}{C_3 R_3 \cdot 2f}\right]}{1 + \exp\left[-\frac{1}{C_3 R_3 \cdot 2f}\right]} (V_g - V_{sa}) \dots \dots \dots (A2.42)$$

と、簡単にできる。(A2.41)式は(3.15)式であり、(A2.42)式は(3.17)式である。

付録 A3 リカバリを併発する場合の誤点弧解析

本項では、4.4.1 項の(4.1)式の導出を行う。

図 A3.1 にリカバリ期間中の等価回路を示す。図中の定義を基に回路方程式を立てると以下ようになる。

$$\left. \begin{aligned} V_i &= L_d \frac{d}{dt}(i_1 + i_2) + L_g \frac{d}{dt} i_1 + R_g i_1 + \frac{1}{C_{iss}} \int i_1 dt \\ 0 &= L_g \frac{d}{dt} i_1 + R_g i_1 + \frac{1}{C_{iss}} \int i_1 dt - L_s \frac{d}{dt} i_2 \end{aligned} \right\} \dots\dots\dots (A3.1)$$

ここで、(A3.1)式は $i = dq/dt$ の関係を用いて簡単にすると以下ようになる。

$$V_i = \left\{ L_d + \left(1 + \frac{L_d}{L_s}\right) L_g \right\} \frac{d^2}{dt^2} q_1 + \left(1 + \frac{L_d}{L_s}\right) R_g \frac{d}{dt} q_1 + \left(1 + \frac{L_d}{L_s}\right) \frac{1}{C_{iss}} q_1 \dots\dots\dots (A3.2)$$

ここで、

$$L = L_d + \left(1 + \frac{L_d}{L_s}\right) L_g \dots\dots\dots (A3.3)$$

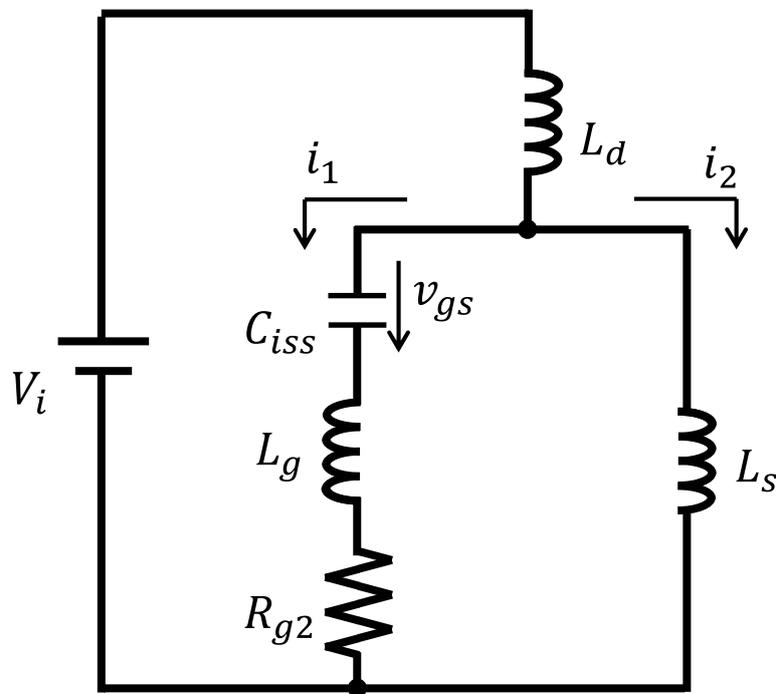


図 A3.1 リカバリ期間中の等価回路

付録 A3 リカバリを併発する場合の誤点弧解析

$$R = \left(1 + \frac{L_d}{L_s}\right) R_g \dots\dots\dots (A3.4)$$

$$\frac{1}{C} = \left(1 + \frac{L_d}{L_s}\right) \frac{1}{C_{iss}} \dots\dots\dots (A3.5)$$

とおくと、(A3.2)式は以下のように書き直すことができる。

$$V_i = L \frac{d^2}{dt^2} q_1 + R \frac{d}{dt} q_1 + \frac{1}{C} q_1 \dots\dots\dots (A3.6)$$

また、(A3.6)式の補助方程式は以下のように表すことができる。

$$0 = \frac{d^2}{dt^2} q_1 + \frac{R}{L} \frac{d}{dt} q_1 + \frac{1}{LC} q_1 \dots\dots\dots (A3.7)$$

(A3.7)式から判別式 D は以下のようになる。

$$D = \left(\frac{R}{L}\right)^2 - \frac{4}{LC} \dots\dots\dots (A3.8)$$

$D < 0$ の場合には、(A3.6)式を解くと以下のよく知られた解を得ることができる。

$$q_{1(t)} = e^{-\frac{R}{2L}t} (A_1 \sin \omega_1 t + B_1 \cos \omega_1 t) + CV_i \dots\dots\dots (A3.7)$$

ここで、

$$\omega_1 = \frac{1}{\sqrt{LC}} \sqrt{1 - \frac{C}{L} \left(\frac{R}{2}\right)^2} \dots\dots\dots (A3.8)$$

である。積分定数 A_1 および B_1 は $q_{(0)}=0$ および $i_{(0)}=0$ の関係から求めることができ、

(A3.7)式は以下のようになる。

$$q_{1(t)} = CV_i \left\{ 1 - e^{-\frac{R}{2L}t} \left(\frac{R}{2\omega_1 L} \sin \omega_1 t + \cos \omega_1 t \right) \right\} \dots\dots\dots (A3.9)$$

したがって、リカバリ期間中のゲートソース間電圧 v_{gs} は以下のようになる。

$$v_{gs} = -v_{Ciss} = -\frac{L_s}{L_d + L_s} V_i \left\{ 1 - e^{-\frac{R}{2L}t} \left(\frac{R}{2\omega_1 L} \sin \omega_1 t + \cos \omega_1 t \right) \right\} \dots\dots\dots (A3.10)$$

(A3.10)式は(4.1)式である。

付録 A3 リカバリを併発する場合の誤点弧解析

また、 $D > 0$ の場合には、 $\sin \rightarrow \sinh$, $\cos \rightarrow \cosh$ と書き換えることができ、

$$v_{gs} = -v_{Ciss} = -\frac{L_s}{L_d + L_s} V_i \left\{ 1 - e^{-\frac{R}{2L}t} \left(\frac{R}{2\omega_2 L} \sinh \omega_2 t + \cosh \omega_2 t \right) \right\} \dots\dots\dots (A3.11)$$

を得る。ここで、

$$\omega_2 = \frac{R}{L} \sqrt{1 - \frac{L}{C} \left(\frac{2}{R} \right)^2} \dots\dots\dots (A3.12)$$

である。(A3.11)式は(4.3)式である。

そして、 $D = 0$ の場合には、(A3.6)式の解は以下のようになる。

$$q_{1(t)} = e^{-\frac{R}{2L}t} (At + B) + CV_i \dots\dots\dots (A3.13)$$

積分定数 A_2 および B_2 は $q_{(0)}=0$ および $i_{(0)}=0$ の関係から求めることができ、(A3.13)

式は以下のようになる。

$$q_{1(t)} = CV_i \left\{ 1 - e^{-\frac{R}{2L}t} \left(\frac{R}{2L}t + 1 \right) \right\} \dots\dots\dots (A3.14)$$

したがって、リカバリ期間中のゲート-ソース間電圧 v_{gs} は以下のようになる。

$$v_{gs} = -v_{Ciss} = -\frac{L_s}{L_d + L_s} V_i \left\{ 1 - e^{-\frac{R}{2L}t} \left(\frac{R}{2L}t + 1 \right) \right\} \dots\dots\dots (A3.15)$$

(A3.15)式は(4.2)式である。

付録 A4 リカバリを併発しない場合の誤点弧解析

本項では、4.4.3 項の(4.11)式の導出を行う。

図 A4.1 にリカバリ期間中の等価回路を示す。図中の定義を基に回路方程式を立てると以下のようなになる。

$$\left. \begin{aligned} V_i &= L_d \frac{d}{dt} i_1 + R_d i_1 + \frac{1}{C_{gd}} \int i_4 dt + L_g \frac{d}{dt} i_6 + R_g i_6 \\ 0 &= L_s \frac{d}{dt} i_3 + \frac{1}{C_{gs}} \int i_5 dt - L_g \frac{d}{dt} i_6 - R_g i_6 \\ 0 &= \frac{1}{C_{ds}} \int i_2 dt - \frac{1}{C_{gd}} \int i_4 dt - \frac{1}{C_{gs}} \int i_5 dt \end{aligned} \right\} \dots\dots\dots (A4.1)$$

$$\left. \begin{aligned} i_1 &= i_2 + i_4 \\ i_3 &= i_2 + i_5 \\ i_4 &= i_5 + i_6 \end{aligned} \right\} \dots\dots\dots (A4.2)$$

ここで、(A4.1)式は(A4.2)式と $i = dq/dt$ の関係を用いて簡単にすると、

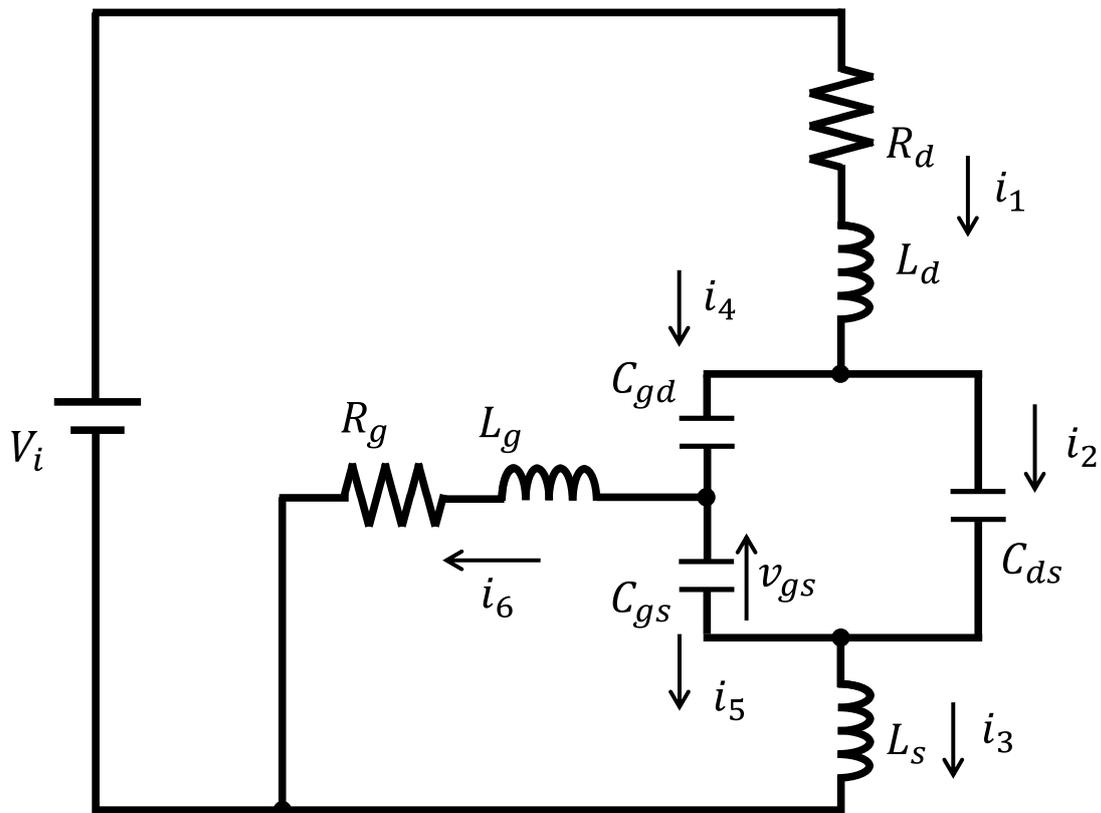


図 A4.1 リカバリが無い場合の等価回路

付録 A4 リカバリを併発しない場合の誤点弧解析

$$V_i = \left(1 + \frac{C_{ds}}{C_{gd}} + \frac{C_{ds}}{C_{gs}}\right) L_d \frac{d^2}{dt^2} q_5 + \left(1 + \frac{C_{ds}}{C_{gd}} + \frac{C_{ds}}{C_{gs}}\right) R_d \frac{d}{dt} q_5 + \frac{1}{C_{gd}} q_5$$

$$+ \left\{ \left(1 + \frac{C_{ds}}{C_{gd}}\right) L_d + L_g \right\} \frac{d^2}{dt^2} q_6 + \left\{ \left(1 + \frac{C_{ds}}{C_{gd}}\right) R_d + R_g \right\} \frac{d}{dt} q_6 \dots\dots\dots (A4.3)$$

$$0 = \left(1 + \frac{C_{ds}}{C_{gd}} + \frac{C_{ds}}{C_{gs}}\right) L_s \frac{d^2}{dt^2} q_5 + \frac{1}{C_{gs}} q_5 + \left(\frac{C_{ds}}{C_{gd}} L_s - L_g\right) \frac{d^2}{dt^2} q_6 - R_g q_6 \dots\dots\dots (A4.4)$$

を得る。(A4.3)式と(A4.4)式をラプラス変換し、まとめると以下を得る。

$$Q_5 = \frac{\left(\frac{C_{ds}}{C_{gd}} L_s - L_g\right) S - R_g}{A - B} V_i \dots\dots\dots (A4.5)$$

ここで、

$$A = \left\{ \gamma L_d S^2 + \gamma R_d S + \frac{1}{C_{gd}} \right\} \left\{ \left(\frac{C_{ds}}{C_{gd}} L_s - L_g\right) S^2 - R_g S \right\} \dots\dots\dots (A4.6)$$

$$B = \left[\left\{ \left(1 + \frac{C_{ds}}{C_{gd}}\right) L_d + L_g \right\} S^2 + \left\{ \left(1 + \frac{C_{ds}}{C_{gd}}\right) R_d + R_g \right\} S + \frac{1}{C_{gd}} \right] \left\{ \gamma L_s S^2 + \frac{1}{C_{gs}} \right\} \dots\dots\dots (A4.7)$$

$$\gamma = 1 + \frac{C_{ds}}{C_{gd}} + \frac{C_{ds}}{C_{gs}} \dots\dots\dots (A4.8)$$

である。そして、 $L_d \gg L_s$, $C_{gs} \gg C_{ds}$, $C_{gs} \gg C_{gd}$ の条件を与え、簡単にすると、

$$Q_5 = - \frac{\left(\frac{C_{ds}}{C_{gd}} L_s - L_g\right) S - R_g}{\left(1 + \frac{C_{ds}}{C_{gd}}\right) L_1 L_2 \left(S^2 + \frac{R_d}{L_1} S + \frac{1}{L_1 C_{oss}}\right) \left(S^2 + \frac{R_g}{L_2} S + \frac{1}{L_2 C_{iss}}\right)} V_i \dots\dots\dots (A4.9)$$

を得る。また、ここで、

$$L_1 = L_d + L_s \dots\dots\dots (A4.10)$$

$$L_2 = L_g + L_s \dots\dots\dots (A4.11)$$

$$C_{oss} = C_{ds} + C_{gd} \dots\dots\dots (A4.12)$$

$$C_{iss} = C_{gs} + C_{gd} \dots\dots\dots (A4.13)$$

付録 A4 リカバリを併発しない場合の誤点弧解析

である。(A4.9)式に部分分数分解を行い、逆ラプラス変換を行うと以下を得る。

$$v_{gs} = \left(1 + \frac{C_{gd}}{C_{gs}}\right) V_i \frac{e^{-\alpha_1 t}(D \cos \omega_1 t + F \sin \omega_1 t) - e^{-\alpha_2 t}(D \cos \omega_2 t + G \sin \omega_2 t)}{\{(L_2 C_{iss} - L_1 C_{oss})^2 + C_{iss} C_{oss} (L_2 R_d - L_1 R_g)(C_{oss} R_d - C_{iss} R_g)\}} \dots\dots\dots (A4.14)$$

ここで、

$$D = (L_2 C_{iss} - L_1 C_{oss})(L_g C_{gd} - L_s C_{ds}) - C_{gd} C_{iss} C_{oss} R_g (L_2 R_d - L_1 R_g) \dots\dots (A4.15)$$

$$F = \frac{1}{\omega_1 L_1} \left[(L_2 C_{iss} - L_1 C_{oss}) \left\{ \frac{1}{2} R_d (L_s C_{ds} - L_g C_{gd}) + L_1 C_{gd} R_g \right\} \right. \\ \left. - C_{iss} (L_2 R_d - L_1 R_g) \left(L_s C_{ds} - L_g C_{gd} + \frac{1}{2} C_{gd} C_{oss} R_d R_g \right) \right] \dots\dots (A4.16)$$

$$G = \frac{1}{\omega_2 L_2} \left[(L_2 C_{iss} - L_1 C_{oss}) \left\{ \frac{1}{2} R_g (L_s C_{ds} - L_g C_{gd}) + L_2 C_{gd} R_g \right\} \right. \\ \left. - C_{oss} (L_2 R_d - L_1 R_g) \left(L_s C_{ds} - L_g C_{gd} + \frac{1}{2} C_{gd} C_{iss} R_g^2 \right) \right] \dots\dots\dots (A4.17)$$

$$\alpha_1 = \frac{R_d}{2L_1} \dots\dots\dots (A4.18)$$

$$\alpha_2 = \frac{R_g}{2L_2} \dots\dots\dots (A4.19)$$

$$\omega_1 = \sqrt{\frac{1}{L_1 C_{oss}} - \frac{R_d^2}{4L_1^2}} \dots\dots\dots (A4.20)$$

$$\omega_2 = \sqrt{\frac{1}{L_2 C_{iss}} - \frac{R_g^2}{4L_2^2}} \dots\dots\dots (A4.21)$$

である。(A4.14)式は(4.11)式である。

謝辞

謝辞

本研究を進めるにあたり，多くのご支援とご指導をいただきました島根大学総合理工学部 電子制御システム工学科 山本 真義 准教授に心より感謝いたしますと共に厚く御礼申し上げます。

ご多忙中にも関わらず，本審査過程において多くのご助言やご指導をいただきました島根大学総合理工学部 電子制御システム工学科 伊藤 文彦 教授，増田 浩次 教授，矢野 澄男 教授に厚くお礼申し上げます。

昼夜を問わず，苦楽を共にし，議論し合った島根大学パワーエレクトロニクス研究室の皆様との研究生活は，多くの気づきや学びがあり，精神的にも支えられ，充実したものでした。ここに，深く感謝申し上げます。

研究活動に寛大な理解を示してもらい，また多くの面において支えとなってくれた父 梅上 豊，母 梅上 麗子に心から感謝いたします。

研究業績

学術論文

- (1) **Hirokatsu Umegami**, Fumiya Hattori, Yu Nozaki, Masayoshi Yamamoto and Osamu Machida, “A Novel High-Efficiency Gate Drive Circuit for Normally Off-Type GaN FET,” IEEE Transactions on Industry Applications, Vol. 50, No. 1, pp. 593–599, January/February 2014.
- (2) **Hirokatsu Umegami**, Akihiro Nishigaki, Fumiya Hattori and Masayoshi Yamamoto, “Investigation of False Triggering Mechanism,” IEEJ Transactions on Electrical and Electric Engineering, Vol. 9, Issue 1, pp. 102–104, January 2014.
- (3) 西垣彰紘, **梅上大勝**, 三島大地, 服部文哉, 山本真義, 「半導体デバイスの誤点弧メカニズムに関する研究」, 電気学会論文誌 C, Vol. 135, No. 7, pp. 769–775, 2014年9月

海外発表論文

- (1) **Hirokatsu Umegami**, Yu Nozaki, Masayoshi Yamamoto and Osamu Machida, “A Novel High Efficiency Gate Drive Circuit for Normally-Off Type GaN-FET,” IEEE Energy Conversion Congress and Exposition, pp. 2954–2960, September 2012.
- (2) **Hirokatsu Umegami**, Fumiya Hattori and Masayoshi Yamamoto, “Loss Analysis of Gate Drive Circuit for GaN-FET,” Korea-Japan Joint Technical Workshop on Semiconductor Power Converter, pp. 142–143, November 2012.
- (3) **Hirokatsu Umegami**, Fumiya Hattori and Masayoshi Yamamoto, “Gate Drive Circuits suitable for Normally Off Type GaN FET,” Taiwan-Japan Symposium on Power conversion, November 2012.
- (4) Akihiro Nishigaki, **Hirokatsu Umegmai**, Fumiya Hattori Wilmar Martinez and Masayoshi Yamamoto, “An Analysis of False Turn-On Mechanism on Power Devices,” IEEE Energy Conversion Congress and Exposition, pp. 2988–2993, September 2014.

研究業績

- (5) Hiroki Ishibashi, Akihiro Nishigaki, Takashi Yoshida, **Hirokatsu Umegami** and Masayoshi Yamamoto, “An Analysis of False Turn-On Mechanism on High-Frequency Power Devices,” IEEE Energy Conversion Congress and Exposition, pp. 2247–2253, September 2015.

国内発表論文

- (1) 西垣彰紘, **梅上大勝**, 服部文哉, 山本真義, 「パワーデバイスのゲート電位変動に関する解析」, 電気情報関連学会中国支部連合大会, pp. 54–55, 2012年10月
- (2) 西垣彰紘, **梅上大勝**, 服部文哉, 山本真義, 「誤点弧のメカニズムに関する一検討」, 電子デバイス/半導体電力変換合同研究会, SPC-12-129, pp. 73–76, 2012年10月
- (3) 西垣彰紘, 吉田堯, 金澤康樹, 今岡淳, **梅上大勝**, 服部文哉, 山本真義, 「非接触給電用 GaN FET の高周波駆動対応ゲートドライブ回路」, 電子情報通信学会電子通信エネルギー技術研究会, pp. 13–17, 2013年7月
- (4) 西垣彰紘, 石原將貴, 侯虎翼, 七森公碩, 吉田堯, 金澤康樹, **梅上大勝**, 服部文哉, 山本真義, 「回路シミュレータを用いた誤点弧メカニズムの一検討」, 電気学会電子デバイス半導体電力変換合同研究会, pp. 39–44, 2013年10月
- (5) 三島大地, 西垣彰紘, **梅上大勝**, 服部文哉, 山本真義, 「半導体デバイスの誤点弧メカニズムに関する解析」, 電気学会電気・情報・システム部門大会, pp. 1257–1262, 2014年9月
- (6) 石橋寛基, 七森公碩, 西垣彰紘, 吉田堯, **梅上大勝**, 山本真義, 「ゲートパルス変化におけるサージ電圧・サージ電流の減少」, 電気・情報関連学会中国支部連合大会, pp. 401–402, 2014年10月