

低消費電力・高速 CMOS/SOI デバイス技術

土屋 敏章

島根大学総合理工学部電子制御システム工学科 〒690-8504 松江市西川津町1060

Low-Power High-Speed CMOS/SOI Device Technology

Toshiaki TSUCHIYA

*Department of Electronic and Control Systems Engineering, Shimane University
1060, Nishikawatsu, Matsue, Shimane 690-8504, Japan*

(Received September 18, 1998)

Abstract

CMOS (Complementary Metal Oxide Semiconductor)/SOI (Silicon on Insulator) devices are very promising for low-power and high-speed VLSI applications. Fundamental matters regarding SOI devices, such as a kind of SOI substrates, features of SOI CMOS structures, and two kinds of operation modes in SOI MOSFETs, i.e., fully-depleted and partially-depleted modes, are explained, and the reason why CMOS/SOI is effective for low-power and high-speed LSIs is described. Floating body effects in SOI MOSFETs and some proposed methods to prevent the effects are explained, and hot carrier reliability in ultra-thin SOI MOSFETs are also described. They are most important issue from the view point of device operation. Dynamic threshold-voltage MOSFET, which is suitable for ultra-low voltage LSIs, is introduced. Finally, the effectiveness of SOI devices is verified based on some experimental LSIs.

1. はじめに

CMOS LSIは本質的に低消費電力向きであり、著しい性能向上をとげてきた。しかし、その大規模化と動作速度の高速化によって消費電力が増加し、CMOSにおいても低消費電力化が必須になってきた。デバイス・プロセス技術の観点で、CMOS LSIの低消費電力化に対する有効な手段は寄生容量と電源電圧の低減である。SOI (Silicon on insulator) が最近再び注目を集めるようになってきたが、その理由は、まさに低寄生容量化と低電源電圧化に適合したデバイスをSOI構造内に作り込むことができるからである。また、SIMOX (Separation by IMplanted OXYgen)¹⁾基板等のSOI基板製造技術の進歩により、薄膜SOI基板の高品質化や膜厚制御性の向上が大きな推進力になっている。これまで、耐環境デバイスや高耐圧デバイスなど、主に特殊用途向けだったSOIが、今や、汎用のVLSIに応用しようとする段階を迎えている。

本文では、はじめにSOI基板の種類、SOI CMOS構造の特徴、および、SOI MOSFETの2つの動作モードである完全空乏型と部分空乏型の特徴等について述べ、SOIデバイスに関する基本的事項を概説する。次に、SOIがなぜ低消費電力化や高速化に向いているの

かを述べる．そして，SOI デバイスを実用化する上で，デバイス動作上もっとも大きな課題である基板浮遊効果とその抑制策，およびホットキャリア信頼性について述べる．また，低電圧動作において電流駆動力の向上が期待されている動的閾値電圧制御についても触れる．最後に，LSI への適用例に基づいて，SOI デバイスの低消費電力・高速性を実証する．

2. SOI デバイスの特徴

2.1 SOI 基板の種類

低消費電力・高速 CMOS 用として必要とされる $0.1\ \mu\text{m}$ 以下の表面 Si 層厚を有する薄膜 SOI 基板は，図 1 に示すように SIMOX 基板と貼り合せ基板に大別される．

SIMOX 基板は図 2 に示すように $200\ \text{KeV}$ 程度のエネルギーで Si 基板に多量の酸素イオンを注入し， $1,300^\circ\text{C}$ 以上の高温で熱処理して埋め込み酸化膜 (Buried Oxide, BOX) 層を形成する．酸素注入量と注入エネルギーが電気的に精密制御されるため，SOI 層と BOX 層の膜厚均一性と制御性に優れている． $10^{18}\ \text{cm}^{-2}$ 台の高ドーズ酸素注入で得られる基板は High-dose SIMOX と呼ばれ，BOX 厚が $400\text{--}500\ \text{nm}$ である．SOI 層に $10^8\ \text{cm}^{-2}$ 以上の転位欠陥が存在すること，および，高ドーズ酸素イオン注入に長時間を要するため，SOI 層の結晶品質と基板コストの面で課題がある．酸素注入量を $4 \times 10^{17}\ \text{cm}^{-2}$ 程度に下げると転位が $300\ \text{cm}^{-2}$ 以下に低減されるドーズ領域があることがわかり²⁾，SOI 層の高品質化と基板の低コスト化がなされた．この基板は Low-dose SIMOX と呼ばれる．BOX 厚は $90\ \text{nm}$ 程度である．さらに，図 2 に示すように高温熱処理後に高温酸化を追加することで，SOI 層表面が酸化されると同時に，BOX 層上にも熱酸化膜が形成されることが見出された³⁾．典型的には $40\ \text{nm}$ 程度の BOX 膜厚の増加となる．この内部酸化処理を含む基板を ITOX (Internal Thermal OXidation) SIMOX 基板と呼んでいる．酸素イオン注入による SIMOX 基板でも，SOI 層が高品質な熱酸化膜上に形成されることとなった．

一方，貼り合せ基板では，図 3 に示すように酸化膜を形成した Si 基板 (デバイスウエハ，DW) と，別の一枚の基板 (ハンドルウエハ，HW) を貼り合せて，DW を裏面から薄

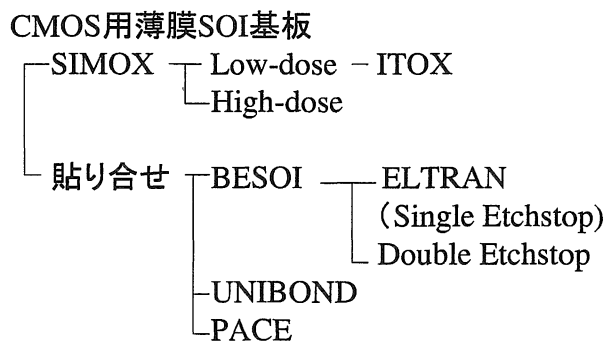


図 1 低消費電力・高速 CMOS 用薄膜 SOI 基板

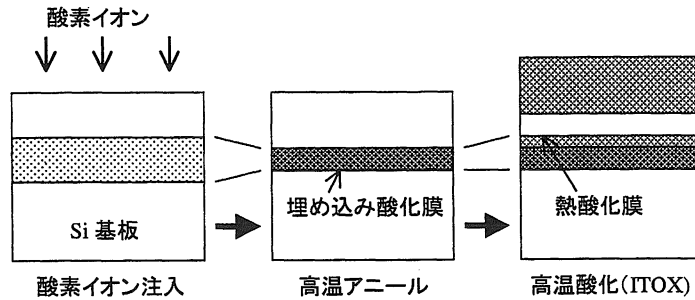


図2 SIMOX 基板の作製工程

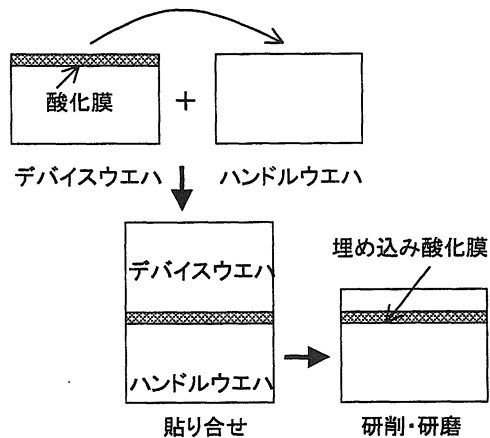


図3 貼り合せ基板の作製工程

層化して所望の SOI 層を作製する。CMOS デバイス用としては $0.1 \mu\text{m}$ 以下の SOI 層を $\pm 5 \sim 10\%$ 以下の精度で作製する必要があるため、単純な研削・研磨では難しく、図1に示す種々の手法が用いられている。

BESOI (Bond and Etchback SOI) では、最終的に SOI 層として残す層と、その下に、よりエッチング速度が速い層の2層構造を DW に作り込んだ上で、表面に熱酸化膜を形成して HW と貼り合わせる。その後、DW 裏面から基板を研磨研削し、最終的には前記2層のエッチング速度の差を利用した選択エッチングによって SOI 層を均一性良く残す。SOI 層になるべき層の形成には膜厚制御性・均一性に優れたエピタキシャル膜形成技術を用いている。SOI 層よりエッチング速度の速い層として、ELTRAN (Epitaxial Layer TRANSfer)⁴⁾ では陽極化成による多孔質 Si 層を用い、Double Etchstop⁵⁾ では高不純物濃度層などを用いている。また、UNIBOND⁶⁾ では予め熱酸化膜を形成した DW 中に 10^{16} cm^{-2} 程度の水素イオンを注入し (剥離層の形成)、HW と貼り合わせ後に 600°C 程度の低温熱処理を加えて、

DW を剥離層から剥がして SOI 層を形成する。SOI 層の膜厚の決定にイオン注入を利用することで制御性と均一性を向上させている。PACE (Plasma Assisted Chemical Etching)⁷⁾では、貼り合わせ後の DW 裏面からの研磨研削後に、ウエハ内の SOI 膜厚分布を測定し、そのデータに基づいて小型プラズマ電極で局所的制御をしながらエッチングして薄層化する。この膜厚測定とエッチングを何度か繰り返して膜厚制御性と均一性を向上させている。

今後、基板の生産性・コスト、LSI の歩留まり等の観点からさらに淘汰され、あるいは、デバイス構造や LSI 品種により使い分けが進むと思われる。

なお、汎用の SOI 基板ではないが、バルク Si ウエハにデバイスを作製してから貼り合わせによって SOI 構造とする反転 SOI 化技術⁸⁾も検討されている。

2.2 SOI CMOS 構造の特徴

図 4 に SOI CMOS の構造断面図を示す。通常のバルク Si 基板を用いた場合と比較して、SOI 基板を用いた CMOS ではその構造に起因して以下の特徴がある。①表面 Si 層の下には誘電率が Si の 1/3 である Si 酸化膜があるために寄生容量が小さい、②表面 Si 層厚が薄く、絶縁分離されているため、 α 線等の入射で発生する電子・正孔の収集量が小さく、蓄積電荷のリークによって起るソフトエラーの確率が低い、③nMOSFET と pMOSFET が完全に絶縁分離されているため、バルク Si CMOS において npn と pnp の寄生バイポーラトランジスタが正帰還パスを形成して生じるラッチアップが起こらない、④PN 接合面積が極端に小さいため逆接合リーク電流が小さい、⑤表面 Si 層の膜厚が薄いため素子間分離工程が容易である。

LSI 中で信号伝播のために MOSFET が充放電すべき負荷容量はソース・ドレイン接合容量の他に、ゲート容量と配線容量がある。この内、SOI のソース・ドレイン接合容量はバルク Si に比べて約 1 桁程度小さくなる。前述の①のように、Si より誘電率の低い Si 酸化膜でソース・ドレイン層が囲まれていること、および、埋め込み酸化膜下の空乏層容量が直

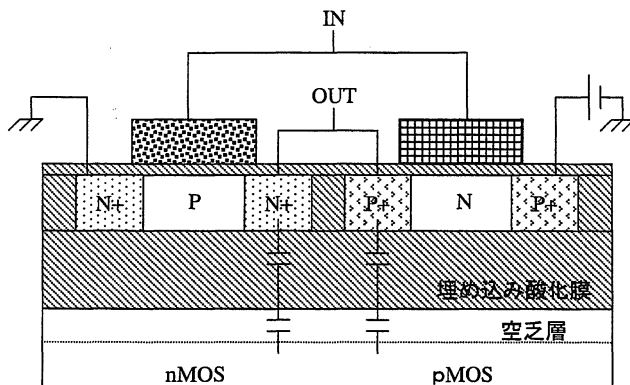


図 4 SOI CMOS 構造

列接続されるためである。バルク Si では、電源電圧の減少とともに PN 接合の空乏層幅が減少して容量が増加するため、SOI との差はさらに大きくなる。また、配線容量についても同様の理由により SOI の方が数10%小さくなる⁹⁾。ただし、上層の配線層になるほど低減効果は小さい。このように、通常バルク Si 基板を用いた場合と比較して、SOI 構造によって低寄生容量化がもたらされることがもっとも大きな特徴であり、低電源電圧ほどその効果が顕著に現れることになる。

2.3 完全空乏型と部分空乏型

2.3.1 動作モード

完全空乏型 (Fully-Depleted, FD) と部分空乏型 (Partially-Depleted, PD) デバイスの動作モードの違いを図5を用いて説明する。NMOSFET を例にしている。図5の(a)(b)(c)は各々、FD デバイスの構造断面図、ボディ領域底部付近のソース-ボディードレイン方向のエネルギーバンド図、およびソース端付近でのゲート酸化膜からボディ領域の深さ方向のエネルギーバンド図である。PD デバイスに関する同様の図を、図5の(d)(e)(f)に示す。一般的には、FD ではPD よりもボディ領域の厚さが薄く、MOSFET がオン状態のときもオフ状態のときも、図5(a)に示すように全ボディ領域が空乏化している。一方、PD では図5(d)に示すようにボディ領域の底部で空乏化されていない中性領域が存在する。この違い

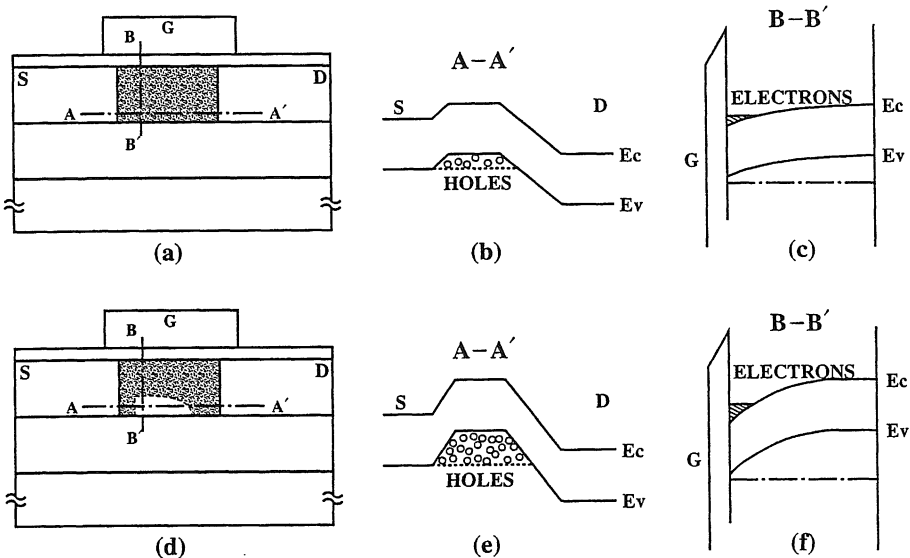


図5 完全空乏型 (FD) と部分空乏型 (PD) の動作モードの違い。
 (a)(b)(c)は各々、FD デバイスの構造断面図、ボディ領域底部付近のソース-ボディードレイン方向のエネルギーバンド図、およびソース端付近でのゲート酸化膜からボディ領域の深さ方向のエネルギーバンド図。(d)(e)(f)は各々、PD デバイスに関する同様の図。

によって、ボディ領域内の電位分布に違いが生じる。FDでは、図5(c)のように深さ方向に向かってボディ領域全体が電位勾配を持っており、埋め込み酸化膜内へもゲート電界が入り込んでいる。PDでは、図5(f)のように電界効果はボディ領域内に止まっており、電位勾配のない中性領域がボディ領域底部に存在している。したがって、ボディ領域の表面と底部との電位差はPDの方がFDよりも大きく、ボディ領域底部付近における、正孔に対するソース-ボディ間の電位障壁は、PDの方がFDより高くなる。この状況を示したのが図5(b)と5(e)である。このような正孔に対する電位障壁高の差は、ボディ領域内に存在し得る正孔数に差をもたらす。後述するように、ドレイン付近での高電界領域において、インパクトイオン化によって電子と正孔が発生するが、この内の正孔は、PDにおいては、FDよりもボディ領域に多くを蓄積することができる。このことが、後述するFDデバイスとPDデバイスの基板浮遊効果に大きな差をもたらし、ドレイン電流電圧特性に現れるキック現象の有無や、ダイナミック特性の安定性への影響度に差を生じさせる。また、ボディ領域が完全に空乏化されていることから、PDデバイスにおいては急峻なサブスレッショルド特性が得られる等の利点が生じる。

2.3.2 部分空乏型におけるキック現象

図6に示すように、デバイスの動作中に高電界領域が存在するドレイン付近においてインパクトイオン化によって多数の電子と正孔が発生する。電気力線に沿って、電子はドレイン側に流れ、正孔はソース方向に流れる。前述したように、ソース端には正孔に対する電位障壁があるため、一部の正孔がボディ領域に蓄積されてボディ電位を正にバイアスする。蓄積量が増加すると、障壁を越えてソースに流れ出る正孔数が増加する。結局、ボディ領域に蓄積される正孔量は、ソースへの流出量と、インパクトイオン化による発生量がバランスするように決まる。正孔に対する電位障壁はFDよりもPDの方が高いため、ボディ領域内に蓄積される正孔数はPD方が多くなる。ボディ領域に多数の正孔が蓄積されると、ボディ電位の正バイアス効果によりMOSFETの閾値電圧(V_T)が低下し、ドレイン電流が増加する。この結果、図7に示すように、ドレイン電流電圧特性において、ドレイン電圧の増加に伴って、インパクトイオン化が激しく起こって正孔がボディ領域に蓄積されると、急激な

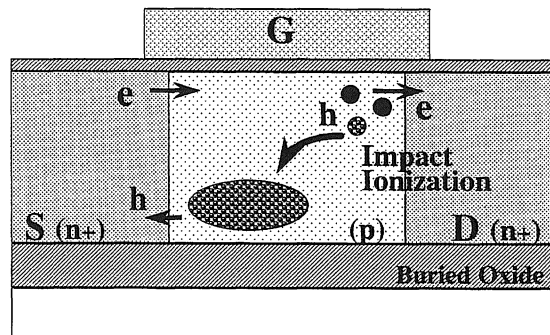


図6 インパクトイオン化による基板浮遊効果

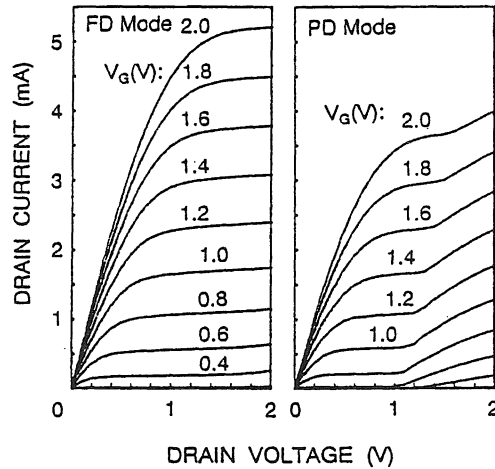


図7 完全空乏 (FD) 型と部分空乏 (PD) 型のドレイン電流電圧特性¹⁴⁾

ドレイン電流増加が生じてキンクをもたらす。FD の場合にはソース端での正孔に対する電位障壁が低いためにこのような急激な変化が見られず、キンクは現れない。

PD デバイスではキンク現象を抑止するために、ボディ端子を設けてボディから正孔を引き抜き、ボディ電位を固定する必要がある。FD の場合には、このようなボディ端子を設けることなくキンク現象を抑止できるため、素子占有面積の増加が無く、LSI の集積度の面で有利なこと、パターンレイアウト設計がより容易なこと、および、通常のバルク Si 基板に製造した従来デバイスに対するこれまでの回路・レイアウト設計資産を継承できるという大きな利点がある。

2.3.3 完全空乏型デバイスの特徴

ボディ端子が不要であることに加え、FD デバイスの大きな特徴は急峻なサブスレッショルド特性を有することである。FD デバイスのサブスレッショルド係数は極限値である 60 mV/dec (室温) に近い値を示す¹⁰⁾。これは、ボディ領域が全て空乏化され、ゲート電界が埋め込み酸化膜内へも広がるために、ボディ領域の容量と埋め込み酸化膜の容量が直列接続されて減少し、ゲート電界がボディ領域表面に有効に印加されるためである。つまり、FD の場合には、ゲート電圧の増加に対する、ボディ領域表面の電位上昇率が、PD よりも大きくでき、より大きな表面電流が流れて急峻なサブスレッショルド特性が得られる。図 8 に、ゲート長 0.25 μm の nMOSFET/SIMOX と pMOSFET/SIMOX のサブスレッショルド特性を示す¹¹⁾。比較のために同一ゲート酸化膜厚 (5 nm) を用いた通常のバルク Si 基板に作製したデバイスの特性も示してある。SIMOX の場合、サブスレッショルド係数は nMOS で 63 mV/dec, pMOS で 75 mV/dec と良好である。バルク Si を用いた場合は nMOS で 80 mV/dec, pMOS で 99 mV/dec であり、同一のオフリーク電流を保証しようとした場合、SIMOX の方が V_T を約 0.1 V 小さくすることができる。わずかに 0.1 V であるが、1 V 以下

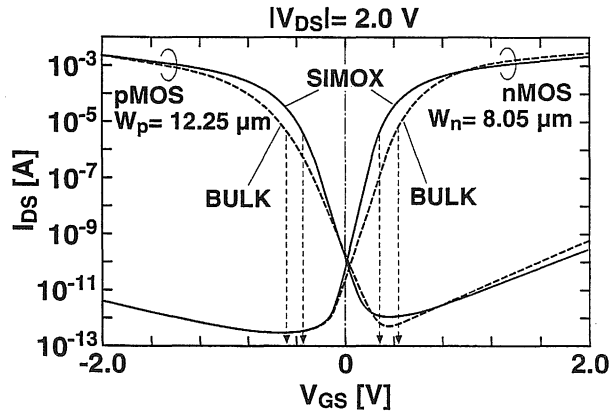


図8 SIMOX とバルク Si による $0.25 \mu\text{m}$ ゲート長 nMOSFET と pMOSFET のサブスレッショルド特性¹¹⁾.

の電源電圧で動作させるような低消費電力指向の携帯用 LSI の場合、速度性能の向上や電源電圧の下限に対して有効である。

なお、極薄膜 SOI デバイスでは SOI 層の膜厚ばらつきや BOX との界面特性の影響を受けて、デバイス特性がばらつくのではないかと懸念される。しかし、SOI 膜厚が $50 \text{ nm} \pm 4 \text{ nm}$ の SIMOX 基板に形成した $0.25 \mu\text{m}$ ゲートの FD nMOS と pMOS のウェハ面内における閾値電圧ばらつきの標準偏差は各々約 10 mV と 15 mV であり実用上問題にならない。

3. 低消費電力化と高速化

CMOS LSI の低消費電力化と高速化に対して、SOI の適用がなぜ有効なのかを以下に述べる。CMOS LSI の消費電力 P と信号の伝播遅延時間 τ は次式で表わされる。

$$P = K \cdot C_{\text{load}} \cdot V_{\text{DD}}^2 \cdot f + I_{\text{leak}} \cdot V_{\text{DD}} + I_{\text{SC}} \cdot V_{\text{DD}} \quad (1)$$

$$\begin{aligned} \tau &= C_{\text{load}} \cdot V_{\text{DD}} / I_{\text{DSAT}} \\ &= C_{\text{load}} \cdot V_{\text{DD}} / \left[\{ W \mu \epsilon / (L \cdot T_{\text{OX}}) \} \cdot (V_{\text{DD}} - V_{\text{T}})^2 \right] \end{aligned} \quad (2)$$

(1)式で、第一項は負荷容量 C_{load} を充放電することによる電力であり、動作時の消費電力の主要因である。 V_{DD} は電源電圧、 f は動作周波数、 K は動作率である。第二項はスタンバイ時のリーク電流 I_{leak} による消費電力である。第三項は動作時にインバータの nMOS と pMOS の両者がオン・オフの中間状態となる瞬間に、電源線と接地線間に流れる貫通電流 I_{SC} による電力である。 I_{DSAT} は飽和ドレイン電流、 L と W は MOSFET のゲート長とゲート幅、 T_{OX} はゲート酸化膜厚、 μ はキャリア移動度、 ϵ はゲート酸化膜の誘電率である。SOI の適用により、寄生容量 C_{load} が減少するため、低消費電力化と高速化が図られること

が上式からわかる。前述のように SOI 構造では、特に、ソース・ドレイン接合容量の低減効果が大きいため、全負荷容量に占める配線容量の割合が小さく、接合容量の割合が大きな回路ほど効果が大きい。このことは、後ほど、SOI を実際の LSI に応用した例で示す。

また、(1)式から、動作時の消費電力は電源電圧 V_{DD} の二乗で効くため、電源電圧の低減が低消費電力化に極めて有効であることがわかる。ただし、 V_{DD} を小さくすれば動作速度は低下する。このような事情から、低消費電力化と高速化に対して SOI の効果を最大限に引き出すには、電源電圧も考慮して大きく二つの考え方が成り立つ。超高速指向と超低消費電力指向である。前者では、電源電圧をことさら低減させることはせずに、SOI の低寄生容量による高速化を活かしたハイエンド超高速 LSI に適用する。ただしこの場合にも、寄生容量が小さい分、バルク Si を用いた場合より低消費電力化も図られる。後者では、電源電圧を 1 V 以下に思いきり低減させ、超低消費電力の携帯機器用 LSI 等へ適用する。この場合でも、SOI の低寄生容量性により、バルク Si よりも高速化も図られる。

さらに、デバイスとして FD MOSFET を用いると、前述したように同一オフ電流の PD やバルク Si デバイスに比べて V_T を小さくできる。この結果、(2)式において $(V_{DD}-V_T)^2$ を大きくでき、ハイエンド高速指向の LSI では PD やバルク Si デバイスよりさらに高速化が可能になる。あるいは、低消費電力指向の LSI では、FD により V_T を小さくできる利点を速度性能ではなく、より低い電源電圧の設定に振り向けることによって、さらなる低消費電力化が可能となる。

図 9 は同一のオフ電流を有するバルク Si と SOI MOSFET で、各々 40 KG ゲートアレー上に 48 ビット乗算器を作製しその性能を比較したものである¹¹⁾。ゲート酸化膜厚は共に 5 nm である。バルク Si に比べて SOI の速度が、電源電圧 2 V では 24% 高速、1.5 V では 32% 高速、そして、1 V では 46% 高速になっている。したがって、同一電源電圧下で比較し

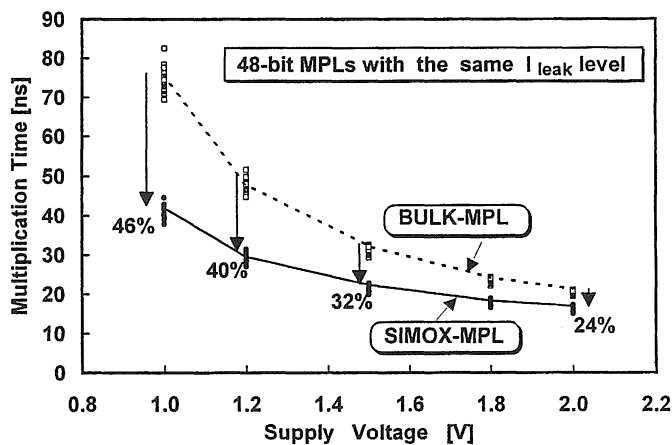


図 9 48 ビット乗算器の乗算時間の電源電圧依存性に関する SIMOX とバルク Si の比較¹¹⁾。同一のオフ電流を有するバルク Si と SOI MOSFET で構成。

た場合、SOI がより高速であること、同一速度で比較すると、SOI の電源電圧はバルク Si より小さくでき、顕著な低消費電力化が可能であることがわかる。また、SOI とバルク Si の速度性能差が電源電圧の減少と共に顕著になっていることもわかる。

4. 基板浮遊効果とその抑制

SOI デバイスは完全絶縁分離されていることから、ラッチアップフリーという長所を有するが、反面、ボディ電位が固定されていないために生じる基板浮遊効果が SOI デバイスの最大の課題である。ボディ電位の変動をもたらす現象として、インパクトイオン化、ボディ領域内での多数キャリア再分布現象¹²⁾、チャージポンピング現象¹³⁾がある。それらの現象を概説しその抑制策について述べる。

NMOS を例に話を進める。前述したように、ドレイン付近の高電界領域においてインパクトイオン化によって発生した正孔の一部がボディ領域に蓄積され、ボディを正バイアスする。この現象は、LSI 内でデバイスがダイナミックに動作している時には複雑な振る舞いとなる。ボディ領域に蓄積する正孔量は正孔の発生量や消滅の時定数に依存するためである¹⁴⁾。図10は PD デバイスのドレインに電圧入力後、ゲートをオンさせた時のドレイン電流の時間変化を示している。ドレイン電圧が 1.5 V 以上の場合に過渡現象が見られ、電圧が大きいほど短時間で飽和値に達している。インパクトイオン化で発生する正孔数はドレイン電圧が大きいほど増加する。したがって、この傾向はボディ領域への正孔の蓄積速度の差に起因している。FD ではこのような過渡現象は見られない。この FD と PD の差は、ソースとボディ間の正孔に対する電位障壁高さが FD の方が低いことによる。PD で見られるこのような不安定な基板浮遊効果を抑止するにはボディ電位固定用の端子を設けて正孔を引き抜

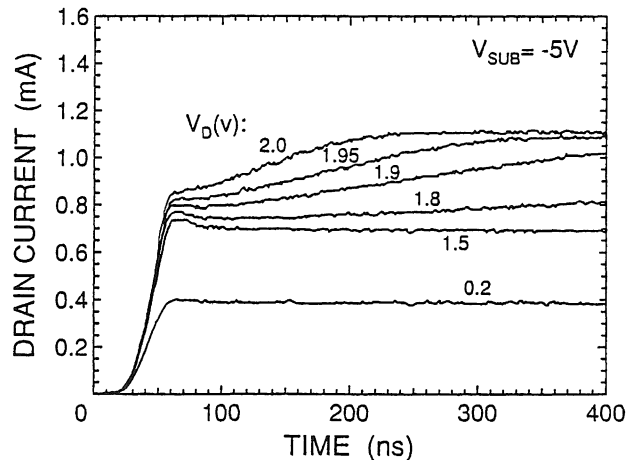


図10 部分空乏 (PD) 型における基板浮遊効果によるドレイン電流の過渡現象¹⁵⁾

く必要がある。端子設置による占有面積増加等の欠点を解決するために、素子間を接地電位のゲート電極を有する MOSFET で分離するフィールドシールド分離法を用いて、分離部ゲート下のボディを経由させて正孔を引き抜く手法が提案されている¹⁶⁾。

また、FD ではドレイン電流電圧特性におけるキック現象は出ないものの、寄生バイポーラ効果 (Parasitic Bipolar Effect, PBE) と呼ばれる一種の基板浮遊効果が生じる。PBE とは、インパクトイオン化により発生した多数キャリアがベース電流となり、ソース・ボディ・ドレインをエミッタ・ベース・コレクタとする寄生のバイポーラトランジスタが動作することをいう。PBE が起こると、ソース・ドレイン間の耐圧の低下、理論極限を上回る異常に急峻なサブスレショルド特性、オフ電流の増加、閾値電圧の低下等をもたらされる。1 V 以下の電源電圧を用いる低消費電力携帯機器等の用途においては問題にならないが、より大きな電源電圧を必要とする高速向け LSI 用途には、ソース・ドレイン間耐圧を向上させるために PBE の抑制が必須である。オフ電流を低減し、汎用性の高い FD デバイスを実用化するためにも PBE の抑制は重要である。PBE を抑制するには、①インパクトイオン化による多数キャリアの発生を抑制する、②寄生バイポーラトランジスタのエミッタ注入効率を低下させる、③ベースに注入された少数キャリアのコレクタへの輸送効率を低めることが必要である。具体的に有効な手法として、ソース領域を SiGe 層にして正孔に対する障壁を低める方法¹⁷⁾や、Ar イオン注入でソース付近に電子・正孔の再結合中心を導入する方法¹⁸⁾等が提案されている。いずれも、ボディ領域から正孔を引き抜いて、ボディ電位の正バイアス効果を抑え、エミッタ注入効率を低下させようとする方法である。再結合中心層の導入は PD デバイスでも有効であり、Si イオン注入を用いてこの手法を活用したソース・ドレイン構造の提案もされている¹⁹⁾。

図11は Ar イオン注入でソース・ドレイン層に再結合中心層を導入した場合の 0.25 μm ゲ

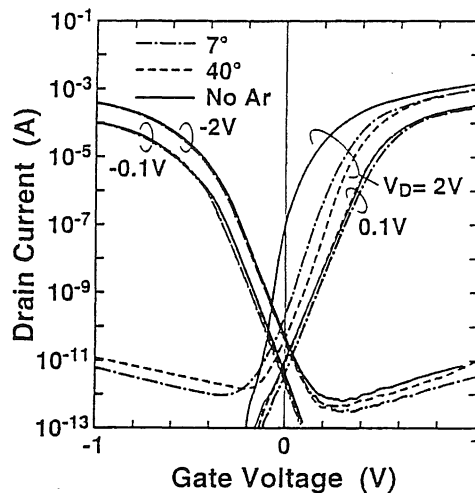


図11 Ar イオン注入により再結合中心層を導入したことによる nMOS の寄生バイポーラ効果の抑制¹⁸⁾

ート長 FD MOSFET のサブスレッショルド特性を示している¹⁸⁾。Ar イオンは、ソース、ドレイン層形成のためのイオン注入と熱処理工程後に、ゲート電極をマスクにして注入しており、注入後は950°Cの RTA (Rapid Thermal Annealing) を行っている。図では、Ar イオン注入を7°あるいは40°の注入角度で行った場合を示している。Ar ドースは $2 \times 10^{14} \text{ cm}^{-2}$ である。PMOS および $|V_D|=0.1 \text{ V}$ の nMOS では Ar イオン注入の有無による差はほとんど無い。しかし、PBE が顕著に現れ得る $V_D=2 \text{ V}$ での nMOS では Ar イオン注入により PBE が抑制されていることがわかる。この結果、閾値電圧の低下が抑えられ、オフ電流が約3桁減少している。また、ソース・ドレイン間耐圧は0.6~1 V 向上している。

多数キャリアの再分布現象とは、ゲートのオン・オフでチャネル空乏層幅の変化に応じて排除・再帰される多数キャリアによるボディ電位変化である。PD MOSFET の場合にはゲートがオンするとチャネル空乏層が延びて、その分の多数キャリアが排除され、ソース側に流出する。また、引き続いて、ゲートがオフするとチャネル空乏層幅が縮小して、その分の多数キャリアがソース側から逆方向接合電流として供給される。この時、ソース接合における多数キャリアの流出・供給能力とチャネル空乏層の伸縮による多数キャリアの排除・再帰量のバランスの関係でボディ領域内の多数キャリアに過不足が生じてボディ電位が変化する。この効果は、PD の場合に問題となる。ボディ領域全体が常に空乏化している FD では現れない。

チャージポンピング現象は、ゲート電圧が急峻にオフされた時、反転層内のキャリアの大部分はドレインやソースに流出するが、一部のキャリアが取り残されてボディ領域内に注入されることである。この結果、ボディ電位が変化する。なお、この現象は短チャネル化に伴って抑制される傾向にある。

以上述べたように種々の基板浮遊効果があるが、ボディ領域内の過剰キャリアを引き抜き、ボディ電位を安定化させる対策が必要であり、様々な手法が提案されている。

5. ホットキャリア信頼性

SOI CMOS デバイスでは SOI 層の膜厚は $0.1 \mu\text{m}$ 以下と極めて薄いため、ドレイン付近の高電界領域で発生したホットキャリアがゲート酸化膜中のみでなく、埋め込み酸化膜 (BOX) 中へも注入され、大きなデバイス劣化をもたらされるのではないかと懸念がある。この課題に対しては、SOI 層厚 50 nm の SIMOX 基板に作製した FD の nMOS と pMOS を用いた検討結果がある²⁰⁾。NMOS ではホットキャリアは主にドレイン側のゲート酸化膜中に注入されており、BOX 膜中に注入されるホットキャリア量は少なく、デバイス特性への影響は小さい。PMOS ではドレイン側のゲート酸化膜と BOX 膜の両者にホットキャリアが注入されており、デバイス劣化も両者の影響を受けている。しかし、直流電圧ストレスを印加し、ソースとドレインを逆接続して、 $|V_D|=0.1 \text{ V}$ で評価した閾値電圧シフト量が 10 mV に達するまでの時間で定義したデバイス寿命は、 $0.25 \mu\text{m}$ ゲートの nMOS と pMOS において、電源電圧 2 V で10年以上と十分なホットキャリア耐性を有している。

ただし、SOI MOSFET には特有のホットキャリア劣化モード²¹⁾があることに留意する必

要がある。ドレイン付近のゲート酸化膜中に注入されたホットキャリアによって発生した界面準位が、ソース側にくるようなバイアス状態（ソース・ドレインが逆接続された状態）になると、インパクトイオン化で発生した正孔がソース側に流れてきて、この界面準位を介して電子との再結合が促進される。この結果、正孔によるボディの正バイアス効果が低減され、寄生バイポーラ効果が抑制されて大きな閾値電圧シフトが生じる。実際、 $V_D=2\text{V}$ （動作電圧であり、この電圧ではインパクトイオン化が起きている）での閾値電圧シフトが 10mV に達するまでの時間で nMOS のデバイス寿命を求めると図12に示すように激減してしまう。しかし、Ar イオン注入により再結合中心をソースとドレイン接合付近に形成しておき、ホットキャリアストレスを受ける前に寄生バイポーラ効果を抑制しておけば、新たな劣化モードが抑えられデバイス寿命は回復する。

したがって、SOI MOSFET 特有の劣化モードを抑制し、極薄膜 SOI MOSFET においても十分なホットキャリア耐性を得るためにも、寄生バイポーラ効果を抑制する手段を講ずる必要がある。

なお、信頼性に関連して、SOI CMOS を実用化する上で課題であったサージ電流に対する耐性、つまり、ESD (Electro Static Discharge) 耐性の強化については、横方向ダイオードを付加してサージ電流パスを設けるなどの対策を施し、MIL 規格の下限値である $2,000\text{V}$ を超える ESD 耐性が得られている²²⁾。

6. SOI デバイスの動的閾値電圧制御

超低消費電力化を指向して電源電圧を例えば 0.5V 程度に激減させて、しかも結構な速度で動く集積回路ができれば携帯機器用として大きな魅力である。前述のように、低電圧動作はバルク Si に比べて SOI の特徴がより顕著に引き出せる領域である。低電源電圧にした場

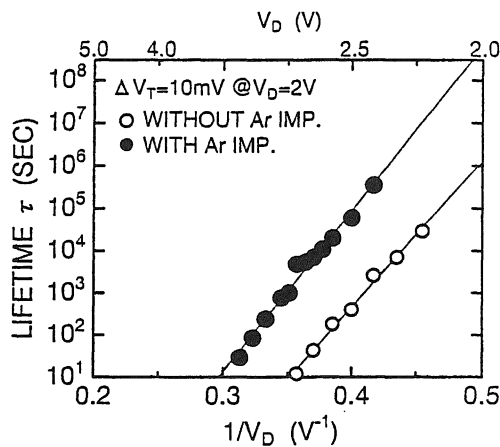


図12 SOI 特有のホットキャリア劣化の Ar イオン注入による抑制¹⁵⁾

合には MOSFET のドレイン電流を稼ぐために閾値電圧も下げたい。しかし、閾値電圧を下げると、オフ電流も増大してしまう。このトレードオフを解決するために、オフ時には高閾値電圧、オン時には低閾値電圧になるように動的に制御するデバイスが DTMOS²³⁾ (Dynamic Threshold-voltage MOSFET) である。SOI の場合 PD モードの MOSFET を用いて、図13に示すようにトランジスタ毎に完全分離されているボディとゲートを接続することで DTMOS が構成できる。ゲートがオンする時にボディ電位も同時に上昇するために閾値電圧が低減されて、ドレイン電流が増加する。通常の PD MOSFET に比べてサブスレッショルド係数が理想値にまで改善され、飽和ドレイン電流も2倍以上大きくなる。ゲートにボディ領域を接続することで、ゲート容量は増加するが、この増加分は SOI 構造では僅かであり、DTMOS によるドレイン電流の増加分の寄与の方が大きい。このため、チャンネル長 $0.3\ \mu\text{m}$ のインバータにおいて、 $0.5\ \text{V}$ 動作でも遅延時間が $300\ \text{ps}$ と高速動作が期待できるとのシミュレーション結果が報告されている²³⁾。

サブスレッショルド係数 S やドレイン電流駆動力の点で、ボディ端子付き PD MOSFET の理想特性は DTMOS 構造で得られると考えられる。同一オフリーク電流の基で比較した場合、 V_T 以下のゲート電圧範囲では、理想的な DTMOS は理想的な FD MOSFET とほぼ同じドレイン電流を示し、 V_T 以上ではボディ電位がさらに上昇して実効的な V_T が低下し、FD MOSFET を上回るドレイン電流が得られる。ただし、各 MOSFET にボディ端子を付けてゲートと接続しなければならないことには課題が残る。また、PD では FD より厚い SOI 層を用いることができるため、寄生抵抗の面では有利であるが、短チャンネル効果に対

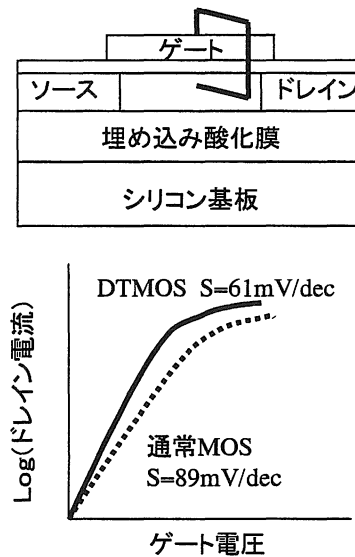


図13 DTMOS 構造および通常 MOS との特性比較²³⁾

しては劣ると考えられる。したがって、FD の寄生抵抗に対して、DTMOS のボディ端子設置とゲートとの接続方法、および、短チャネル効果に関わる対策が今後必要になると考えられる。

なお、LSI のスタンバイ電流に対する上限値から、MOSFET のオフ電流の上限値および V_T の下限値が決まるが、高速化のためにスタンバイ電流を増加させずに、さらに V_T を小さくしたい場合には、DTMOS や FD MOSFET にかかわらず、後述する MTCMOS (Multi-Threshold CMOS)²⁴⁾ のような回路構成が必要になる。論理部を低 V_T の MOSFET で構成して高速化し、論理回路のスタンバイ電流を高 V_T の MOSFET で構成されるパワースイッチ MOSFET で遮断する方法である。

7. 低消費電力・高速化の LSI による実証

実際の LSI 等への SOI の適用例に基づいて、SOI による低消費電力・高速化を実証する。最近の LSI 等の試作例をみると、携帯機器用の部品から、通信用 LSI ゲートアレー、SRAM, DRAM, 論理 LSI と規模および品種が拡大している。

携帯機器用の小規模で配線負荷容量の小さい回路は SOI の低寄生容量性が顕著に現われ、得意とする領域である。1.5 V と低電圧にしてもマルチ GHz の高速動作が可能である²⁵⁾。Si バイポーラや GaAs デバイスの領域に進出しはじめている。

図14に 300 KG のゲートアレー (10 mm 角チップ) 上に構成した 120 KG の論理部と 8.7 Kb の 2 ポート SRAM からなる LSI²⁶⁾ の動作周波数と消費電力について、0.25 μm CMOS/SIMOX とバルク Si CMOS の比較を示す。SIMOX の電源電圧は 2.0 V であるが、公平な比較のために、バルク Si CMOS の電源電圧は、0.25 μm デバイスに対して標準的な

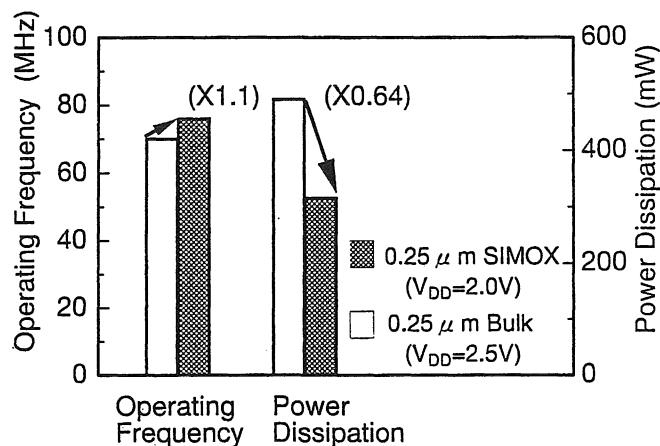


図14 300 KG ゲートアレー LSI の動作周波数と消費電力に関する SIMOX とバルク Si の比較²⁹⁾

2.5 V を用いている。ゲート酸化膜厚も SIMOX では 5.0 nm であるが、バルク Si では電源電圧に合わせて 6.5 nm としている。図から、バルク Si に比べて、SIMOX の動作速度は 10% 向上し、消費電力は 64% に減少している。この LSI では、全負荷容量に占める接合容量の割合が 30% 程度と比較的小さいために、SOI の低寄生容量性の効果が薄れ、バルク Si に対して 10% の速度向上率に止まっている。しかし、この速度向上は、電源電圧を SIMOX では 2 V と低減しても得られており、それ以上に、約 4 割の低消費電力化がなされているところに SOI の特徴が現れている。従って、比較的に負荷容量の大きな大規模 LSI に対しては、SOI の適用で、そこそこの速度向上率とともに顕著な低消費電力化が図られる。

通信用 LSI では高速の I/O や MUX/DEMUX 回路が必須である。外部からの高速信号を I/O 回路で受け、DEMUX 回路で適度な速度に落とし、内部の CMOS 論理で演算、そして、MUX 回路で高速信号に変換して I/O 回路で外部に出力する。図15に、ゲート長 0.25 μm の CMOS による I/O と MUX 回路の動作周波数に関する SIMOX とバルク Si CMOS の比較を示す²⁶⁾。前述と同様に、電源電圧はバルク Si で 2.5 V、SIMOX で 2 V である。SIMOX では MUX 回路で 2.7 GHz、I/O 回路で 2.5 GHz の動作をしており、バルク Si と比較して各々 30% 高速化している。この差は設計ルールで言えば 1 世代先の性能に相当する。I/O や MUX/DEMUX 回路では大きな配線負荷容量を含まず、SOI の低寄生容量性が大きく寄与する。これらの回路を搭載して 2 V で 40 Gb/s の性能を持つ 8 \times 8 ATM スイッチが試作され、消費電力も 8.4 W に抑えられている²⁷⁾。このような高速信号の入出力が必要な通信用 LSI においては、SOI の適用により低消費電力化と共に、高速化も顕著に得られる。

電源電圧を 0.5 V と極めて小さくすることは、低消費電力化に対して顕著な効果がある。3.3 V 電源と比較すると、 $(0.5/3.3)^2=0.02$ 、つまり 2 桁近い低減となる。しかし、電源電圧を下げると動作速度は低下する。このため、閾値電圧を下げたいが、携帯用を想定すると

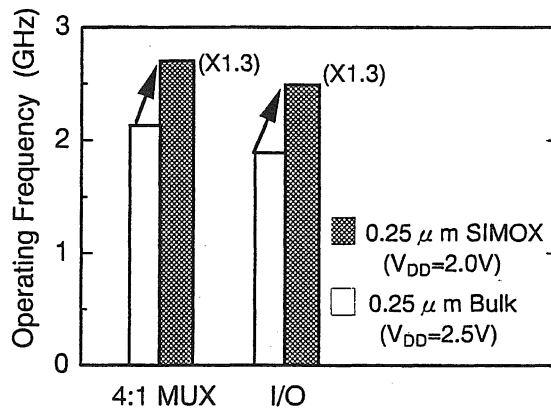


図15 MUX 回路と I/O 回路の動作周波数に関する SIMOX とバルク Si の比較²⁹⁾

オフ電流の増加は許されない。この解決策として、2種類の閾値電圧で構成する MTCMOS 回路と CMOS/SIMOX 技術を用いた LSI 試作例がある²⁸⁾。論理部を低閾値電圧の MOSFET (0.13 V の nMOS と -0.18 V の pMOS, 高閾値電圧は各々 0.38 V と -0.44 V) で構成して高速化し、SOI の効果でバルク Si よりさらに高速化を図る。同じ 0.25 μm ルールのバルク Si MTCMOS と比較して、基本論理ゲートの遅延時間が 1/4 以下に改善されている。8k ゲートの 16ビット ALU が 0.5 V で 40 MHz 動作し、消費電力は僅か 0.35 mW である。また、スリープ時の消費電力も 5 nW 以下と極めて小さい。低電圧ほど SOI の特徴が現れるため、このような超低電圧動作の LSI では SOI の特徴が顕著に反映される。

8. ま と め

CMOS LSI の低消費電力・高速化に有効であるとして期待が持たれている SOI デバイスに関連して、SOI 基板の種類、SOI CMOS 構造の特徴、完全空乏型および部分空乏型 SOI MOSFET の特徴等、基本的な事項を概説し、SOI の適用によってなぜ低消費電力化や高速化が得られるのかを述べた。また、SOI デバイスを実用化する上で、デバイス動作上もっとも大きな課題は基板浮遊効果の抑制であり、これまで提案されている有効な抑制策について述べると共に、極薄 CMOS でも高ホットキャリア耐性を有することを述べた。超低電圧動作において電流駆動力の向上が期待される動的閾値電圧制御デバイス (DTMOS) について、完全空乏型デバイスや MTCMOS との比較・関連を含めて述べた。最後に、SOI の LSI への適用例に基づいて、特に、CMOS/SOI 構造から得られる低寄生容量性、および、MOSFET として完全空乏型を用いることから得られる急峻なサブスレッショルト特性によって、携帯機器向け LSI の高速性を伴った低電圧・低消費電力化や、ハイエンド LSI の低消費電力化を伴った高速化が得られることを示した。

参 考 文 献

- 1) K. Izumi, M. Doken, and H. Ariyoshi, "CMOS Devices Fabricated on Buried SiO₂ Layers Formed by Oxygen Implantation into Silicon", *Electron. Lett.*, vol. 14, p. 593, 1978.
- 2) S. Nakashima and K. Izumi, "Practical Reduction of Dislocation Density in SIMOX Wafers", *Electron. Lett.*, vol. 26, p. 1647, 1990.
- 3) S. Nakashima, T. Katayama, Y. Miyamura, A. Matsuzaki, M. Imai, K. Izumi, and N. Ohwada, "Thickness Increment of Buried Oxide in a SIMOX Wafer by High-Temperature Oxidation", *Proc. of IEEE Int'l SOI Conf.*, p. 71, 1994.
- 4) T. Yonehara, K. Sakaguchi, and N. Sato, "Epitaxial layer transfer by bond and etch back of porous Si", *Appl. Phys. Lett.*, vol. 64, p. 2108, 1994.
- 5) S. S. Iyer, "Silicon on Insulator Technology", *Ext. Abst. ECS*, 94-1, p. 699, 1994.
- 6) M. Bruel, "Silicon on insulator material technology", *Electronics Letters*, vol. 31, p. 1201, 1995.
- 7) P. B. Mumola and G. J. Gardopee, "Advances in the Production of Thin-Film Bonded SOI and Ultra Flat Bulk Wafers Using Plasma Assisted Chemical Etching", *Ext. Abst. of SSDM*, p. 256, 1994.

- 8) H. Horie, S. Nakamura, Y. Nara, K. Suzuki, T. Tanaka, M. Imai, A. Itoh and Y. Arimoto, "Advanced SOI Devices Using CMP and Wafer Bonding", Ext. Abst. SSDM, p. 473, 1996.
- 9) Y. Yamaguchi, A. Ishibashi, M. Shimizu, T. Nishimura, K. Tsukamoto, K. Horie, and Y. Akasaka, "A High-Speed 0.6- μm 16 K CMOS Gate Array on a Thin SIMOX Film", IEEE Trans. Electron Dev., vol. 40, p. 179, 1993.
- 10) J. P. Colinge, "Subthreshold Slope of Thin-Film SOI MOSFET's", IEEE Electron Dev. Lett., vol. 7, p. 244, 1986.
- 11) Y. Kado, H. Inokawa, Y. Okazaki, T. Tsuchiya, Y. Kawai, M. Sato, Y. Sakakibara, S. Nakayama, H. Yamada, M. Kitamura, S. Nakashima, K. Nishimura, S. Date, M. Ino, K. Takeya, and T. Sakai, "Substantial Advantages of Fully-depleted CMOS/SIMOX Devices as Low-Power High-Performance VLSI Components Compared with its Bulk-CMOS Couterpart", IEDM Tech. Dig., p. 635, 1995.
- 12) K. Kato and K. Taniguchi, "Numerical Analysis of Switching Characteristics in SOI MOSFET's", IEEE Trans. Electron Dev., vol. 33, p. 133, 1986.
- 13) N. Sasaki, "Charge Pumping in SOS-MOS Transistors", IEEE Trans. Electron Dev., vol. 28, p. 48, 1981.
- 14) T. Tsuchiya, T. Ohno, and Y. Kado, "Present Status and Potential of Subquarter-Micron Ultra-Thin-Film CMOS/SIMOX Technology", Proc. of the 6th Int'l Symp. on SOI Technology and Devices, ECS, 94-11, p. 401, 1994.
- 15) T. Tsuchiya, "Stability and Reliability of Fully-Depleted SOI MOSFET's", Proc. of SPIE Symp. on Microelectronic Manufacturing, 2875, p. 16, 1996.
- 16) T. Iwamatsu, Y. Yamaguchi, Y. Inoue, T. Nishimura, and N. Tsubouchi, "CAD-Compatible High-Speed CMOS/SIMOX Gate Array Using Field-Shield Isolation", IEEE Trans. Electron Dev., vol. 42, p. 1934, 1995.
- 17) M. Yoshimi, M. Terauchi, A. Murakoshi, M. Takahashi, K. Matsuzawa, N. Shigyo and Y. Ushiku, "Technology Trends of Silicon-On-Insulator —Its Advantages and Problems to be solved—", IEDM Tech. Dig., p. 429, 1994.
- 18) T. Ohno, M. Takahashi, A. Ohtaka, Y. Sakakibara and T. Tsuchiya, "Suppression of the Parasitic Bipolar Effect in Ultra-Thin-Film nMOSFETs/SIMOX by Ar Ion Implantation into Source/Drain Regions", IEDM Tech. Dig., p. 627, 1995.
- 19) M. Horiuchi and M. Tamura: BESS, "A Source Structure that Fully Suppresses the Floating Body Effects in SOI CMOSFETs", IEDM Tech. Dig., p. 121, 1996.
- 20) T. Tsuchiya, T. Ohno, Y. Kado, and J. Kai, "Hot-Carrier-Injected Oxide Region in Front and Back Interfaces in Ultra-Thin (50 nm), Fully Depleted, Deep-Submicron NMOS and PMOSFET's/SIMOX and their Hot-Carrier Immunity", IEEE Trans. Electron Dev., vol. 41, p. 2351, 1994.
- 21) T. Tsuchiya and T. Ohno, "New Hot-Carrier-Degradation Mode in Thin-Film SOI nMOSFET's", IEEE Electron Dev. Lett., vol. 16, p. 427, 1995.
- 22) Y. Ohtomo, T. Mizusawa, K. Nishimura, H. Sawada and M. Ino, "A Quarter-micron SIMOX-CMOS LVTTL-compatible Gate Array with an over 2,000 V ESD-protection circuit", Proc. of IEEE Custom Integrated Circuit Conf. (CICC), 4-3, p. 57, 1996.
- 23) F. Assaderaghi, S. Parke, D. Sinitsky, J. Bokor, P. K. Ko, and C. Hu, "A Dynamic Threshold Voltage MOSFET (DTMOS) for Very Low Voltage Operation", IEEE Electron Dev. Lett., vol. 15, p. 510, 1994.
- 24) S. Mutoh, T. Douseki, Y. Matsuya, T. Aoki, and J. Yamada, "1-V High-Speed Digital Circuit Technology with 0.5 μm Multi-Threshold CMOS", Proc. IEEE Int. ASIC Conf., p. 186, 1993.
- 25) Y. Kado, T. Ohno, M. Harada, K. Deguchi and T. Tsuchiya, "Enhanced Performance of Multi-GHz PLL LSIs Using Sub-1/4-micron Gate Ultrathin Film CMOS/SIMOX Technology with Syn-

- chrotron X-ray Lithography”, IEDM Tech. Dig., p. 243, 1993.
- 26) M. Ino, H. Sawada, K. Nishimura, M. Urano, H. Suto, S. Date, T. Ishihara, T. Takeda, Y. Kado, H. Inokawa, T. Tsuchiya, Y. Sakakibara, Y. Arita, K. Izumi, K. Takeya, and T. Sakai, “0.25 μm CMOS/SIMOX Gate Array LSI”, ISSCC Dig. of Tech. Papers, p. 86, 1996.
 - 27) Y. Ohtomo, S. Yasuda, M. Nogawa, J. Inoue, K. Yamakoshi, H. Sawada, M. Ino, S. Hino, Y. Sato, Y. Takei, T. Watanabe and K. Takeya, “A 40 Gb/s 8×8 ATM Switch LSI using 0.25 μm CMOS/SIMOX”, ISSCC Dig. of Papers, p. 154, 1997.
 - 28) T. Douseki, S. Shigematsu, Y. Tanabe, M. Harada, H. Inokawa and T. Tsuchiya, “A 0.5 V SIMOX-MTCMOS Circuit with 200 ps Logic Gate”, ISSCC Dig. of Tech. Papers, p. 84, 1996.
 - 29) 土屋：SOI デバイスの展望，応用物理，vol. 66, 11月号，1997.